



XAPP742 (v1.0) 2012 年 5 月 3 日

## AXI VDMA リファレンス デザイン

著者 : Sateesh Reddy Jonnalagada, Vamsi Krishna

### 概要

このアプリケーション ノートでは、AXI Video Direct Memory Access (VDMA)、Video Timing Controller (VTC)、テスト パターン ジェネレーター (TPG)、DDR3 メモリ コントローラーなどのザイリンクス独自のビデオ IP コアを使用して、設定変更可能なフレーム レートおよび解像度を Kintex™-7 FPGA で処理するビデオ システムの作成について説明します。リファレンス デザインは、選択したビデオ解像度とフレーム レートの組み合わせで実行させることを目的として、ビデオ ピクセル クロックのオンボード クロック ジェネレーターおよびビデオ IP のラインタイム コンフィギュレーションに焦点を当てています。

このシステムは、フレーム レートと解像度の各組み合わせに対して、システムレベルの帯域幅の使用率およびビデオ レイテンシを表示します。これらは、一般的な基準としてシステム設計者に使用されません。このアプリケーション ノートは、それぞれのビデオ IP のコンフィギュレーションについて詳細に説明しており、さまざまなビデオ機能処理のためにビデオ IP を効果的に活用するのに役立ちます。

現在のデザインのビデオ データパスには、ビデオ TPG、VDMA (ストリーム方式からメモリマップ方式)、DDR、VDMA (メモリマップ方式からストリーム方式)、および Video On-screen Display (OSD) の各 IP ブロックが含まれます。これらの各ビデオ IP ブロックは、フレーム レートと解像度のさまざまな組み合わせを処理するように動的に設定されます。オンボードにある設定変更可能なクロック ジェネレーター (SI570) が、必要なリフレッシュ レートと解像度のビデオ クロックを生成するために使用されます。VDMA は、必要なビデオ タイミング信号を設定するために、VTC ブロックを使用して TPG から駆動されます。AXI VDMA で読み出されたデータは、OSD に送信されます。OSD コアの出力は、色空間コンバーターを介して、オンボード HDMI (High Definition Media Interface) ビデオ ディスプレイを駆動します。

DDR メモリのパフォーマンスを確認するために、パフォーマンス モニター ブロックが追加されています。AXI VDMA ブロックによって移動されたビデオ フレーム データは、共有された DDR3 SDRAM でバッファリングされ、MicroBlaze™ プロセッサによって制御されます。

リファレンス デザインは、ザイリンクスの KC705 評価ボード (リビジョン C) に搭載された Kintex-7 FPGA XC7K325TFFG900-1 をターゲットとしています。

### 含まれるシステム

リファレンス デザインは、ISE® Design Suite : Embedded Edition に含まれる Xilinx Platform Studio (XPS) ツールのバージョン 13.4 を使用して作成および構築されています。XPS によって、IP ブロックをインスタンス化、コンフィギュレーション、および接続して複雑なエンベデッド システムを構築する作業が簡略化されます。デザインには、ザイリンクスのソフトウェア開発キット (SDK) を使用して構築されたソフトウェアも含まれます。このソフトウェアは、MicroBlaze プロセッサ サブシステム上で実行され、制御、ステータス、モニターの各機能をインプリメントします。リファレンス デザインと共に、XPS および SDK の完全なプロジェクト ファイルが提供されており、これらをデザインの検査および再構築に活用したり、新規デザインのテンプレートとして使用することが可能です。

### はじめに

ザイリンクスの IP コアは、数多くのビデオ アプリケーション用のさまざまな機能をインプリメントします。AXI インターコネクト、Memory Interface Generator (MIG) ツール、VDMA、オンボードの設定変更可能なクロック ジェネレーター、VTC、および OSD の各 IP ブロックを使用して、フレーム レートと解像度のさまざまな組み合わせを処理できるビデオ システムのコアを作成できます。AXI は、

AMBA<sup>®</sup> (Advanced Microcontroller Bus Architecture) 仕様に基づいて標準化された IP インターフェイス プロトコルです。リファレンス デザインで使用される AXI インターフェイスは、AMBA AXI4 仕様に記載された AXI4、AXI4-Lite、および AXI4-Stream の各インターフェイスで構成されています [参照 1]。これらのインターフェイスは、デザインを構築するための共通 IP インターフェイス プロトコルのフレームワークを提供します。

AXI VDMA は、フレーム バッファ機能と 2 次元 (2D) DMA 機能を備える高性能のビデオに最適化された DMA エンジンをインプリメントします。また、AXI インターコネクと AXI MIG は、共通のメモリ デバイス (通常は DDR3 SDRAM) を介して複数のソースのデータを共有するためのマルチポート メモリ コントローラー (MPMC) をインプリメントします。AXI VDMA は、バッファリングされたビデオ データ ストリームをメモリとの間で送受信し、動的ソフトウェア制御モードまたは静的コンフィギュレーション モードで動作します。

クロック ジェネレーターとプロセッサ システムのリセットブロックは、システム全体にクロックおよびリセットを供給します。オンボードの SI570 クロック ジェネレーターは、ビデオ フレーム レートの変動に合わせて、ビデオ ピクセルのクロック周波数を実行時に動的に変更するために使用されます。I/O ペリフェラルおよびプロセッサ サポート IP を含むシステムの高度な制御は、エンベデッド MicroBlaze プロセッサが担います。パフォーマンスとエリアのバランスをとるようにシステムを最適化するには、複数の AXI インターコネクブロックを使用し、AXI インターコネクブロックを個別に調整および最適化して、セグメント化またはカスケード接続された AXI インターコネク ネットワークをインプリメントします。

---

## ハードウェア要件

リファレンス システムのハードウェア要件は次のとおりです。

- ザイリンクス KC705 評価ボード (リビジョン C または D)
- Type-A/Mini-B の 5 ピン USB ケーブル 1 本
- Type-A/Micro-B の 5 ピン USB ケーブル 1 本
- 高品質 HDMI ケーブル (これ以外では正しく色が表示されない)
- 設定可能な解像度をサポートするディスプレイ モニター (最大 75 フレーム/秒、Dell P2210T モニターでテスト済み)

このリファレンス システムを構築し、ダウンロードするためのインストール済みソフトウェア ツールの要件は次のとおりです。

- Xilinx Platform Studio 13.4
- ISE Design Suite 13.4
- SDK 13.4

---

## リファレンス デザイン仕様

MicroBlaze プロセッサのほかに、リファレンス デザインには次のコアが含まれています。

- MDM
- LMB ブロック RAM
- AXI\_INTERCONNECT
- クロック ジェネレーター
- PROC\_SYS\_RESET
- AXI\_UARTLITE
- AXI\_IIC
- AXI\_INTC
- AXI\_V7\_DDRX

- Video Timing Controller
- AXI\_TPG
- AXI\_VDMA
- AXI\_PERFORMANCE\_MONITOR
- AXI\_OSD
- HDMI\_Interface IP コア

デザインへは、オンボードの設定変更可能なクロック ジェネレーター (SI570) を使用してビデオ クロックが供給されます。

図 1 に、リファレンス システムのブロック図を示します。

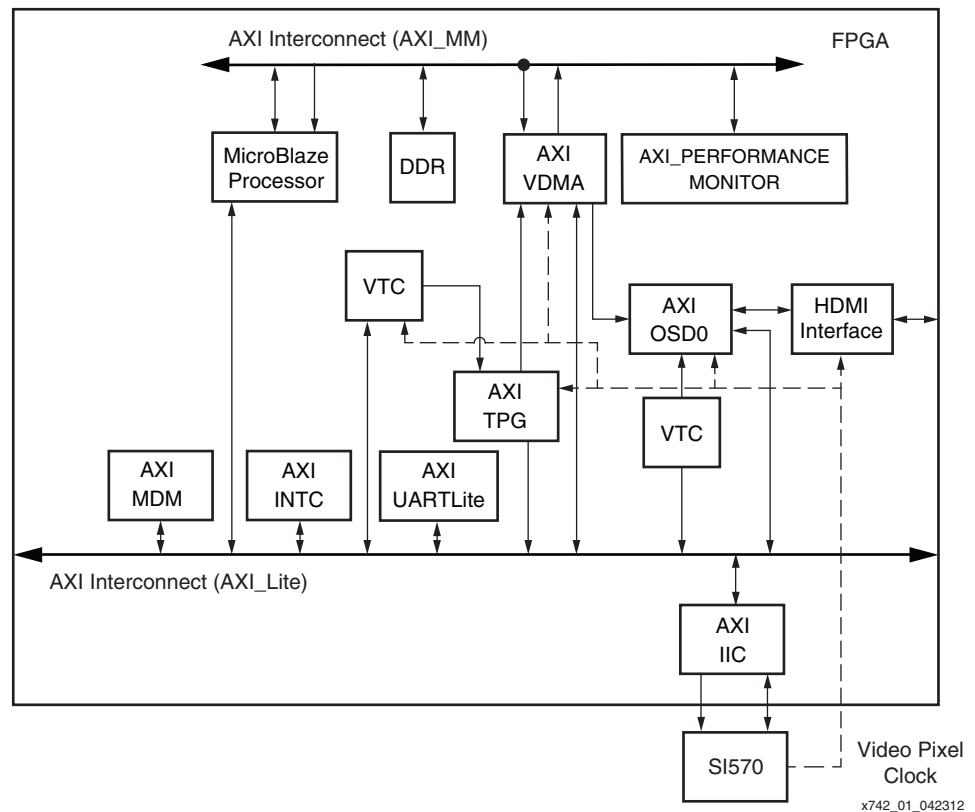


図 1: リファレンス システムのブロック図

図 1 では、PLB ベースの VTC が AXI-to-PLB ブリッジを介してシステムに接続されています。表 1 に、リファレンス システムのアドレス マップを示します。

表 1: リファレンス システムのアドレス マップ

ペリフェラル	インスタンス	ベース アドレス	上位アドレス
axi_intc	microblaze_0_intc	0x81200000	0x8120FFFF
lmb_bram_if_cntlr	microblaze_0_ibram_ctrl	0x00000000	0x00001FFF
lmb_bram_if_cntlr	microblaze_0_ibram_ctrl	0x00000000	0x00001FFF
mdm	debug_module	0x74800000	0x7480FFFF
axi_uartlite	rs232_uart_1	0x80600000	0x8060FFFF
axi_7series_ddrx	ddr3_sdram	0x40000000	0x5FFFFFFF

表 1: リファレンス システムのアドレス マップ (続き)

ペリフェラル	インスタンス	ベース アドレス	上位アドレス
Video Timing Controller	timebase_0	0x73820000	0x7382FFFF
Video Timing Controller	timebase_1	0x73800000	0x7380FFFF
axi_tpg	axi_tpg_0	0xBEE00000	0xBEE0FFFF
perf_axi_mm	perf_axi_mm_0	0x90000000	0x9000FFFF
axi_osd	axi_osd_0	0x73a00000	0x73a0FFFF
axi_vdma	axi_vdma_0	0xbe200000	0xbe20FFFF

表 2 に、設定変更可能なフレーム レートと解像度の詳細をまとめます。

表 2: フレーム レートと解像度の設定

解像度	水平アクティブ ビデオ	垂直アクティブ ビデオ	ビデオ クロック周波数 (MHz)
1	640	480	25.2
2	720	480	27.2
3	800	600	39.7
4	1024	768	64.9
5	1280	720	74.2
6	1280	1024	108.2
7	1920	1080	148.5
8	1600	1200	162

## ハードウェア システム仕様

このセクションでは、メイン IP ブロックの設定方法など、リファレンス デザインの高レベルな機能について説明します。有用な IP 機能、パフォーマンスとエリアのトレードオフ、その他の設定などの情報についても解説します。これら情報はビデオ システム向けですが、その原則はエンベデッド システムに幅広く適用できます。

このアプリケーション ノートは、設計者が XPS についてのある程度の一般的な知識を有していることを前提としています。XPS ツールの詳細は、『EDK コンセプト、ツール、テクニック：効率的なエンベデッドシステム構築をサポートするハンディガイド』[参照 3] を参照してください。

## ビデオ関連の IP

リファレンス デザインは、必要なビデオ解像度とフレーム レートを処理するビデオ システムをインプリメントします。それぞれの画像は 1 ピクセル当たり 4 バイトで構成され、アルファ チャネル情報付き RGBA などの高品質ビデオ ストリームの上限に対応します。このビデオ システムとその IP は、表 3 に示す読み出し/書き込みの総帯域幅で動作します。システムのビデオ トラフィックは TPG ブロックで生成され、OSD コアによって表示されます。

表 3: フレーム解像度とビデオ ストリームの帯域幅

解像度	水平アクティブ ビデオ	垂直アクティブ ビデオ	フレーム レート	帯域幅/ 1 ストリーム (MB)	帯域幅/ 2 ストリーム (MB)
1	640	480	60	73.728	147.45
			75	92.16	184.32
2	720	480	60	82.94	165.88
			75	103.68	207.36

表 3：フレーム解像度とビデオ ストリームの帯域幅 (続き)

解像度	水平アクティブ ビデオ	垂直アクティブ ビデオ	フレーム レート	帯域幅/ 1 ストリーム (MB)	帯域幅/ 2 ストリーム (MB)
3	800	600	60	115.2	230.4
			75	144	288
4	1024	768	60	188.743	377.486
			75	235.929	471.858
5	1280	720	60	221.184	442.368
			75	276.48	552.96
6	1280	1024	60	314.572	629.144
			75	393.2	786.4
7	1920	1080	60	497.664	995.3
			75	622.08	1244.16
8	1600	1200	60	460.8	921.6
			75	576	1152

注記：

- 1 ストリームの帯域幅は、垂直アクティブ ビデオ x 水平アクティブ ビデオ x 1 ピクセル当たりのバイト数 x フレーム レートで算出されます。

このアプリケーション ノートでは、解像度とフレーム レートが設定変更可能な 2 つの高解像度ビデオ ストリームを使用するビデオ システムについて具体的に説明します。ビデオ システムには通常、ソース、何らかの内部処理、およびディスティネーションが含まれます。それらは、内部でさまざまな IP モジュールを使用して複数工程で処理するようにできます。図 2 に示すような標準的なビデオ システムは、多くの場合、入力、前処理、メイン処理、後処理、および出力の工程で構成されます。図に示されているビデオ工程の多くで、ビデオ レートでのメモリ アクセスが必要です。ビデオ データは、内部処理工程の要求に従って、メモリに対して入出力されます。ここでは、一般的な条件をシミュレーションするために、TPG が内部 IP ブロックのメモリ トラフィックを作成します。

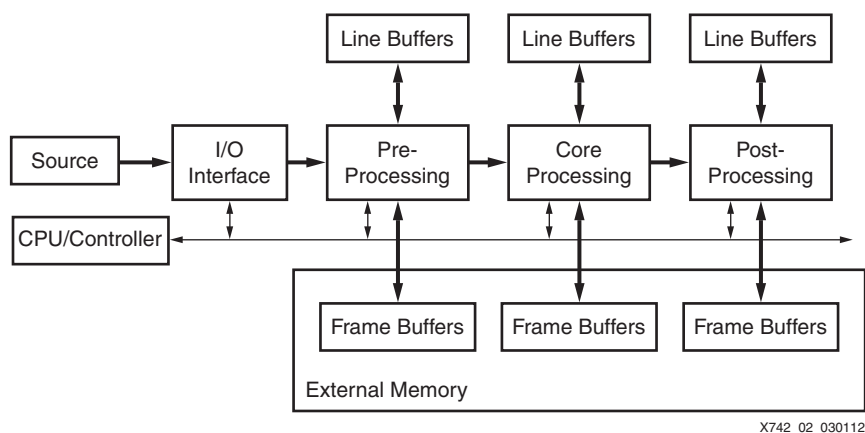


図 2：代表的なビデオシステム

## オンボードの設定変更可能なクロック ジェネレーター

リファレンス デザインでは、プロセッサ、DDR メモリ、およびプロセッサのほかのスレーブのクロックは、FPGA のミックスド モード クロック マネージャー (MMCM) から派生します。デザインのインプリメント後は、これらの周波数を実行時に変更することはできません。システムの解像度とフレームレートを動的に変更するには、ビデオ ピクセル クロックが実行時に設定変更可能である必要があります。実行時にビデオ ピクセル クロックを生成するために、IIC バスを介して接続されたオンボードの設定変更可能なクロック ジェネレーター (SI570) を使用します。HyperTerminal でオプションを選択し、必要なビデオ ピクセル クロックを実行時に生成するように SI570 を設定します。

## AXI インターコネクト

デザインには 2 つの AXI インターコネクトが含まれ、それぞれがスループット、エリア、およびタイミングの考慮事項の間のバランスをとることを目的としています (『LogiCORE IP AXI Interconnect (v1.05) データシート』[参照 4] 参照)。AXI\_MM インスタンスは、高スループットおよび高 F<sub>MAX</sub> の最適化を含む高速マスターおよびスレーブで使用されます。AXI\_Lite は、通常はエリアに対して最適化され、プロセッサがさまざまな IP コアのスレーブ レジスタにアクセスするために使用されます。複数のビデオ パイプラインをシステムに追加する場合、『AXI インターコネクトを使用した高性能ビデオシステムのデザイン』[参照 5] で説明されているように、複数のインターコネクトをカスケード接続できます。

## AXI VDMA

AXI VDMA コアは、メモリ マップされた AXI4 ドメインから AXI4-Stream ドメイン (およびその逆方向) へのビデオ読み出し/書き込み転送機能を提供するように設計されています。AXI VDMA によって、システム メモリと AXI4-Stream ベースの対象ビデオ IP 間的高速データ移動が可能になります。AXI VDMA コアは、完全に同期したフレーム DMA 操作と 2D DMA 転送の Gen-Lock および Frame Sync など、ビデオ特有の機能を備えています。同期に加えて、中央プロセッサによる制御を容易にするために、フレーム格納番号と、レジスタ直接操作モードまたはスキッター ギャザー操作モードが使用できます。

AXI VDMA コアの初期化レジスタ、ステータス レジスタ、および管理レジスタには、AXI4-Lite スレーブ インターフェイスを介してアクセスします。

このデザインでは、3 つのフレーム バッファと共に AXI VDMA の 1 つのインスタンスを用いて、AXI4 MM2S、AXI4 S2MM、AXI4-Stream MM2S、AXI4-Stream S2MM の各インターフェイスを使用します。

AXI VDMA は、レジスタ空間で水平解像度と垂直解像度を指定することによって複数の解像度を処理するように設定できます。AXI VDMA インスタンスの 32 ビット幅の MM2S インターフェイスおよび S2MM インターフェイスは、AXI インターコネクトの AXI\_MM インスタンスに接続されます。マスターは、AXI インターコネクト コアの 200MHz 周波数への非同期クロック コンバーターを必要とするビデオ クロック (オンボード クロック ジェネレーター) で動作します。AXI インターコネクトのアップサイザーは、AXI VDMA の 32 ビット トランザクションから AXI インターコネクト コアのトランザクションの幅への変換に使用されます。

さらに、読み出し側と書き込み側の AXI VDMA 内部のライン バッファは深さが 1K に設定されており、AXI VDMA の格納および転送機能が両チャンネルで有効になることでシステム パフォーマンスが向上します。詳細は、『LogiCORE IP AXI Video Direct Memory Access (axi\_vdma) (v5.00.a) データシート』[参照 6] を参照してください。

C\_PRMRY\_IS\_ACLK\_ASYNC が 1 に設定され、かつ 2 つ以上のクロックが同じソースから駆動される場合、次の回避策が必要です。

1. コア インスタンスを右クリックして [Make This IP Local] をクリックし、XPS プロジェクトにローカル pcore を作成します。
2. pcores/axi\_vdma\_v5\_00\_a/data/ ディレクトリに移動します。

3. axi\_vdma\_2\_1\_0.tcl ファイルを開きます。
4. Tcl ファイル内で、同じクロック ドメイン内の信号を不適切に制約している 77 行目から 136 行目をコメントアウトします。たとえば、コアが非同期モード (C\_PMRV\_IS\_ACLK\_ASYNC=1) に設定され、m\_axi\_mm2s\_aclk と s\_axi\_lite\_aclk が同じクロック ソースを使用する場合、次のタイミング無視 (TIG) 制約をコメントアウトします。

```
puts $outputFile "TIMESPEC
TS_${instname}_from_s_axi_lite_aclk_to_m_axi_mm2s_aclk = FROM
\"s_axi_lite_aclk\" TO \"m_axi_mm2s_aclk\" TIG;"

puts $outputFile "TIMESPEC
TS_${instname}_from_m_axi_mm2s_aclk_to_s_axi_lite_aclk = FROM
\"m_axi_mm2s_aclk\" TO \"s_axi_lite_aclk\" TIG;"
```

5. ファイルを保存します。
6. XPS で [Project] をクリックし、[Rescan User Repositories] をクリックします。

## MicroBlaze プロセッサの ICache および DCache

MicroBlaze プロセッサは、ビデオ データパスを設定してモニターするソフトウェア アプリケーションをメイン メモリから実行するため、MicroBlaze プロセッサの ICache マスターおよび DCache マスターは 100MHz で動作します。クロックを 100MHz にすることで、AXI インターコネクで整数比の同期クロック コンバーターが使用可能になり、これによって非同期コンバーターよりも低いレイテンシとより小さいエリアが得られます。100MHz で同期して動作するように MicroBlaze プロセッサを設定することで、デザインのタイミング クロージャが改善し、エリアが減少します。

### AXI 7 シリーズ DDRX

インターコネクに接続される 1 つのスレーブは、AXI 7 シリーズ DDR3 メモリ コントローラー (MIG を XPS に統合するブロック) です。メモリ コントローラーの AXI インターフェイスは、256 ビット幅で 200MHz で動作し、スレーブットおよびタイミングを最適化するために、ナロー バーストのサポートは無効になっています。メモリ コントローラーの詳細は、『7 シリーズ FPGA メモリ インターフェイス ソリューション ユーザー ガイド』[参照 7] を参照してください。

### AXI インターコネク (AXI\_Lite)

MicroBlaze プロセッサのデータ ペリフェラル (DP) インターフェイスのマスターは、制御およびステータス情報のために、デザインの AXI4-Lite スレーブ レジスタすべてに対して書き込みと読み出しを実行します。

ビデオ パイプラインが 1 つのデザインでは、1 つの AXI4-Lite インターコネクで十分です。16 個を超える AXI4-Lite スレーブが存在する場合、AXI2AXI コネクタを使用してインターコネクの数を増やすことができます。

デザインの AXI\_Lite インターコネク ブロックに高スレーブットは必要ないため、このブロックは共有アクセス モードに設定されています。つまり、これらのインターコネク ブロックは、性能よりもエリアを優先して最適化できます。このインターコネクのクロックを 50MHz にすることで、AXI インターコネクで整数比の同期クロック コンバーターが使用可能になり、これによって非同期クロック コンバーターよりも低いレイテンシとより小さいエリアが得られます。

### AXI\_Lite インターコネク

AXI\_Lite インターコネクのスレーブは、MDM、AXI\_UARTLITE、AXI\_IIC、AXI\_INTC、VTC (2 つのインスタンス)、AXI\_PERFORMANCE\_MONITOR、AXI OSD、および AXI\_VDMA 用です。

## Video Timing Controller

VTC LogiCORE™ IP は、汎用のビデオ タイミング ジェネレーター兼ディテクターです。このコアの入力側は、水平同期パルスと垂直同期パルス、極性、ブランキング、タイミング、およびアクティブなビデオ ピクセルを自動検出します。出力側は、標準的なビデオ システムで使用される水平ブランキングと垂直ブランキングおよび同期の各パルスを生成し、プログラム可能なパルス極性をサポートします。

VTC には、プロセッサからスレーブ レジスタにアクセスするための PLBV46 インターフェイスが含まれています。VTC の詳細は、『LogiCORE IP Video Timing Controller v3.0 データシート』[参照 8] を参照してください。1 つ目のインスタンスは、ビデオ パイプラインのビデオ入力部で使用されます。2 つ目のインスタンスは、ビデオ パイプラインの出力部である AXI OSD で使用されます。

VTC コアは、SignOnce IP サイト ライセンスで提供され、ISE Design Suite に含まれる CORE Generator™ ツールを使用して生成できます。コアのシミュレーション評価ライセンスは、CORE Generator ツールに付属しています。FPGA のビットストリーム生成を含むコアの完全な機能を使用するには、ザイリックスからフル ライセンスを入手する必要があります。

注記：CORE Generator ツール v13.4 で生成した PLB ベースの pcore timebase\_v2\_01\_a (VTC) は、システムのローカル pcore ディレクトリにコピーされます。pcore の MPD ファイルは、ARCHITECTURE\_MAP に kintex7= PREFERRED を追加することで Kintex-7 デバイスをサポートするよう変更されています。AXI-to-PLB ブリッジは、timebase\_v2\_01 とシステムの残り部分との接続に使用されていました。

## AXI TPG

AXI TPG には、プロセッサからスレーブ コントロール レジスタにアクセスするための AXI4-Lite インターフェイスが含まれています。リファレンス デザインでは、DDR3 メモリへのビデオ トラフィックは、TPG によって生成されます。TPG ブロックは、ビデオ業界で検証およびテストに広く使用されている複数のビデオ テスト パターンを生成できます。また、リファレンス デザインではシステム パフォーマンスを示すために生成されるトラフィック量のみが重要なため、TPG はビデオ ソースの代用として使用されます。制御ソフトウェアは、カラー バー、水平および垂直バースト パターン、全画面カラー、ゾーンプレートなど 9 つの可能なビデオ パターンを生成します。どのテスト パターンを選択しても、特定の解像度とフレーム レートに対して生成されるデータ量は同じです。

ソフトウェア制御によって複数の動作モードが使用可能になります。このアプリケーション ノートでは、TPG は常に、ユーザー入力によって 9 つの可能なテスト パターンのいずれかを生成します。これらのパターンはテスト用であり、放送業界の規格向けにキャリブレートされていません。

## AXI OSD

Video On-Screen Display LogiCORE™ IP は柔軟なビデオ処理ブロックを提供し、アルファブレンディング、最大 8 つまでの独立したレイヤーの合成が可能です。また、最大 4K x 4K の画像を処理できる単純なテキストおよびグラフィックスを、色成分当たり 8、10、または 12 ビットの YUVA 4:4:4 あるいは RGBA 画像フォーマットで生成します。このアプリケーション ノートでは、OSD は 1 つのビデオレイヤーのみを表示するように設定されますが、複数のビデオ ストリームを別々の表示レイヤーとして設定することもできます。図 3 に、OSD コアの 3 つのレイヤーから成るブロック図を示します。

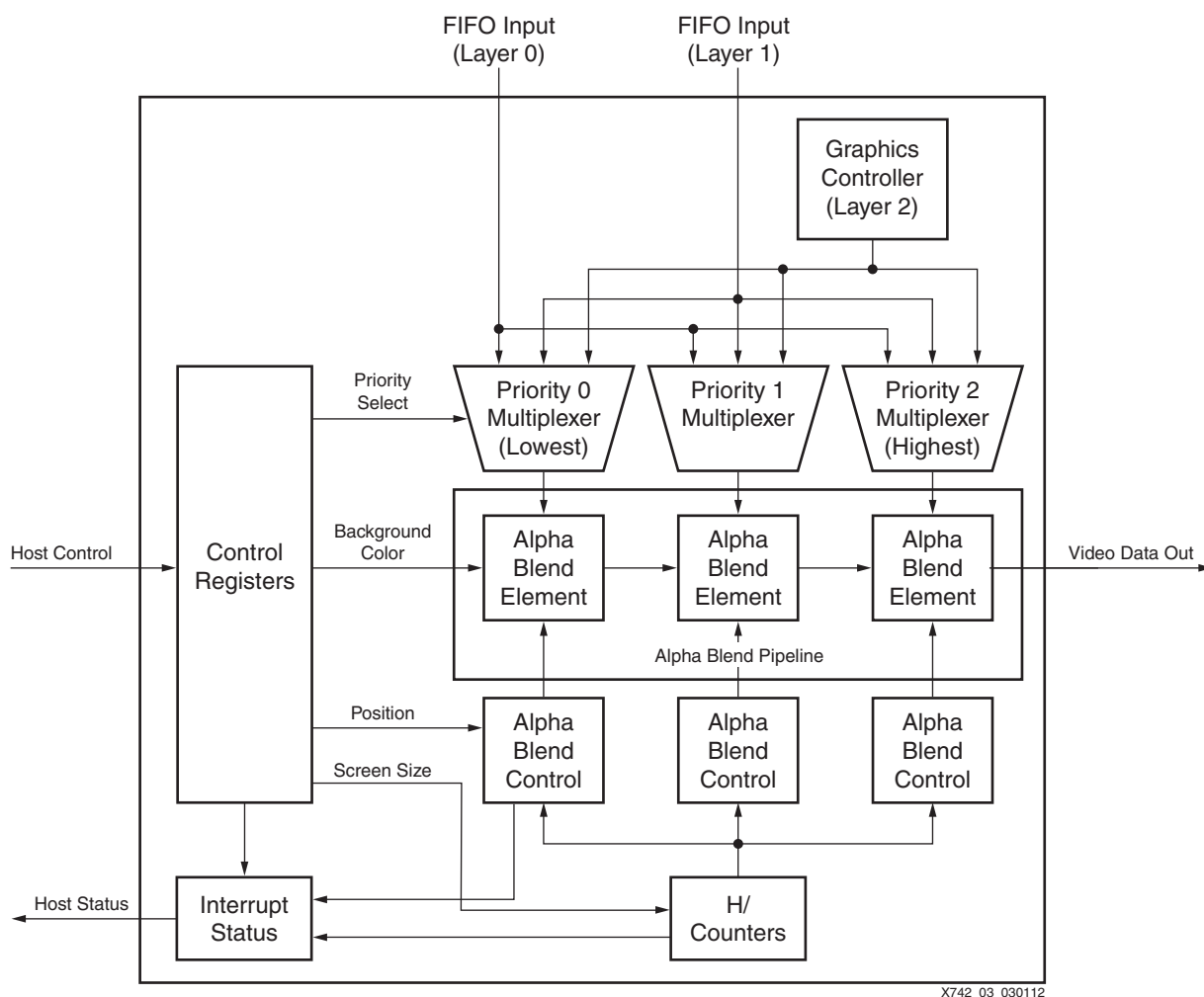


図 3 : 3 レイヤーから成る OSD コアのブロック図

AXI OSD には、プロセッサからコア設定レジスタへのアクセスを可能にする AXI4-Lite インターフェイスが含まれています。AXI OSD の詳細は、『LogiCORE IP Video On-Screen Display v2.0 データシート』[\[参照 9\]](#)を参照してください。

Video On-Screen Display コアは、SignOnce IP サイト ライセンスで提供され、ISE Design Suite に含まれる CORE Generator ツールを使用して生成できます。

このコアのシミュレーション評価ライセンスは、CORE Generator ツールに付属しています。FPGA のビットストリーム生成を含むコアの完全な機能を使用するには、ザイリックスからフルライセンスを入手する必要があります。

## AXI Performance Monitor

AXI Performance Monitor コアは、AXI インターコネクに接続された DDR3 メモリのスループットを計測します。プロセッサは、コアに含まれるスレーブ AXI4-Lite インターフェイスを介して AXI Performance Monitor コア レジスタにアクセスします。AXI Performance Monitor コアは、AXI スレーブと AXI インターコネク間の読み出しチャネルおよび書き込みチャネルのみをモニターします。このコアは、モニターしている AXI トランザクションを修正/変更しません。また、適切な信号をコアに接続することによって、システムの glass-to-glass 遅延を計算します。

**注記：** glass-to-glass 遅延は、TPG (ビデオ ソース) から LCD 画面 (ビデオ シンク) に 1 フレームを表示するまでにかかるクロック サイクル数として定義されています。

スループットを計測するには、システムで複数の信号を接続する必要があります。DDR スレーブ インターコネクト (AXI\_MM) は、モニターの 4 つのスロットのいずれかに接続されます。DDR スレーブ インターコネクトおよび AXI4-Lite バス インターフェイスの信号のほかに、コア クロック (2 つのバス インターフェイスのクロック周波数のうちの高い方) も接続する必要があります。システムの glass-to-glass 遅延を評価するには、Vid\_clk、Vtc0\_Fsync、Vsync\_osd、Tpg\_Active\_video\_in、Tpg\_Data、Osd\_Active\_Video\_In、および Osd\_data も接続します。TPG (データバスの開始ブロック) および OSD (データバスの終了ブロック) からのデータ信号とイネーブル信号の出力は、これら 2 つの IP 間で 1 フレームを処理するために必要なクロック サイクル数の評価に使用されます。

このコアは、読み出しバイト、書き込みバイト、読み出し要求、書き込み要求、および書き込み応答の総数など、さまざまなパフォーマンス基準も計測できます。カウントの開始および終了条件が、レジスタ インターフェイスを介してプロセッサから送られます。コアのグローバル クロック カウンターは、カウントの開始イベントと終了イベント間のクロック数を計測します。パフォーマンス モニターで使用されるカウンターは、レジスタ インターフェイスを介して 32 ビットまたは 64 ビットに設定できます。ユーザーが選択可能な最終的な基準値もレジスタ インターフェイスを介して読み出すことができます。

このアプリケーション ノートでは、AXI Performance Monitor コアは、DDR3 メモリ コントローラーに接続されてコアのスループットを計測します。有効信号、レディ信号、ストロブ信号などの DDR3 スレーブの AXI 信号は、バス上のイベント計測する各種カウンターを有効にするために使用されます。

## ソフトウェア アプリケーション

ソフトウェア アプリケーションはビデオ パイプラインを開始し、これによってユーザーは解像度とフレーム レートを変更し、リアルタイムで帯域幅を確認できるようになります。

システムを制御するためのアプリケーション レベルのソフトウェアは、各 IP に対して提供されたドライバーを使用して C 言語で記述されます。各 IP のプログラマ モデルは、ドライバーが使用する特定のアプリケーション プログラム インターフェイス (API) を記述します。あるいは、アプリケーション レベルで IP 制御レジスタを直接使用し、割り込みを処理するようにアプリケーション ソフトウェアを記述することもできますが、アプリケーション レベルでは、提供されたドライバーと制御レイヤーを使用する方がはるかに便利です。

リファレンス デザインのアプリケーション ソフトウェアは、次を実行します。

1. システム、キャッシュ、UART、および VDMA を初期化します。
2. HDMI ポートを初期化します。
3. IIC インターフェイスを介してオンボードの SI570 クロック ジェネレーターを設定します。
4. 必要なフレーム レートと解像度のビデオ クロックを生成するように、オンボードの SI570 クロック ジェネレーターを設定します。
5. デフォルトのカラー バー パターンを書き込むように TPG インスタンスを設定します。TPG インスタンスは、VTC インスタンスの開始まで開始されません。必要なフレーム解像度を生成するように、TPG インスタンスと VTC インスタンスを設定します。
6. 必要な解像度で VTC インスタンスを開始します。
7. AXI OSD を必要な解像度に設定します。
8. VDMA の読み出しチャンネルと書き込みチャンネルを設定して AXI VDMA インスタンスを開始し、VDMA インスタンスでの転送を開始します。
9. このデザインでは、次の 9 つの可能なテスト パターンのいずれかを書き込むように TPG インスタンスを設定します。
  - 垂直ランプ
  - 水平ランプ
  - 全画面赤色
  - 全画面緑色

- 全画面青色
- カラー バー
- ゾーン プレート
- 格子バー
- クロス ハッチ

最初の設定シーケンスが終わると、HyperTerminal でオプションを入力し、解像度とフレーム レート (解像度は 0 ~ 7、フレーム レートは a または b) の組み合わせのいずれか 1 つを選択できます。OSD は単一チャンネルに設定されるため、OSD の入力データは直接その出力に転送されます。OSD からのビデオ パターン出力は、(RGB から YCbCr への) 色空間コンバーターを介して HDMI ポートに配線されません。ビデオ パイプラインが複数の場合、入力チャンネルを必要なレベルにブレンドするように OSD レジスタを設定でき、アルファブレンディング レジスタにレイヤーごとに異なる値が与えられることで、すべてのレイヤーを同時に LCD 画面上に表示できます。

ビデオ パイプラインを必要なフレーム レートと解像度に設定後、0 ~ 8 までの数を入力して 9 つの可能なビデオ パターンのいずれか 1 つを選択できます。オプション p と d は、それぞれ DDR メモリおよび glass-to-glass 遅延のパフォーマンスを計測するように、パフォーマンス モニター IP インスタンスを設定します。ここでは、次のように実行します。

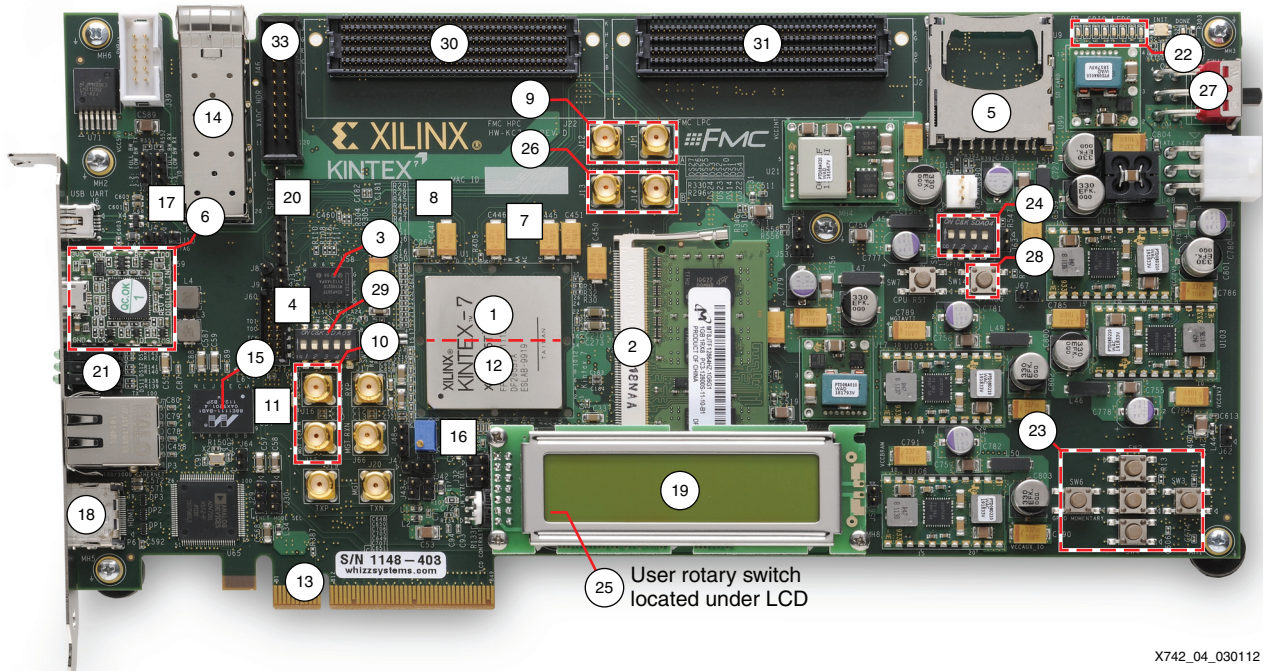
1. USB ケーブルをホスト PC から USB JTAG ポート (図 4 の項目 (6)) に接続します。適切なデバイス ドライバーがインストールされていることを確認します (詳細は、『Kintex-7 FPGA ベース ターゲット リファレンス デザイン スタートアップ ガイド [参照 10]』を参照してください)。
2. 別の USB ケーブルをホスト PC から USB UART ポート (6) に接続します。2 ページの「ハードウェア要件」に記載された USB-UART ドライバーがインストールされていることを確認します。
3. KC705 HDMI コネクタ (18) をビデオ モニターに接続します。より高いフレーム レート設定で表示するには、モニターが最大 120Hz までのフレーム レートのビデオ信号を表示できる必要があります。
4. 電源ケーブルを接続します。
5. 電源をオンにします (27)。
6. ホスト PC 上で、次の設定で HyperTerminal などのターミナル プログラムを開始します。
  - ボーレート : 9600
  - データ ビット : 8
  - パリティ : なし
  - ストップ ビット : 1
  - フロー制御 : なし

## ハードウェア上でのリファレンス デザインの実行

このセクションでは、ハードウェアでリファレンス デザインを実行する手順について説明します。リファレンス デザインは、[図 4](#) に示す KC705 ボード上で実行されます。これら手順の括弧内の番号は [図 4](#) に示す番号に対応しています。ただし、図のすべての番号が言及されているわけではありません。

○ Round callout references a component on the front side of the board

□ Square callout references a component on the back side of the board



X742\_04\_030112

図 4 : KC705 ボード

### 構築済みビットストリームとコンパイル済みソフトウェア アプリケーションを使用したリファレンス システムの実行

<unzip\_dir>/vdma\_ref\_design/ ディレクトリの ready\_for\_download ディレクトリにあるファイルを使用してシステムを実行する手順は、次のとおりです。

1. ザイリンクスのコマンド シェル (32 ビット版または 64 ビット版の ISE Design Suite のコマンド プロンプト) またはターミナル ウィンドウで次のコマンドを実行し、ready\_for\_download ディレクトリに移動します。  

```
% cd <unzip_dir>/vdma_ref_design/ready_for_download
```
2. 次のコマンドで、Xilinx Microprocessor Debugger (XMD) ツールを起動します。  

```
% xmd
```
3. XMD で次のコマンドを実行し、ビットストリームをダウンロードします。  

```
XMD% fpga -f download.bit
```
4. XMD で次のコマンドを実行し、プロセッサに接続します。  

```
XMD% connect mb mdm
```
5. 次のコマンドを実行して、プロセッサ コード (ELF) ファイルをダウンロードします。  

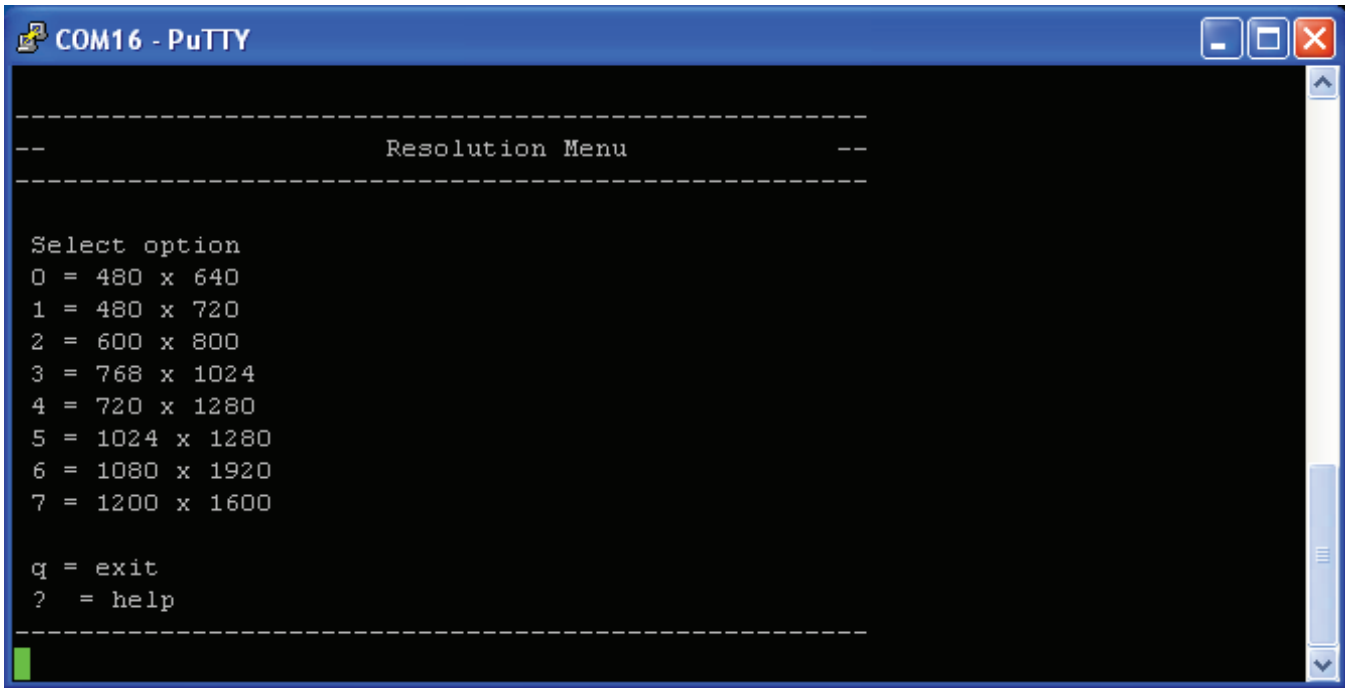
```
XMD% dow vdma_display.elf
```
6. 次のコマンドでソフトウェアを実行します。  

```
XMD% run
```

注記：新しい解像度を選択する前に、CPU リセット プッシュボタン (図 4 の 28) を押す必要があります。これによってプロセッサがリセットされ、アプリケーションが再実行されます (BIT ファイルおよび ELF ファイルを再読み込みは必要なし)。

## ハードウェアとソフトウェアの実行結果

KC705 ボードに接続された LCD モニターにはカラー バー パターンが表示され、HyperTerminal 画面には、図 5 に示すような出力が表示されます。



```
COM16 - PuTTY
-----
--                               Resolution Menu                               --
-----

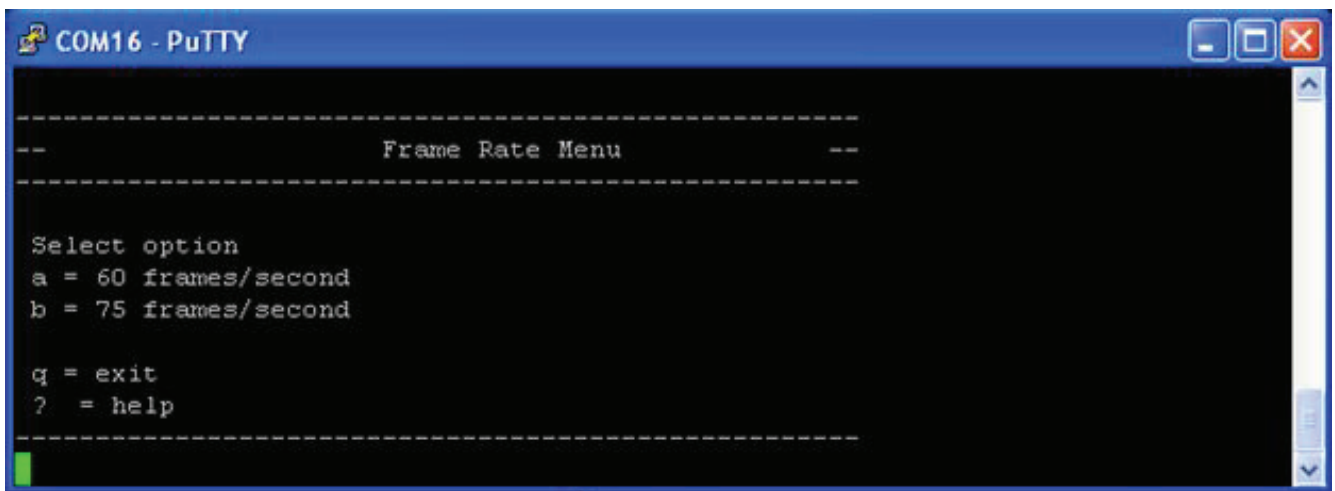
Select option
0 = 480 x 640
1 = 480 x 720
2 = 600 x 800
3 = 768 x 1024
4 = 720 x 1280
5 = 1024 x 1280
6 = 1080 x 1920
7 = 1200 x 1600

q = exit
? = help
-----
```

X742\_05\_031812

図 5：解像度選択用の HyperTerminal メニュー

図 6 に示すように、60 フレーム/秒と 75 フレーム/秒のオプションから選択できます。



```
COM16 - PuTTY
-----
--                               Frame Rate Menu                               --
-----

Select option
a = 60 frames/second
b = 75 frames/second

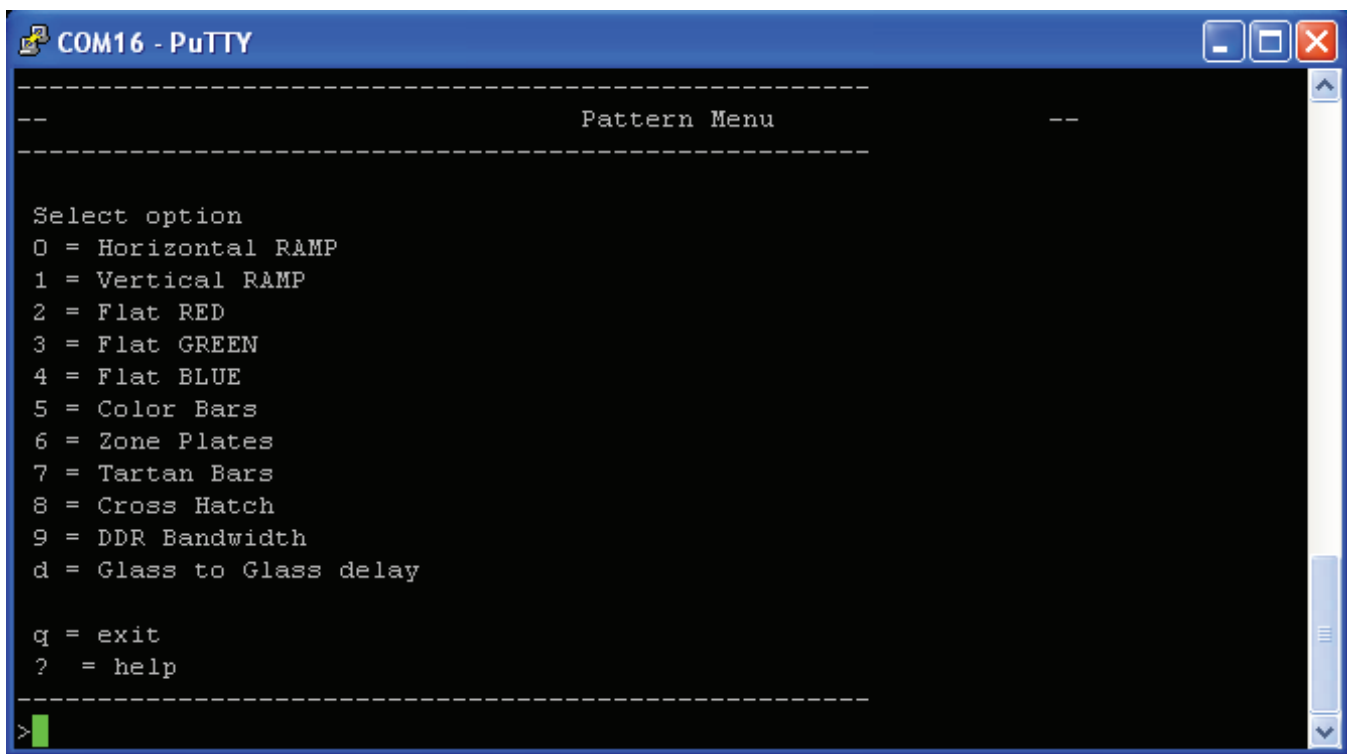
q = exit
? = help
-----
```

X742\_06\_030512

図 6：フレーム レート選択用の HyperTerminal メニュー

図 7 に示すように、HyperTerminal 画面に表示された次の 9 つからビデオ パターンを選択できます。

- 0 = 水平ランプ
- 1 = 垂直ランプ
- 2 = 全画面赤色
- 3 = 全画面緑色
- 4 = 全画面青色
- 5 = カラー バー
- 6 = ゾーンプレート
- 7 = 格子バー
- 8 = クロス ハッチ



X742\_07\_032612

図 7 : ビデオ パターン選択用の HyperTerminal メニュー

## パフォーマンス

DDR3 PHY は 64 ビットで、メモリ クロック周波数は 400MHz に設定されています。DDR3 メモリの理論上のスループットは 6.4GB/秒で、これはこのデザインで使用可能な総帯域幅です。

オプション p を選択すると、次のような出力が表示されます (表示される値は、若干異なる場合があります)。

```
-----DDR3, AXI4 Slave Profile Summary.....
Theoretical DDR Bandwidth = 6400000000 bytes/sec
Practical DDR Bandwidth = 1093621153 bytes/sec
Percentage of DDR Bandwidth consumed by frame of resolution
(1920x1080 @ 60 Hz) (Approx.)= 17.0873
```

オプション **d** を選択すると、次のような出力が表示されます (表示される値は、若干異なる場合があります)。

```
Processing Time Per Frame of resolution (1920x1080 @ 60 Hz) (Glass to Glass
delay) = 13.45879 ms
```

## ハードウェアの構築

このセクションでは、ハードウェア デザインの再構築について説明します。

プロジェクトを再構築する前に、AXI OSD および VTC のフルシステム ハードウェア評価ライセンスまたはフル ライセンスがインストールされていることを確認する必要があります。AXI OSD または VTC の評価ライセンスを取得するには、次のウェブサイトを参照してください。

- [ザイリンクス On-Screen Display LogiCORE IP \[参照 11\]](#)
- [ザイリンクス VTC \[参照 12\]](#)

注記：生成済みのビットストリームは、

<unzipdir>/vdma\_ref\_design/HW/vdma\_ref\_design/implementation/download.bit にあります。

ハードウェア デザインを再構築する手順は、次のとおりです。

1. XPS で `vdma_ref_design/HW/vdma_ref_design/system.xmp` を開きます。
2. [Hardware] → [Generate Bitstream] をクリックし、システムのビットストリームを生成します。
3. [Device Configuration] → [Update Bitstream] をクリックし、プロセッサのブートをメモリ内の安定したプログラムで確実に実行するために、bootloop プログラムでブロック RAM を初期化します。
4. [Project] → [Export Hardware Design to SDK] をクリックします。
5. [Export Only] をクリックします。

## SDK によるソフトウェアのコンパイルとデザインの実行

### SDK でのソフトウェアのコンパイル

1. SDK を開始します (Linux の場合、`xsdk` と入力)。
2. Workspace Launcher で、次のワークスペースを選択します。  
<unzip dir>/vdma\_ref\_design/SW/SDK\_Workspace
3. [OK] をクリックします。
4. [Xilinx Tools] → [Repositories] をクリックし、リポジトリを設定します。
  - ローカル リポジトリの場合、[New] をクリックします。
  - 次のディレクトリに移動します。  
<unzip dir>/vdma\_ref\_design/SW/repository
  - [OK] をクリックします。

この手順では、ボード サポート パッケージ (BSP) とソフトウェア アプリケーションがコンパイルされます。この処理には 2 分から 5 分程度かかります。これで、SDK で既存のソフトウェア アプリケーションの変更やソフトウェア アプリケーションの新規作成が可能になります (以降の手順は、「ハードウェアの構築」で説明したハードウェアの再構築が目的の場合にのみ必要)。

5. [vdma\_ref\_design\_hw\_platform] を右クリックし、[Change Hardware Platform Specification] をクリックします。
6. [Yes] をクリックします。
7. XPS SDK エクスポート `system.xml` ファイル  
(<unzip dir>/vdma\_ref\_design/HW/vdma\_ref\_design/SDK/SDK\_Export/hw/system.xml) を選択します。
8. [OK] をクリックします。

この手順では、BSP とソフトウェア アプリケーションが再コンパイルされます。この処理には 2 分から 5 分程度かかります。

## SDK でのハードウェアおよびソフトウェアの実行

1. [Xilinx Tools] → [Program FPGA] をクリックします。  
bootloop が microblaze\_0 に使用されていることを確認します。
2. [Program] をクリックします。
3. [Project Explorer] ウィンドウで、[vdma\_display] → [Run As] → [Launch on Hardware] を右クリックします。

## デザイン特性

リファレンス デザインは、ISE Design Suite : Embedded Edition 13.4 を使用して、Kintex-7 FPGA XC7K325TFFG900-1 にインプリメントされます。

次のリソースが使用されます。

- 使用される LUT の総数 : 203,800 のうち 34,100 (16%)
- 使用される I/O の総数 : 600 のうち 138 (23%)
- 使用される内部メモリの総数 :
  - RAMB36E1 : 445 のうち 16 (3%)
  - RAMB18E1 : 890 のうち 3 (1%)

**注記 :** デバイスのリソース使用率の結果は、インプリメンテーション ツールのバージョンによって異なります。正確な結果は変動する可能性があります。上記の値は、指標として使用してください。

## リファレンス デザイン

リファレンス デザインは、ハードウェア上で完全に検証され、テストされています。このデザインには、各種モジュールの多様な機能についての詳細情報が含まれています。インターフェイスは、ISE Design Suite 13.4 を使用してメイン AXI インターフェイスに適切に配置され、200MHz でメモリ コントローラーに配線されています。

このアプリケーション ノートのリファレンス デザイン ファイルは、次のサイトからダウンロードできます。

<https://secure.xilinx.com/webreg/clickthrough.do?cid=185348>

表 4 に、リファレンス デザインの詳細を示します。

表 4 : リファレンス デザインの詳細

パラメーター	内容
全般	
開発元	Sateesh Reddy Jonnalagada、Vamsi Krishna
ターゲット デバイス (ステッピング レベル、ES、製造、スピード グレード)	Kintex-7 FPGA
ソース コードの提供	あり
ソース コードの形式	VHDL/Verilog (ソース コードの一部は暗号化済み)
既存のザイリンクス アプリケーション ノート、リファレンス デザイン、CORE Generator ツール、サードパーティからデザインへのコードおよび IP の使用	EDK 用に提供されたリファレンス デザインおよび CORE Generator ツールで生成されるビデオ コア
シミュレーション	

表 4：リファレンス デザインの詳細 (続き)

パラメーター	内容
機能シミュレーションの実施	N/A
タイミング シミュレーションの実施	N/A
機能およびタイミング シミュレーションでのテストベンチの利用	N/A
テストベンチの形式	N/A
使用したシミュレータ ソフトウェア/バージョン	N/A
SPICE/IBIS シミュレーション	N/A
<b>インプリメンテーション</b>	
使用した合成ソフトウェア ツール/バージョン	XST 13.4
使用したインプリメンテーション ソフトウェア ツール/バージョン	ISE Design Suite 13.4 : System Edition
スタティック タイミング解析の実施	あり (PAR/TRCE のタイミングにパス)
<b>ハードウェア検証</b>	
ハードウェア検証の実施	あり
検証に使用したハードウェア プラットフォーム	KC705 ボード

## 使用率とパフォーマンス

表 5 に、デバイスと使用率についての情報を示します。

表 5：デバイス使用率

デバイス	スピード グレード	パッケージ	スライス レジスタ	配置済みの スライス	スライス LUT	I/O	RAMB36E1	RAMB18E1
XC7K325T	-1	FFG900	41,308 (10%)	15,577 (30%)	34,100 (16%)	146 (29%)	16 (3%)	3 (1%)

表 5 に、3 ページの図 1 に示した IP コアのデバイス リソース使用率を詳しく示します。表 6 の情報は、XPS の [Design Overview] → [Module Level Utilization] レポートを選択して表示される [Design Summary] タブから得られます。使用率の情報は、モジュールの境界を越えたロジック最適化とモジュール間のロジック共有のため、概算値となっています。

表 6：モジュール レベルのリソース使用率

IP コア	インスタンス名	スライス	スライス レジスタ	LUT	LUTRAM	ブロック RAM/ FIFO	DSP48E1 スライス	BUFG	BUFR	MMCM _ADV
AXI7 シリーズ DDR3 コント ローラー	DDR3_SDRAM	6,257	9,955	11,623	3,010	0	0	0	0	0
AXI インター コネクタ	AXI_Lite	377	294	1,456	140	0	0	0	0	0
	AXI_MM	5,735	17,357	11,012	271	0	0	0	0	0
Video Timing Controller	timebase_0	447	1,104	744	2	0	0	0	0	0
	timebase_1	452	1,105	731	2	0	0	0	0	0
AXI TPG (関連する グルー ロジックを 含む)	axi_tpg_0	403	1,088	898	14	1	3	0	0	0
	xsvi2axi_0	8	27	11	0	1	0	0	0	0
AXI VDMA	axi_vdma_0	2,227	4,778	2,873	301	8	0	0	0	0

表 6：モジュール レベルのリソース使用率 (続き)

IP コア	インスタンス名	スライス	スライスレジスタ	LUT	LUTRAM	ブロック RAM/FIFO	DSP48E1 スライス	BUFG	BUFR	MCM _ADV
AXI OSD (関連する グルー ロジックおよびディスプレイ ドライバーを含む)	osd_0	685	1,475	955	30	1	3	0	0	0
	csc_rgb_to_ycrcb422_0	150	377	286	105	0	4	0	0	0
	hdmi_interface_0	7	19	19	19	0	0	0	0	0
クロック、リセット、およびその他のシステム ロジック	clock_generator_0	1	0	1	0	0	0	4	0	0
	proc_sys_reset_0	17	31	21	2	0	0	0	0	0
MicroBlaze プロセッサ サブシステム (ローカル メモリ、JTAG ベース デバッグ用のデバッグ モジュールを含む)	microblaze_0	1,211	1,388	1,828	244	6	3	0	0	0
	debug_module	93	128	116	23	0	0	1	0	0
	microblaze_0_bram_block	0	0	0	0	2	0	0	0	0
	microblaze_0_d_bram_ctrl	5	2	3	0	0	0	0	0	0
	microblaze_0_dlmb	1	1	0	0	0	0	0	0	0
	microblaze_0_i_bram_ctrl	4	2	1	0	0	0	0	0	0
	microblaze_0_ilmb	1	1	0	0	0	0	0	0	0
	microblaze_0_intc	62	72	93	0	0	0	0	0	0
AXI_IIC	axi_iic_0	255	259	347	20	0	0	0	0	0
AXI UartLite	RS232_Uart_1	74	85	100	18	0	0	0	0	0
合計		19,553	41,183	34,100	4,126	19	13	5	0	0

注記：

1. スライスは、複数の IP コアおよび階層からの基本エレメントと共にパックできます。つまり、スライスはパックされたそれぞれの基本エレメントが属するすべての階層的モジュールでカウントされます。その結果、複数のモジュールのスライス数を加算する際に、一部は重複してカウントされることとなります。

表 7 に、物理メモリ インターフェイスの帯域幅計算をまとめます。

表 7：DDR3 物理メモリ インターフェイスの理論上の最大帯域幅

データ幅	データ レート	理論上の最大帯域幅
64 ビット (SODIMM)	800Mb/s	6.40GB/s (51.2Gb/s)

表 8 に、メモリを介して移動するビデオ データ (解像度 = 1920 x 1080、フレーム レート = 60Hz) の総帯域幅をまとめます。

表 8：ビデオ トラフィックで利用可能な総帯域幅

フレーム解像度	リフレッシュ レート	各ピクセルの ビット数	ビデオ ストリーム数	ビデオ スルー プット (利用可能な 帯域幅の合計)
1920 x 1080	60Hz	32	2	0.996GB/s (7.968Gb/s)

表 9 に、理論上の最大帯域幅のうち、ビデオ ストリームによって使用される比率 (%) を解像度別にまとめます。

表 9：理論上の最大帯域幅の使用率 (パーセンテージ)

解像度	水平アクティブ ビデオ x 垂直アクティブ ビデオ	フレーム レート (Hz)	理論上の最大帯域幅 (MB/s)	理論上の最大帯域幅の使用率 (%)
1	640 x 480	60	147.45	2.2
		75	184.32	2.8

表 9：理論上の最大帯域幅の使用率 (パーセンテージ) (続き)

解像度	水平アクティブビデオ x 垂直アクティブビデオ	フレームレート (Hz)	理論上の最大帯 域幅 (MB/s)	理論上の最大帯域幅 の使用率 (%)
2	720 x 480	60	165.88	2.5
		75	207.36	3.2
3	800 x 600	60	230.4	3.5
		75	288	4.5
4	1024 x 768	60	377.486	5.8
		75	471.858	7.3
5	1280 x 720	60	442.368	6.9
		75	552.96	8.6
6	1280 x 1024	60	629.144	9.8
		75	786.4	12.2
7	1920 x 1080	60	995.3	15.5
		75	1244.16	19.4
8	1600 x 1200	60	921.6	14.3
		75	1152	18

## まとめ

このアプリケーション ノートに付属のリファレンス デザインは、レジスタ インターフェイスを介して必要なビデオ解像度とビデオ フレーム レートのさまざまな組み合わせを処理する、ザイリンクスのビデオ IP コアのコンフィギュレーションを実証しています。デザインにおける複数のフレーム レートと解像度を処理するためのビデオ クロックは、オンボードの設定変更可能なクロック ジェネレーターで供給されます。DDR メモリに接続された AXI Performance Monitor IP コアは、システムの帯域幅およびレイテンシを異なる解像度とフレーム レートで計測の際に使用されます。このアプリケーション ノートでは、広範なビデオ アプリケーション向けに多様な機能をインプリメントする、ザイリンクスのビデオ IP コアの効果的なコンフィギュレーションについて詳細に説明しています。

## 参考資料

このアプリケーション ノートでは、次の参考資料が使用されています。

1. AMBA AXI4 仕様  
<http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.set.amba/index.html>
2. [UG761](#)：『AXI リファレンス ガイド』
3. [UG683](#)：『EDK コンセプト、ツール、テクニック：効率的なエンベデッドシステム構築をサポートするハンディガイド』
4. [DS768](#)：『LogiCORE IP AXI Interconnect (v1.05) データシート』
5. [XAPP740](#)：『AXI インターコネクトを使用した高性能ビデオシステムのデザイン』
6. [DS799](#)：『LogiCORE IP AXI Video Direct Memory Access (axi\_vdma) (v5.00.a) データシート』
7. [UG586](#)：『7 シリーズ FPGA メモリ インターフェイス ソリューション ユーザー ガイド』
8. [DS857](#)：『LogiCORE IP Video Timing Controller v3.0 データシート』
9. [DS837](#)：『LogiCORE IP Video On-Screen Display v2.0 データシート』
10. [UG883](#)：『Kintex-7 FPGA ベース ターゲット リファレンス デザイン スタートアップ ガイド』
11. Xilinx On-Screen Display LogiCORE IP  
<http://japan.xilinx.com/products/intellectual-property/EF-DI-OSD.htm>
12. [DS857](#)：『LogiCORE IP Video Timing Controller v3.0 製品仕様』
13. [UG081](#)：『MicroBlaze プロセッサ リファレンス ガイド：エンベデッド開発キット EDK 13.4』
14. Xilinx Video Timing Controller  
<http://japan.xilinx.com/products/intellectual-property/EF-DI-VID-TIMING.htm>

15. [UG111](#): 『エンベデッド システム ツール リファレンス マニュアル: EDK 13.4』
16. [UG810](#): 『Kintex-7 FPGA 用 KC705 評価ボード ユーザー ガイド』
17. [UG586](#): 『7 シリーズ FPGA メモリ インターフェイス ソリューション ユーザー ガイド』

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂の説明
2012年5月3日	1.0	初版リリース

## Notice of Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available “AS IS” and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications:

<http://www.xilinx.com/warranty.htm#critapps>.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、

[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。