



AMD Artix UltraScale+ XA FPGA および 製品データシート: 概要

DS886 (v1.1) 2024 年 9 月 26 日

Production 製品仕様

この資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

概要

UltraScale™ アーキテクチャを採用した AMD Artix™ UltraScale+™ XA FPGA は、コスト重視デバイスで最高のシリアル帯域幅と演算密度を提供し、クリティカルなネットワークアプリケーション、ビジョン/ビデオ処理、およびセキュアな接続に対応します。

機能概要

I/O、トランシーバー、PCIe、100G イーサネット、150G Interlaken

データは、高性能なパラレル SelectIO™ インターフェイスと高速シリアルトランシーバー コネクティブリティを共に使用し、オンチップ/オフチップに伝送されます。I/O ブロックは I/O 規格と電圧を柔軟にサポートすることで、最先端のメモリ インターフェイスおよびネットワーク プロトコルを提供します。UltraScale アーキテクチャ デバイスに搭載されるシリアルトランシーバーは、最大 58.0 Gb/s でデータを転送し、前世代のトランシーバーと比較してビットあたりの消費電力を大幅に削減しながら、25G+ のバックプレーン デザインを可能にします。PS-GTR を除くすべてのトランシーバーは、8.0 GT/s (Gen3) および 16.0 GT/s (Gen4) の PCIe® に必要なデータ レートをサポートします。PCIe 用統合ブロックはエンドポイントまたはルート ポート用に構成でき、ターゲット デバイスのスピード グレードおよびパッケージによって、さまざまなリンク幅とスピードに対応します。150 Gb/s Interlaken および 100 Gb/s イーサネット (100G MAC/PCS) 用の統合ブロックは、UltraScale デバイスの性能を拡張し、Nx100G スイッチおよびブリッジアプリケーションをシナプティックに、そして高い新信頼性でサポートします。

クロックおよびメモリ インターフェイス

UltraScale デバイスは、クロック合成、バッファリング、コンポーネントの配線を含む優れたクロック管理回路を備え、さまざまなデザイン要件に対応する高機能なフレームワークを提供します。クロックはクロック ネットワークによって柔軟に分配できるため、クロック信号に関連したスキュー、消費電力、そして遅延が最小限に抑えられます。クロック管理テクノロジーは専用のメモリ インターフェイス回路と密接に統合されているため、DDR4 など高性能な外部メモリがサポートされます。また、UltraScale デバイスではパラレルメモリ インターフェイスだけでなく、ハイブリッド メモリ キューブ (HMC) などのシリアルメモリもサポートされます。

配線、SSI、ロジック、ストレージ、信号処理

コンフィギュラブルロジックブロック (CLB) には、6 入力のルックアップテーブル (LUT) とフリップフロップ、27x18 乗算器を持つ DSP スライス、ビルトイン FIFO を備え ECC をサポートする 36 Kb ブロック RAM、4Kx72 UltraRAM ブロック (UltraScale+ デバイスのみ) が含まれ、これらはすべて高性能で低レイテンシの豊富なインターコネクタで接続されます。CLB はロジック機能以外にも、シフトレジスタ、マルチプレクサー、キャリーロジック機能を提供します。LUT は分散メモリとして構成でき、高機能でコンフィギュラブルなブロック RAM を補います。96 ビット XOR ファンクション、27 ビット前置加算器、30 ビット A 入力を備える DSP スライスは、乗算、積和算、パターン検出など多数の独立したファンクションを実行します。デバイスのインターコネクタに加え、SSI テクノロジーを使用するデバイスでは、低レイテンシな専用のインターフェイス タイプによって信号が SLR (Super-Logic Region) 間を行き来できます。このような組み合わせ配線リソースにより、次世代のバス データ幅も問題なくサポートされます。

コンフィギュレーション、暗号化、システム モニター

コンフィギュレーションおよび暗号化ブロックは、FPGA が適切に動作するために欠かすことのできないさまざまなデバイスレベルの機能を実行します。高性能なコンフィギュレーションブロックにより、外部媒体から PCIe を含むさまざまなプロトコルを介してデバイスをコンフィギュレーションできます。多くの場合、コンフィギュレーション時に多目的 I/O ピンを使用する必要はありません。また、コンフィギュレーションブロックは、暗号化されていないコンフィギュレーションと同じ性能で 256 ビットの AES-GCM 復号化機

AMD アダプティブ コンピューティングは、従業員、顧客、パートナーそれぞれが認められ、受け入れられていると実感できる環境作りに取り組んでいます。その一環として、製品資料およびその他関連資料に含まれる非包括的な用語/表現を排除していきます。当社ソフトウェアおよび IP に組み込まれている用語を含め、人を差別、疎外したり、歴史的な偏見を増長する可能性のある表現をなくすための社内的取り組みが始まっています。該当表現を改め、進化する業界標準に則った取り組みを進めていますが、旧製品資料には配慮に欠ける表現が残っている可能性があります。詳細は、この [リンク](#) を参照してください。

DS886 (v1.1) 2024 年 9 月 26 日

Production 製品仕様

能をサポートします。SEU の検出と訂正、パーシャル リコンフィギュレーションのサポート、AES キーを格納するためのバックアップ バッテリ付きの RAM または eFUSE などの追加機能によって、さらに強化されたセキュリティが提供されます。システム モニターでは、オンチップの温度および電源センサーによって物理的環境や最大で 17 個の外部アナログ入力をモニタリングできます。

デバイス間の移行

UltraScale および UltraScale+ ファミリーはフットプリントの互換性を備えているため、あるデバイス/ファミリのデザインを別のデバイス/ファミリへ移行できます。フットプリント識別子コードが同じ 2 つのパッケージは、フットプリント互換性があります。たとえば、A1156 パッケージの Kintex™ UltraScale デバイスは、同パッケージの Kintex UltraScale+ デバイスとフットプリント互換性があります。同様に、B2104 パッケージの Virtex™ UltraScale デバイスは、同パッケージの Virtex UltraScale+ デバイスおよび Kintex UltraScale デバイスとフットプリント互換性があります。すべての有効なデバイス/パッケージの組み合わせは、この文書の「デバイスとパッケージの各組み合わせにおける最大 I/O 数」の各表で示しています。UltraScale と UltraScale+ デバイス/パッケージ間の移行の詳細は、『UltraScale アーキテクチャ PCB デザイン ユーザー ガイド』(UG583) を参照してください。

Artix UltraScale+ XA FPGA の機能一覧

表 1: Artix UltraScale+ XA FPGA の機能一覧

	XAAU7P	XAAU10P	XAAU15P
システム ロジック セル	81,900	96,250	170,100
CLB フリップフロップ	74,880	88,000	155,520
CLB LUT	37,440	44,000	77,760
最大分散 RAM (Mb)	1.1	1.0	2.5
ブロック RAM ブロック	108	100	144
ブロック RAM (Mb)	3.8	3.5	5.1
CMT (MMCM が 1 個、PLL が 2 個)	2	3	3
最大 HP I/O ⁽¹⁾	104	156	156
最大 HD I/O ⁽²⁾	144	72	72
DSP スライス	216	400	576
システム モニター	1	1	1
GTH トランシーバー ⁽³⁾	4	12	12
トランシーバー フラクショナル PLL	2	6	6
PCIE4C ⁽⁴⁾	1	1 ⁽⁵⁾	1 ⁽⁵⁾

注記:

- HP は High Performance I/O で、1.0V から 1.8V の I/O 電圧をサポートします。
- HD は High Density I/O で、1.2V から 3.3V の I/O 電圧をサポートします。
- GTH トランシーバーのラインレートはパッケージによって制限があり、SFVB784 の場合は 12.5 Gb/s までです。
- このブロックは 16.0 GT/s (Gen4) 動作の互換モードで動作します。互換モードの詳細は、『UltraScale+ Devices Integrated Block for PCI Express 製品ガイド』(PG213) を参照してください。
- PCIe Gen4 は、FFVB676 パッケージの XAAU10P および XAAU15P でのみ利用できます。

Artix UltraScale+ XA デバイスとパッケージの各組み合わせにおける最大 I/O 数

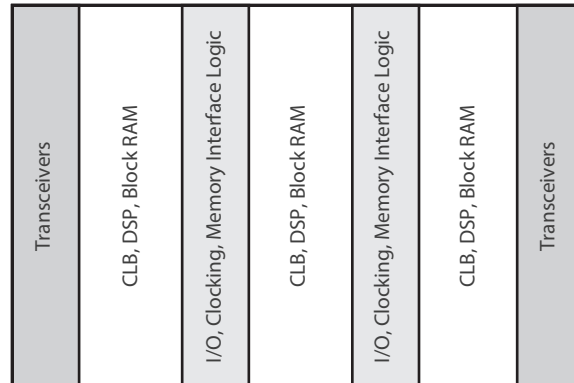
表 2: Artix UltraScale+ デバイスとパッケージの各組み合わせにおける最大 I/O 数

パッケージ (1)(2)(3)	パッケージサイズ (mm)	XAAU7P	XAAU10P	XAAU15P
		HDIO、HPIO、GTH、GTY		
FCVA289	9x9	72、58、4、0		
SBVB484	19x19		48、156、12、0	48、156、12、0
SBVC484	19x19	144、104、4、0		
FFVB676	27x27		72、156、12、0	72、156、12、0

- 注記:
- パッケージ記載の詳細は、「[注文情報](#)」を参照してください。
 - FFパッケージのボールピッチは 1.0 mm です。SBパッケージのボールピッチは 0.8 mm です。
 - パッケージコードの最後の文字と番号の並び(例: B676)が同じパッケージは、すべての UltraScale アーキテクチャデバイス間でフットプリントの互換性があります。このファミリー内で、フットプリントに互換性のあるデバイスは太線で囲まれています。ファミリー内の移行の詳細は、『[UltraScale アーキテクチャ製品セレクションガイド](#)』を参照してください。

デバイスレイアウト

UltraScale デバイスは、カラムそして格子状に配列されています。リソースカラムの組み合わせ比率はデバイスによって多様で、デバイスの集積度、ターゲットとする市場とアプリケーション、デバイスコストなどに合わせて最適な性能を提供します。[図 1](#) に、リソースをグループ分けしたカラムを示すデバイスレベルの図を示します。ここでは、図をシンプルにするため、プロセッシングシステム、PCIe 用統合ブロック、コンフィギュレーションロジック、システムモニターは示していません。



DS886_01_121322

図 1: リソースがカラム状に配列された FPGA

デバイス内のリソースは、セグメント化されたクロック領域に分割されています。クロック領域の高さは CLB 60 個分です。I/O バンク 52 個、DSP スライス 24 個、ブロック RAM 12 個、またはトランシーバーチャネル 4 個もクロック領域の高さに相当します。クロック領域の幅は、デバイスサイズやクロック領域におけるリソースの組み合わせにかかわらず基本的に同じであることから、デザインにおけるタイミングの結果が再利用可能です。セグメント化された各クロック領域には、水平方向と垂直方向にそれぞれ領域の幅と高さ分のクロック配線があります。これらのクロック配線は、クロック領域の境界で分割できるため、このアーキテクチャでは高性能で低消費電力のクロック分散が可能になります。[図 2](#) に領域に分割された FPGA を図示します。

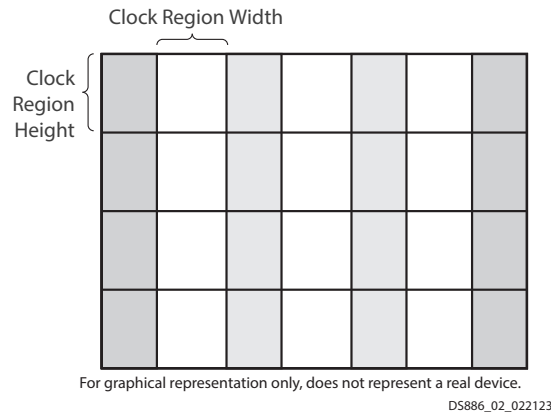


図 2: クロック領域に分割された FPGA

入力/出力

すべての UltraScale デバイスに、外部コンポーネントと通信するための I/O ピンがあります。これ以外に、PS には I/O ペリフェラルと外部コンポーネントの通信用に MIO (Multiplexed I/O) と呼ばれる 78 本の I/O があります。I/O ペリフェラルに必要なピンが 78 本を超える場合、PL の I/O ピンを使用して MPSoC および RFSoC のインターフェイス機能を拡張できます。これを EMIO (Extended MIO) と呼びます。

UltraScale FPGA にある I/O ピン数はデバイスおよびパッケージによって異なります。各 I/O ピンはコンフィギュレーション可能で、多数の規格に準拠しています。I/O には HR (High Range)、HP (High-Performance)、HD (High-Density) の 3 種類があります。HR I/O は、1.2 ~ 3.3V までの最も広範な I/O 電圧をサポートします。HP I/O は最高性能の動作向けに最適化されており、1.0V ~ 1.8V の電圧をサポートします。HD I/O は 24 バンク構成で機能を絞った I/O で、1.2V ~ 3.3V の電圧をサポートします。

I/O ピンはすべてバンクに構成されており、HP および HR I/O ピンは 1 バンクに 52 本、HD I/O ピンは 1 バンクに 24 本あります。各バンクには 1 つの共通 V_{CCO} 出力バッファ電源があり、これは特定の入力バッファにも電源を供給します。HR バンクは 2 分割可能で、それぞれに V_{CCO} 電源を持つことができます。一部のシングルエンドの入力バッファには、内部生成の、または外部に基準電圧 (V_{REF}) が必要です。 V_{REF} ピンは PCB から直接駆動するか、各バンク内部にある V_{REF} 生成回路を使用して内部生成できます。

I/O 電気特性

シングルエンド出力は従来型の CMOS プッシュ/プル出力構造を使用するもので、 V_{CCO} は High を、グラウンドは Low を駆動し、ハイインピーダンス状態も可能です。システム設計者はスルーレートおよび駆動能力を指定できます。入力は常にアクティブですが、出力がアクティブの間は通常無視されます。また、各ピンはオプションとして、弱いプルアップまたはプルダウン抵抗を付けることができます。

ほとんどの信号ピンペアが、差動入力ペアまたは出力ペアとして構成できます。さらに、差動入力ピンのペアを 100Ω の内部抵抗で終端できるオプションもあります。すべての UltraScale デバイスは LVDS 以外に RSDS、BLVDS、差動 SSTL、差動 HSTL の差動規格をサポートします。また、各 I/O はシングルエンドおよび差動の HSTL、SSTL などのメモリ I/O 規格をサポートします。UltraScale+ ファミリでは I/O バンクに専用 D-PHY を備えることで MIPI のサポートが追加されています。

トライステート型デジタル制御インピーダンスおよび低消費電力 I/O 機能

トライステート型デジタル制御インピーダンス (T_{DCI}) は、出力駆動インピーダンス (直列終端) を制御したり、または V_{CCO} に対する入力信号の並列終端や $V_{CCO}/2$ に対する分割 (テブナン) 終端を構成できます。 T_{DCI} を使用した信号には、オフチップの終端は不要です。これはボードスペースを節約するだけでなく、出力モードまたはトライステートの場合に終端が自動的にオフになるため、オフチップ終端の消費電力も大幅に削減されます。さらに、I/O の IBUF および IDELAY には低電力モードがあり、特にメモリインターフェイスの実装時に、低消費電力化を図ることができます。

I/O ロジック

入力および出力遅延

すべての入力および出力は組み合わせ、またはレジスタ付きとして設定でき、ダブルデータレート (DDR) が全入力および出力でサポートされています。入力と出力はすべて、5 ~ 15 ps 単位で最大 1,250 ps まで個別に遅延させることができ、この遅延は IDELAY および ODELAY としてインプリメントされます。遅延ステップ数はコンフィギュレーションで設定できますが、使用中にも増加または減少させることが可能です。IDELAY および ODELAY をカスケード接続することで、一方向の遅延量を 2 倍にできます。

ISERDES および OSERDES

アプリケーションの多くは、デバイス内部で高速なビットシリアル I/O とより低速なパラレル動作を組み合わせます。これには、I/O ロジック内にシリアライザーおよびデシリアライザー (SerDes) が必要です。各 I/O ピンには IOSERDES (ISERDES と OSERDES) があり、2、4、8 ビットの幅 (プログラム可能) でシリアルからパラレル、またはパラレルからシリアルへデータを変換します。I/O ロジックのこのような機能により、トランシーバーではなく SelectIO インターフェイスでギガビットイーサネット/1000BaseX/SGMII などの高性能インターフェイスが可能になります。

高速シリアルトランシーバー

同一 PCB 上のデバイス間、バックプレーン経由、または長距離間のシリアルデータ転送は、100 Gb/s や 400 Gb/s まで拡張するカスタムラインカードを実現する上でその重要性を増しています。このような転送には、高データレートでのシグナルインテグリティの問題に対応する専用のオンチップ回路および差動 I/O が必要です。

Artix UltraScale+ XA デバイスは GTH トランシーバーを使用します。どのトランシーバーも、4 つのグループ (トランシーバー クラウド) にグループ化されています。各シリアルトランシーバーは、トランスミッターとレシーバーの組み合わせで構成されています。表 3 に、各トランシーバーの性能を示します。

表 3: トランシーバーの性能

	XA Artix UltraScale+
種類	GTH
最大データレート	16.3 Gb/s
最小データレート	0.5 Gb/s

GTH トランシーバー

シリアルトランスミッターおよびレシーバーは高度な位相ロックループ (PLL) アーキテクチャを使用する独立した回路で、基準周波数入力をプログラム可能な 4 ~ 25 の値で通倍することでビットシリアルデータクロックを生成します。トランシーバーそれぞれに、ユーザー定義可能な多数の機能およびパラメーターがあります。これらはすべてデバイスコンフィギュレーション中に定義でき、その多くは動作中にも変更できます。

トランスミッター

GTH のトランスミッターは基本的に、変換比率が 16、20、32、40、64、または 80 のパラレル/シリアルコンバーターです。これにより、データパス幅とタイミングマージンのバランスの取れた高性能が求められるデザインにも対応できます。トランスミッターの出力は、シングルチャネルの差動出力信号で PC ボードを駆動します。TXOUTCLK は適切に分周されたシリアルデータクロックで、内部ロジックからのパラレルデータを直接ラッチするために使用できます。入力されるパラレルデータはオプションの FIFO を通り、十分なデータ遷移が生じるようハードウェアでの 8B/10B、64B/66B、または 64B/67B エンコードがサポートされています。ビットシリアル出力信号は、差動信号によって 2 つのパッケージピンを駆動します。この出力信号ペアは、信号振幅とプリおよびポストエンファシスがプログラム可能で、PC ボードでの信号ロスやほかのインターコネクト特性を補います。より短いチャネルでは、振幅幅を小さくすることで低消費電力化が可能です。

レシーバー

GTH のレシーバーは基本的に、入力ビット シリアル差動信号をそれぞれ 16、20、32、40、64、または 80 ビット幅の平行ストリーム ワードに変換するシリアル/パラレル コンバーターです。これにより、内部データ幅とさまざまなロジックのタイミング マージンのバランスの取れた設計が可能になります。レシーバーは、入力差動データ ストリームを受け取ってそれを DC 自動ゲイン制御、リニア イコライザー、DFE (Decision Feedback Equalizer) を介することで、PC ボード、ケーブル、光インターコネクタやほかのインターコネクタ特性を補い、基準クロック入力を使用してクロックの認識を開始します。別のクロック ラインは不要です。データ パターンは NRZ (Non-Return-to-Zero) エンコードを使用し、オプションとして選択したエンコード方式を用いることで十分なデータ遷移が生じるようにします。平行データは RXUSRCLK クロックを使用してデバイス ロジックに転送されます。短いチャンネルの場合、トランシーバーを特別な低電力モード (LPM) で使用することで、消費電力が約 30% 削減されます。レシーバーの DC 自動ゲイン制御、リニア イコライザー、DFE はオプションで自動適合に設定でき、さまざまなインターコネクタの特性を自動的に判断して補正できます。これによって、10G+ や 25G+ のバックプレーンにもより多くのマージンを確保できるようになります。

Out-of-Band 信号

トランシーバーは、高速シリアル データ転送がアクティブでないときに、トランスミッターからレシーバーへ低速の信号を転送するためによく使用される Out-of-Band (OOB) 信号を提供します。通常、リンクがパワー ダウン ステートにあるか初期化されていない場合がこれに該当し、この機能は PCIe、SATA/SAS、QPI のアプリケーションで有用です。

PCI Express デザイン用統合インターフェイス ブロック

Artix UltraScale+ XA デバイスは PCIe4C を使用します。これは PCI Express Base Specification v3.1 に準拠し、最大で Gen3 x8 をサポートしますが、より低いレーン幅およびスピード用にも構成可能です。

PCIe4C ブロックは、

- PCI Express Base Specification v3.1 に準拠し、最大 8.0 GT/s (Gen3) をサポートします。
- PCI Express Base Specification v4.0 に準拠し、最大 16.0 GT/s (Gen4) をサポートします。
- CCIX Base Specification v1.0 Version 0.9 に準拠し、最大 16.0 GT/s をサポートします。
- Gen3 で最大 8 レーン、Gen4 で最大 8 レーンをサポートしますが、リソースおよび消費電力の削減を目的としてより低いレーン幅用にも構成できます。

UltraScale アーキテクチャが備える PCIe 統合ブロックはすべて、エンドポイントまたはルート ポートとして構成可能です。ルートポートは、ルート コンプレックス相当の機能を提供し、PCI Express プロトコルを用いたチップ間のカスタム通信を可能にするだけでなく、イーサネット コントローラーやファイバー チャネル HBA などの ASSP エンドポイント デバイスを FPGA、MPSoC、または RFSoc に接続します。

表 4 に、最大レーン幅およびデータ レートを示します。

表 4: PCIe のデータ レート別最大レーン幅

	Artix UltraScale+ XA
Gen1 (2.5 GT/s)	x8
Gen2 (5 GT/s)	x8
Gen3 (8 GT/s)	x8
Gen4 (16 GT/s)	x8 ⁽¹⁾

注記:

1. PCIe Gen4 は、FFVB676 パッケージの XAAU10P および XAAU15P で利用可能です。

高性能アプリケーション向けには、ブロックを高度にバッファーすることで、1,024 バイトまでの柔軟性に優れた最大ペイロード サイズを提供します。また、シリアル コネクティビティ用に統合された高速トランシーバーと、データ バッファー用にはブロック RAM とインターフェイスします。全体として、これらのエレメントは PCI Express プロトコルの物理層、データ リンク層、そしてトランザクション層をインプリメントします。

AMD は、Artix UltraScale+ XA デバイスの PCIe 統合ブロックのコンフィギュレーション用に LogiCORE™ IP を提供しています。これらには、PCIe パケット レベルの AXI ストリーミング インターフェイスから AXI と PCIe のブリッジや DMA エンジンなど、より高度な

IP ままで含まれます。これらの IP を使用する場合、リンク幅とスピード、最大ペイロード サイズ、基準クロック周波数など多くのパラメーターが設計者によって制御されます。各 IP で設定可能な機能の一覧は、それぞれの製品ガイドを参照してください。

Cache Coherent Interconnect for Accelerators (CCIX)

Cache Coherent Interconnect for Accelerators (CCIX、「シーシックス」と発音) は、2 つ以上のデバイスがキャッシュ コヒーレンシを維持しながらメモリを共有するためのチップ間インターコネクトで、最大 25 Gb/s のデータ レートで動作します。トランスポート層に PCIe を使用することで、CCIX は複数の規格のデータ レート (2.5、5、8、16 Gb/s) で動作可能で、25 Gb/s の高速動作オプションがあります。仕様では、コヒーレンシプロトコルのサブセットが採用され、アクセラレータとして使用される FPGA が、異なる命令セットを使用するプロセッサとコヒーレンシを維持しながらデータを共有できます。

PCIe4C ブロックは、16 Gb/s の CCIX データ レートをサポートし、CCIX ポートが 1 つあります。各 CCIX ポートは PCIe 用統合ブロックを 1 つ使用する必要があります。PCIe 用統合ブロックは CCIX ポートに使用されない場合、PCIe 通信用として使用可能です。

Interlaken 用統合ブロック

一部の UltraScale アーキテクチャ デバイスは、Interlaken 用統合ブロックを備えています。Interlaken は 10 Gb/s ~ 150 Gb/s の通信速度に対応するよう設計された、拡張可能なチップ間インターコネクト プロトコルです。UltraScale アーキテクチャの Interlaken 用統合ブロックは、Interlaken 仕様のリビジョン 1.2 に準拠し、1 レーンから 12 レーンに渡るデータ ストライプ/デストライプをサポートします。可能な構成は、12.5 Gb/s までで 1 ~ 12 レーン、25.78125 Gb/s までで 1 ~ 6 レーンで、各統合ブロックあたり最大 150 Gb/s をサポートする柔軟性を備えています。複数の Interlaken ブロックを持つ UltraScale デバイスでは、これらを活用することで簡単に、信頼性の高い Interlaken スイッチおよびブリッジをデザインできます。

100G イーサネット用統合ブロック

IEEE Std 802.3ba に準拠する UltraScale アーキテクチャの 100G イーサネット統合ブロックは、ユーザーによるカスタマイズと統計集計をサポートする、低レイテンシの 100 Gb/s イーサネット ポートを提供します。10 x 10.3125 Gb/s (CAUI) および 4 x 25.78125 Gb/s (CAUI-4) のコンフィギュレーションが可能なこの統合ブロックには、100G MAC と PCS ロジックの両方が含まれ、IEEE Std 1588v2 1-step および 2-step ハードウェア タイムスタンプに準拠します。

UltraScale+ デバイスの 100G イーサネットブロックには IEEE Std 802.3bj に準拠した RS-FEC (Reed Solomon Forward Error Correction) ブロックが含まれています。この RS-FEC ブロックは、ユーザー アプリケーションでイーサネットブロックと組み合わせて使用することも、単独で使用することもできます。これらのファミリーは、PCS を MAC なしで動作可能な OTN マッピング モードもサポートしています。

クロック管理

UltraScale デバイスのクロック生成および分散コンポーネントは、メモリ インターフェイスと入力/出力回路を含むカラムに隣接した位置にあります。クロックと I/O が近くに配置されていることにより、メモリ インターフェイスの I/O やその他の I/O プロトコルへのクロッキングが低レイテンシになります。各 CMT (クロック マネージメント タイル) には、MMCM (ミックスド モード クロック マネージャー) が 1 つ、PLL が 2 つ、クロック分散バッファと配線、そして外部メモリ インターフェイスの実装専用の回路が含まれています。

MMCM (ミックスド モード クロック マネージャー)

MMCM は、入力クロックの広範な周波数の合成回路およびジッター フィルターとしての機能を提供します。この MMCM の中心は、PFD (位相周波数検出回路) からの入力電圧に従って、それを高速化または低速化する VCO (電圧制御オシレーター) です。

さらに、DRP を介してコンフィギュレーションおよび通常動作でプログラム可能な 3 つの周波数分周器 (D、M、O) があります。前置分周器 D は入力周波数を低減させ、位相/周波数コンパレータの入力 1 つを供給します。フィードバック分周器 M は、位相コンパレータのその他の入力を供給する前に VCO 出力を分周するため、乗算器として機能します。D および M は、VCO が指定された周波数範囲内となるように適切に選択する必要があります。VCO には等分された 8 つの出力位相 (0°、45°、90°、135°、180°、225°、270°、315°) があり、それぞれが出力分周器の 1 つを駆動するよう選択できます。分周器はそれぞれ、1 ~ 128 の任意の整数で分周するようにコンフィギュレーションでプログラム可能です。

MMCM には入力ジッターのフィルター モードとして、狭帯域モード、広帯域モード、最適化モードの 3 つがあります。狭帯域モードではジッターの減衰が優先され、広帯域モードでは位相オフセットが優先されます。最適化モードの場合、ツールによって最適な設定が指定されます。

MMCM は、フィードバックパス (乗算器として機能) または出力パスの 1 つに分数カウンターを持つことができます。これらのカウンターは 1/8 という整数以外の増分をサポートするため、周波数を 8 の倍数で合成できます。MMCM は、小さな単位で増分させる固定位相シフトまたは動作中に変更可能な位相シフトもサポートします。増分は VCO 周波数に依存し、たとえば 1600 メガヘルツでは 11.2 ps となります。

PLL

MMCM の一部の機能を持つ PLL は各クロック マネージメント タイルに 2 つ含まれ、メモリ インターフェイス専用回路に必要なクロックを提供することを主な役割としています。PLL の中心となる回路は MMCM と同様で、PFD から VCO とプログラム可能な M、D、O カウンターに信号を入力します。各 PLL にはデバイス ファブリックへの分周出力が 2 つと、メモリ インターフェイス回路へのクロックおよびイネーブル信号が各 1 つあります。

クロック分配

UltraScale デバイスのクロックは、多数の水平トラックと垂直トラックを駆動するバッファを介してデバイス全体に分配されます。各クロック領域には水平および垂直それぞれの方向にクロック配線が 24 本あり、さらに隣接する MMCM および PLL への垂直クロック配線が 24 本あります。クロック領域内では、クロック信号が 16 個のゲート制御可能なリーフクロックを経由してデバイスロジック (CLB など) に配線されます。

クロックバッファにはいくつかのタイプがあります。BUFGCE および BUFCE_LEAF バッファはそれぞれ、グローバルレベルとリーフレベルのクロックゲーティング機能を提供します。BUFGCTRL はグリッチのないクロックマルチプレクサーおよびゲーティング機能を提供します。BUFGCE_DIV にはクロックゲーティングに加えて、入力クロックを 1 ~ 8 分周する機能があります。BUFG_GT ではトランシーバークロックを 1 ~ 8 分周できます。MPSoC および RFSoC では、クロックは専用バッファを用いて PS から PL へ転送できます。

メモリインターフェイス

メモリインターフェイスに求められるデータレートは増加の一途で、現在そして次世代のメモリテクノロジーに対応する、高性能で信頼性の高いインターフェイスを実現するための専用回路が必要となっています。すべての UltraScale デバイスは CMT と I/O カラムの間に専用の PHY ブロックを備え、外部メモリ (DDR4、DDR3、QDRII+、RLDRAM3 など) への高性能 PHY ブロックの実装をサポートします。各 I/O バンクにある PHY ブロックは、アドレス/制御およびデータバスの信号プロトコルを生成するだけでなく、高性能なメモリ規格との信頼性の高い通信を確立するために不可欠なクロック/データの正確なアライメントを担います。複数の I/O バンクを使用して、ビット数の多いメモリインターフェイスを構築することも可能です。

UltraScale アーキテクチャデバイスでは外部パラレルメモリインターフェイスだけでなく、ハイブリッドメモリキューブ (HMC) などの外部シリアルメモリとも高速シリアルトランシーバを介して通信できます。UltraScale アーキテクチャのトランシーバはすべて、HMC プロトコルを、最大 15 Gb/s のラインレートでサポートします。UltraScale デバイスでは、1 つの FPGA で最大帯域幅の HMC コンフィギュレーションを 64 レーンサポート可能です。

ブロック RAM

すべての UltraScale アーキテクチャデバイスには、完全に独立した 2 つのポートを持ち、格納したデータのみを共有する 36 Kb のブロック RAM が多数含まれます。各ブロック RAM は、1 つの 36 Kb RAM または 2 つの独立した 18 Kb RAM として構成可能です。読み出しまたは書き込みのメモリアクセスは、クロックによって制御されます。ブロック RAM カラム内の接続により、垂直方向に隣接するブロック RAM 間で信号をカスケードできるため、サイズが大きく、高速なメモリアレイや消費電力が大幅に削減された FIFO を簡単に作成できます。

すべての入力、データ、アドレス、クロックイネーブル、書き込みイネーブルはレジスタが付きます。入力アドレスは常にクロックされ (アドレスのラッチが無効でない限り)、次の動作までデータを保持します。オプションとしての出力データのパイプラインレジスタは、1 サイクル分のレイテンシが増加する代わりに、より高いクロックレートでの動作を可能にします。書き込み動作中、データ出力は前に保存されたデータまたは新たに書き込まれたデータを反映させるか、変更なしでそのまま維持できます。また、ユーザーデザインで使用されていないブロック RAM サイトへの電源供給は自動的に切断されるため、総消費電力が削減されます。ブロック RAM すべてに、電力のゲーティングを動的に制御するためのピンが追加されました。

プログラム可能なデータ幅

各ポートは 32K × 1、16K × 2、8K × 4、4K × 9 (または 8)、2K × 18 (または 16)、1K × 36 (または 32)、512 × 72 (または 64) のいずれかに構成できます。ブロック RAM と FIFO のどちらとして構成しているかにかかわらず、2 つのポートには別々の比率を指定でき、これに対する制限はありません。各ブロック RAM は完全に独立した 2 つの 18 Kb ブロック RAM に分割でき、それぞれを 16K × 1 ~ 512 × 36 の任意のアスペクト比で構成できます。36 Kb ブロック RAM について説明した内容は、分割した各 18 Kb ブロック RAM にも当てはまります。シングルデュアルポート (SDP) モードでのみ、18 ビット (18 Kb RAM の場合) または 36 ビット (36 Kb RAM の場合) 以上のデータ幅がサポートされます。このモードでは、一方のポートが読み出し専用、もう一方のポートが書き込み専用となります。そして、1 つ (読み出しまたは書き込み) のデータ幅がプログラム可能で、もう 1 つが 32/36 または 64/72 に固定されます。デュアルポート 36 Kb RAM の場合は両方の幅がプログラム可能です。

エラー検出および訂正機能

64 ビット幅のブロック RAM は、追加で 8 つのビットのハミング コード ビットを生成、格納、そして使用でき、読み出し中にシングルビット エラーの訂正、ダブルビット エラーの検出 (ECC) を実行します。ECC ロジックは 64 ~ 72 ビット幅の外部メモリへの書き込み、またはそのメモリからの読み出しにも使用できます。

FIFO コントローラー

各ブロック RAM は 36 Kb または 18 Kb の FIFO として構成できます。シングルクロック (同期) またはデュアルクロック (非同期/マルチレート) 動作に対応する内蔵型の FIFO コントローラーは、内部アドレス値を増分させ、Full、Empty、Programmable Full、Programmable Empty の 4 つのフラグを提供します。プログラム可能なフラグに対しては、フラグをアクティブにする FIFO カウンター値をユーザーが指定できます。FIFO の幅とワード数もプログラム可能で、1 つの FIFO で読み出しポートと書き込みポートに異なる幅を指定できます。また、よりワード数の大きな FIFO を簡単に作成するための専用カスケードパスがあります。

コンフィギュラブル ロジック ブロック

UltraScale アーキテクチャのコンフィギュラブル ロジック ブロック (CLB) はすべて、8 つの LUT と 16 個のフリップフロップを含みます。LUT は、出力が 1 つの 6 入力 LUT として、または出力は別々でアドレスまたはロジック入力が共通の 2 つの 5 入力 LUT として構成可能です。各 LUT はオプションとしてフリップフロップでラッチできます。CLB には LUT およびフリップフロップ以外にも、演算 キャリー ロジックおよびマルチプレクサーが含まれ、これらを使用することでよりビット数の大きなロジック ファンクションが作成できます。

1 つの CLB には 1 つのスライスが含まれ、スライスには SLICEL および SLICEM の 2 つの種類があります。SLICEM の LUT は、64 ビット RAM、32 ビットシフトレジスタ (SRL32)、または 2 つの SRL16 として構成可能です。UltraScale アーキテクチャの CLB は従来世代のデバイスの CLB に比べ配線と接続が増加しています。また、制御信号も追加されていることからレジスタのパッキング効率が向上し、結果として全体的なデバイス使用率が改善されます。

インターコネクト

UltraScale アーキテクチャはさまざまな長さ (CLB 1、2、4、5、12、または 16 個分) の垂直および水平方向の配線リソースを備えているため、すべての信号をソースからデスティネーションへ容易に転送できます。このため、最も集積度の高いデバイスにおいても次世代の広いデータバスをサポートでき、結果の品質とソフトウェア ランタイムが同時に向上します。

デジタル信号処理

DSP アプリケーションは、専用の DSP スライスに最適に実装された多数のバイナリ乗算器およびアキュムレータを使用します。UltraScale デバイスはいずれも専用の低消費電力 DSP スライスを数多く装備し、システム設計の柔軟性を維持しながら、高速処理と小型化を同時に実現しています。

各 DSP スライスは基本的に、専用の 27 × 18 ビット 2 の補数乗算器および 48 ビット アキュムレータで構成されます。乗算器は動作中にバイパスでき、2 つの 48 ビット入力は SIMD (単一命令複数データ) 演算ユニット (デュアルの 24 ビット加算/減算/累算、またはクワッドの 12 ビット加算/減算/累算)、またはオペランドが 2 つの 10 個の異なるロジック ファンクションから任意の 1 つを作成可能なロジックユニットに入力できます。

DSP には、通常対称フィルタに使用される前置加算器が追加されています。この加算器により、高密度に実装されたデザインの性能が向上し、DSP スライス数が最大 50% 削減されます。96 ビット幅の専用 XOR ファンクション (ビット幅は 12、24、48、または 96 にプログラム可能) により、前方エラー訂正や CRC アルゴリズムをインプリメントする際の性能が向上します。

さらに、収束丸め (偶数丸めとも呼ばれる) または対称丸めに使用できる 48 ビット幅のパターン検出回路も備えています。パターン検出回路をロジックユニットと併用する場合には、96 ビット幅のロジック ファンクションが実装可能です。

DSP スライスは多数のパイプラインおよび拡張性能を提供し、デジタル信号処理だけでなくその他多くのアプリケーションで速度と効率性を向上させます。このようなアプリケーションには、バス幅の広いダイナミック シフター、メモリ アドレス ジェネレーター、多入力マルチプレクサー、メモリ マップされた I/O レジスタ ファイルが含まれます。また、アキュムレータは同期のアップ/ダウン カウンターとしても使用可能です。

システム モニター

UltraScale アーキテクチャのシステム モニターブロックは、オンチップの温度と電源センサーおよび ADC までの外部チャネルによって物理的環境をモニタリングすることで、システム全体の安全性、セキュリティ、信頼性を向上させるために使用されます。すべての UltraScale アーキテクチャ デバイスが少なくとも 1 つのシステム モニターを内蔵しています。

表 5: システム モニターの主な機能

	XA Artix UltraScale+
ADC	10 ビット、200 kSPS
インターフェイス	JTAG、I2C、DRP、PMBus

センサー出力と最大 17 のユーザー割り当てによる外部アナログ入力は、10 ビット 200kSPS の ADC でデジタル化され、その計測値が内部 FPGA (DRP)、JTAG、PMBus、または I2C インターフェイスを介してアクセス可能なレジスタに格納されます。I2C および PMBus インターフェイスの場合、デバイス コンフィギュレーション前後に System Manager/Host でオンチップ モニタリングに簡単にアクセスできます。

コンフィギュレーション

UltraScale アーキテクチャ デバイスは、カスタマイズしたコンフィギュレーション データを SRAM タイプの内部ラッチに格納します。コンフィギュレーション データは揮発性の媒体に格納されるため、デバイスへの電源投入ごとに再ロードする必要があります。格納されたデータは随時再ロードできます。コンフィギュレーション データは複数の方法およびデータ形式でロード可能で、これはモードピンで決定します。また、コンフィギュレーション プロセスを簡潔にするための専用のコンフィギュレーション データパスピンもあります。

UltraScale アーキテクチャ デバイスは、オプションの AES-GCM (Advanced Encryption Standard - Galois/Counter Mode) 復号/認証ロジックを用いたセキュアおよび非セキュア ブートをサポートしています。認証のみが必要な場合、UltraScale アーキテクチャでは RSA アルゴリズムによる認証を利用できます。

UltraScale アーキテクチャ デバイスには複数のコンフィギュレーション方法があり、堅牢なフィールド アップデートの方法も用意されています。これは特に、最終的な製品が出荷された後でデザインを更新する際に役立ちます。つまり、初期バージョンのデザインで製品をリリースできるため、製品をいち早く市場に投入できることになります。この機能によって、製品が既にフィールドにある状態でも、顧客のデザインを常に最新に維持できます。

FPGA のコンフィギュレーション

SPI (シリアル NOR) インターフェイス (x1、x2、x4、およびデュアル x4 モード) と BPI (パラレル NOR) インターフェイス (x8 および x16 モード) の 2 つは、FPGA のコンフィギュレーションによく使用される方法です。この方法では、ユーザーが SPI または BPI フラッシュを FPGA に直接接続でき、FPGA 内部のコンフィギュレーション ロジックがフラッシュからビットストリームを読み出して、その FPGA をコンフィギュレーションするため、外部コントローラーは必要ありません。FPGA がオンザフライで自動的にバス幅を検出するため、外部からの制御や切り替えは不要です。サポートされるバス幅は、SPI では x1、x2、x4、およびデュアル x4 で、BPI では x8 と x16 です。バス幅が広いほど、コンフィギュレーション速度が向上し、電源投入後の FPGA の起動時間が短縮されます。

マスター モードの場合、FPGA は内部生成されたクロックからコンフィギュレーション クロックを駆動可能ですが、コンフィギュレーションをより高速で実行するため、外部のコンフィギュレーション クロック ソースを使用することもできます。これにより、マスター モードの使い易さを活かしたコンフィギュレーションが可能になります。一方、最大 32 ビット幅のスレーブ モードもサポートされており、これは特にプロセッサによるコンフィギュレーションの場合に有用です。さらに、新しい MCAP (Media Configuration Access Port) によって PCIe 用統合ブロックとコンフィギュレーション ロジックが直接接続されるため、PCI Express を経由した場合のコンフィギュレーションがシンプルになります。

KU025 FPGA では、SEU detection and mitigation (SEM) IP、RSA 認証、コンフィギュレーション後の CRC、および Security Monitor (SecMon) IP はサポートされません。

パッケージ

UltraScale デバイスは、複数の有機フリップチップ パッケージで入手可能で、それぞれ異なる数の I/O およびトランシーバーをサポートします。サポートされる最大パフォーマンスは、パッケージのタイプと材質によって異なります。パッケージ タイプ別のパフォーマンス仕様は該当デバイスのデータシートを参照してください。

フリップチップ パッケージの場合、シリコン デバイスは高度なフリップチップ プロセスでパッケージ サブストレートに実装されます。デカップリング キャパシタがパッケージ上に分散して搭載されており、これによって同時スイッチング出力 (SSO) が生じる条件下でのシグナル インテグリティが最適化されます。

注文情報

表 6 に、このデバイス ファミリーで提供されているスピード グレードおよび温度グレードを示します。V_{CCINT} 電源電圧はかっこ内に示しています。

表 6: スピード グレードと温度範囲

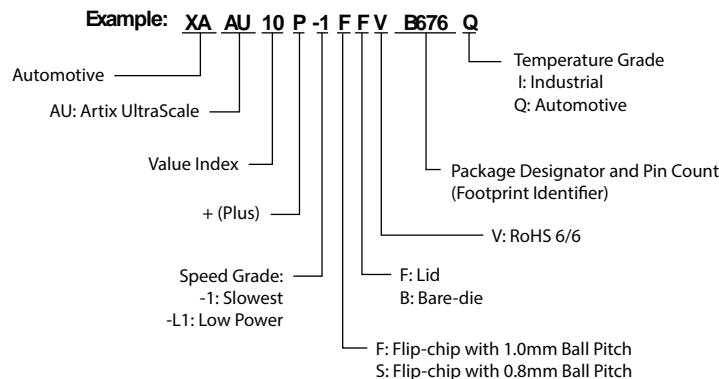
デバイス ファミリー	XA デバイス	スピード グレード	温度グレード
		インダストリアル (I)	オート モーティブ (Q)
		-40°C ~ +100°C	-40°C ~ +125°C
XA Artix UltraScale+ ⁽¹⁾	すべて	-II	-IQ
		-1L	

注記:

1. IArtix UltraScale+ では、PL が低電圧 (0.72V)、で動作するパイア、PS は標準電圧 (0.85V) で動作します。

図 3 に示す注文情報は、Artix UltraScale+ FPGA のすべてのパッケージに適用されます。

UltraScale+ ファミリーの -1L スピード グレードは、2 つある V_{CCINT} 動作電圧のいずれかで動作できます。0.72V の場合、Kintex UltraScale および Virtex UltraScale デバイスと同等の性能で動作し、消費電力を最大 30% 削減できます。0.85V の場合、Kintex UltraScale および Virtex UltraScale デバイスと同等の電力を消費しますが、30% 以上高速な動作が可能です。



1) -L1 is the ordering code for the low power -1L speed grade.

図 3: 注文情報

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	変更内容
2024年9月26日	1.1	表 2 に XAAU7P のパッケージを追加。
2023年5月15日	1.0	初版。

お読みください: 重要な法的通知

本資料に掲載されている情報は情報提供のみを目的としており、技術的に不正確な情報、省略、誤植を含む可能性があります。ここに記載の情報は、製品およびロードマップの変更、コンポーネントとマザーボードのバージョン変更、新しいモデルや製品のリリース、製造業者の違いによる製品の差異、ソフトウェア変更、BIOS のフラッシュ、ファームウェア アップグレードなどを含む (ただしこれに限定されない) 多くの理由によって変更される場合があります。不正確となる可能性があります。いかなるコンピューター システムにも完全に防止または軽減できないセキュリティの脆弱性のリスクが存在します。AMD は、情報の更新、または修正や改訂について一切の義務を負わないものとします。ただし AMD は本情報を改訂してその内容を随時変更する権利を有し、その改訂または変更に関して通知する義務を負いません。本情報は「現状有姿」で提供されます。AMD は本書の内容について一切の表明も保証も行わないものとし、本情報の不正確さ、誤り、省略について一切の責任を負いません。また、AMD は非侵害性、商品性、または特定目的適合性に関する黙示的保証を行わないものとします。AMD は本資料に含まれる情報の使用に起因する依存、直接、間接、特別、または結果的な損害に対して、AMD が当該の損害の可能性を知らされていた場合であっても、責任を負うことはありません。

自動車用アプリケーションの免責条項

オートモーティブ製品 (製品番号に「XA」が含まれる) は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能 (「セーフティ設計」) がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション (「セーフティアプリケーション」) における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとし、セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品責任の制限を規定する適用法令および規則にのみ従うものとし、

© Copyright 2023–2024 Advanced Micro Devices, Inc. AMD、AMD Arrow ロゴ、Artix、UltraScale+、およびその組み合わせは Advanced Micro Devices, Inc. の商標です。本書に使用されているその他の製品名は識別目的のみに使用されており、所有するそれぞれの企業の商標である可能性があります。PCI、PCIe、および PCI Express は PCI-SIG の商標であり、ライセンスに基づいて使用されています。すべてのその他の商標は、それぞれの保有者に帰属します。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@amd.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。フィードバックは日本語で入力可能です。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。