

# Virtex-6 FPGA DSP48E1 スライス

## ユーザー ガイド

UG369 (v1.2) 2009 年 9 月 16 日



Xilinx is disclosing this user guide, manual, release note, and/or specification (the "Documentation") to you solely for use in the development of designs to operate with Xilinx hardware devices. You may not reproduce, distribute, republish, download, display, post, or transmit the Documentation in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Xilinx expressly disclaims any liability arising out of your use of the Documentation. Xilinx reserves the right, at its sole discretion, to change the Documentation without notice at any time. Xilinx assumes no obligation to correct any errors contained in the Documentation, or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information.

THE DOCUMENTATION IS DISCLOSED TO YOU "AS-IS" WITH NO WARRANTY OF ANY KIND. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DOCUMENTATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS. IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOSS OF DATA OR LOST PROFITS, ARISING FROM YOUR USE OF THE DOCUMENTATION.

© 2009 Xilinx, Inc. XILINX, the Xilinx logo, Virtex, Spartan, ISE, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

本資料は英語版 (v1.2) を翻訳したもので、内容に相違が生じる場合には原文を優先します。  
資料によっては英語版の更新に対応していないものがあります。  
日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2009年6月24日	1.0	初版リリース
2009年8月13日	1.1	<ul style="list-style-type: none"><li>新しい機能ブロックの詳細を示すように、10ページの図 1-2 の内容を展開。</li><li>13ページの表 1-1 を追加。</li><li>20ページの表 1-3 内の MASK の記述を詳しい説明に変更。</li><li>42ページの図 2-3 と 42ページの図 2-4 のコンプレッサ入力のラベルを、式 2-1～式 2-3 に合うように変更。</li></ul>
2009年9月16日	1.2	13ページの表 1-1 に HXT デバイスを追加。

# 目次

---

改訂履歴.....	2
<b>このユーザー ガイドについて</b>	
ユーザー ガイドの内容.....	5
その他の資料.....	5
その他のリソース.....	6
<b>第 1 章： DSP48E1 の説明および詳細</b>	
Virtex-5 FPGA DSP48E スライスとの完全な互換性.....	8
Virtex-6 FPGA DSP48E1 スライスのアーキテクチャの特長.....	10
DSP48E1 タイルおよびインターコネクト.....	13
DSP48E1 スライスのプリミティブ.....	15
簡略された DSP48E1 スライス動作.....	18
DSP48E1 スライスの属性.....	20
入力ポート.....	23
出力ポート.....	30
エンベデッド ファンクション.....	33
単一命令多重データ (SIMD) モード.....	35
パターン検出ロジック.....	36
<b>第 2 章： DSP48E1 のデザイン上の留意点</b>	
パフォーマンス向上のためのデザイン (最大 600MHz).....	39
電力削減のための設計.....	39
加算器ツリーと加算器カスケード.....	40
加算器ツリー.....	40
加算器カスケード.....	42
カラム内での DSP48E1 スライスの接続.....	44
DSP48E1 スライスの時分割多重化.....	44
備考および推奨.....	44
プリアダー ブロックの用途.....	45
<b>付録 A： CARRYOUT、CARRYCASCOUT、および MULTSIGNOUT</b>	
CARRYOUT/CARRYCASCOUT.....	47
MULTSIGNOUT と CARRYCASCOUT.....	49
まとめ.....	50
加算器/減算器のみ.....	50
MACC 演算.....	50



# このユーザー ガイドについて

---

このユーザー ガイドでは、すべての Virtex<sup>®</sup>-6 FPGA で使用可能な DSP48E1 スライスについて説明します。Virtex-6 FPGA ファミリの最新の資料は、<http://japan.xilinx.com/support/documentation/virtex-6.htm> から参照できます。

## ユーザー ガイドの内容

このユーザー ガイドは、次の各章から構成されています。

- 第 1 章「DSP48E1 の説明および詳細」
- 第 2 章「DSP48E1 のデザイン上の留意点」
- 付録 A「CARRYOUT、CARRYCASCOOUT、および MULTSIGNOUT」

## その他の資料

次の資料も、<http://japan.xilinx.com/support/documentation/virtex-6.htm> からダウンロードできます。

- 『Virtex-6 ファミリー概要』  
Virtex-6 ファミリーの特徴と製品群の概要を説明しています。
- 『Virtex-6 FPGA データシート : DC 特性およびスイッチ特性』  
Virtex-6 ファミリーの DC 特性およびスイッチ特性の仕様が記載されています。
- 『Virtex-6 FPGA パッケージおよびピン配置仕様』  
デバイス/パッケージの組み合わせおよび最大 I/O 数の表、ピン定義、ピン配置表、ピン配置図、機械的図面、温度仕様が記載されています。
- 『Virtex-6 FPGA コンフィギュレーション ガイド』  
この包括的なコンフィギュレーション ガイドは、コンフィギュレーション インターフェイス (シリアルと SelectMAP)、ビットストリームの暗号化、バウンダリ スキャンおよび JTAG コンフィギュレーション、リコンフィギュレーション テクニック、SelectMAP インターフェイスおよび JTAG インターフェイスでのリードバックの各章で構成されています。
- 『Virtex-6 FPGA SelectIO リソース ユーザー ガイド』  
Virtex-6 の各デバイスで使用可能な SelectIO<sup>™</sup> リソースについて説明しています。
- 『Virtex-6 FPGA クロッキング リソース ユーザー ガイド』  
Virtex-6 の各デバイスで使用可能な MMCM や PLL などのクロッキング リソースについて説明しています。

- 『Virtex-6 FPGA メモリ リソース ユーザー ガイド』  
ブロック RAM と FIFO の機能について説明しています。
- 『Virtex-6 FPGA コンフィギャブル ロジック ブロック ユーザー ガイド』  
Virtex-6 の各デバイスで使用可能なコンフィギャブル ロジック ブロック (CLB) の機能について説明しています。
- 『Virtex-6 FPGA GTH トランシーバ ユーザー ガイド』  
FF1154 パッケージに含まれる XC6VHX250T と XC6VHX380T を除くすべての Virtex-6 HXT FPGA で使用可能な GTH トランシーバについて説明しています。
- 『Virtex-6 FPGA GTX トランシーバ ユーザー ガイド』  
XC6VLX760 を除くすべての Virtex-6 FPGA で使用可能な GTX トランシーバについて説明しています。
- 『Virtex-6 FPGA エンベデッド トライモード イーサネット MAC ユーザー ガイド』  
XC6VLX760 を除くすべての Virtex-6 FPGA で使用可能な専用トライモード イーサネット MAC (メディア アクセス コントローラ) について説明しています。
- 『Virtex-6 FPGA システム モニタ ユーザー ガイド』  
すべての Virtex-6 デバイスで使用可能な System Monitor 機能の概要について説明しています。
- 『Virtex-6 FPGA PCB デザイン ガイド』  
PCB およびインターフェイス レベルのデザインを決定する方法に焦点を当てた Virtex-6 デバイスの PCB デザイン情報を提供します。

## その他のリソース

その他の資料を検索するには、次の Web サイトにアクセスしてください。

<http://japan.xilinx.com/support/documentation/index.htm>

シリコンやソフトウェア、IP に関するアンサー データベースを検索したり、テクニカル サポートのウェブ ケースを開く場合は、次の Web サイトにアクセスしてください。

<http://japan.xilinx.com/support>

## DSP48E1 の説明および詳細

---

この章では、Virtex®-6 FPGA の DSP48E1 スライスで利用できるデジタル信号処理エレメントについて技術的な詳細を説明します。DSP48E1 スライスは、Virtex-5 デバイスの DSP48E スライス ([UG193](#): 『Virtex-5 FPGA XtremeDSP™ ユーザー ガイド』で説明) の高性能バージョンです。

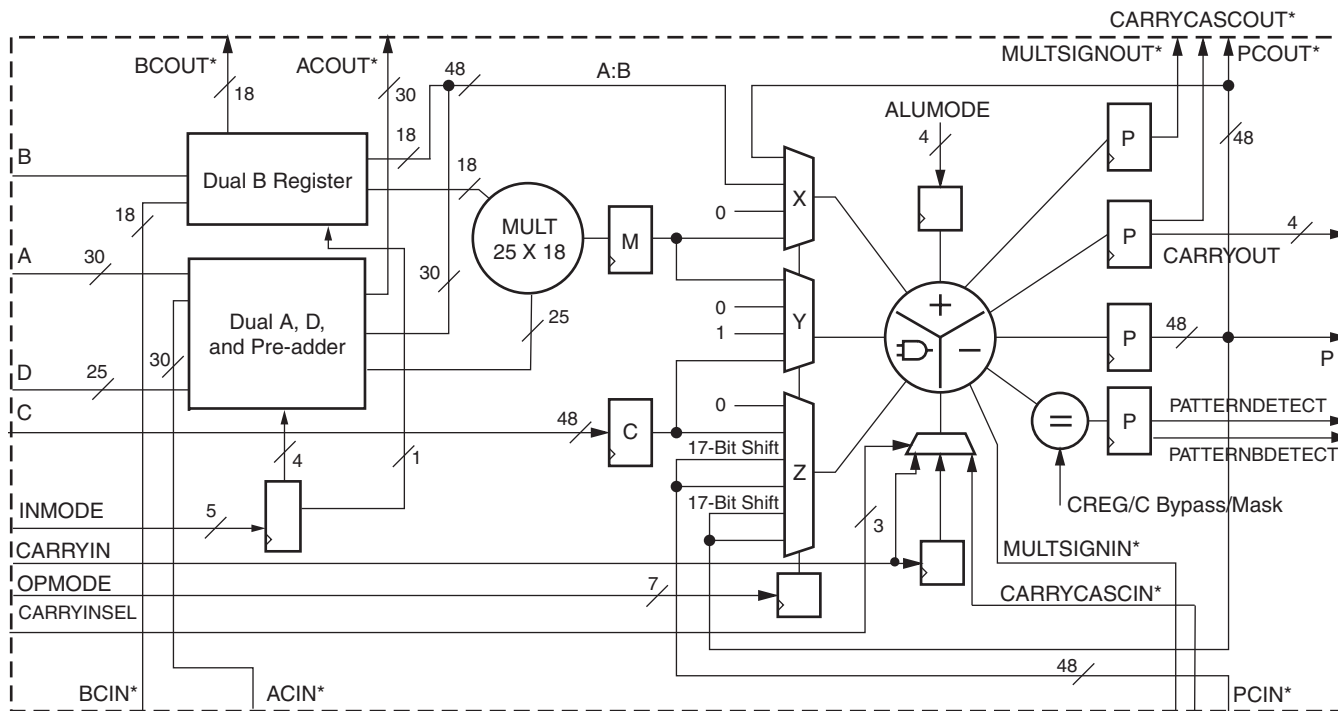
DSP48E1 スライスを使用すると、柔軟性と利便性の向上、アプリケーションの効率化、総消費電力の削減、最大周波数の増加が実現します。また、時分割多重化方式を使用して、1 つの DSP48E1 スライスで低速の処理を複数実行できるようになります。

DSP48E1 スライスは、乗算器、乗算アキュムレータ (MACC)、乗算加算器、3 入力加算器、バレルシフタ、ワイド バス マルチプレクサ、マグニチュード コンパレータ、ビット単位のロジック ファンクション、パターン検出、およびワイド カウンタなど、多数の個別ファンクションとして構成できます。さらに、複数の DSP48E1 スライスをカスケード接続できるアーキテクチャが採用されているため、多入力の数値演算ファンクションや DSP フィルタ、および複素数の演算処理を、汎用の FPGA ロジックを使用せずにインプリメントできます。

この章では、次のセクションについて説明します。

- 「[Virtex-5 FPGA DSP48E スライスとの完全な互換性](#)」
- 「[Virtex-6 FPGA DSP48E1 スライスのアーキテクチャの特長](#)」
- 「[簡略された DSP48E1 スライス動作](#)」

[図 1-1](#) に Virtex-6 FPGA DSP48E1 スライスを示します。このスライスには、Virtex-5 FPGA DSP48E スライスの全機能に加え、この章で説明する一連の拡張機能が含まれています。



\*These signals are dedicated routing paths internal to the DSP48E1 column. They are not accessible via fabric routing resources.

UG369\_c1\_01\_052109

図 1-1 : Virtex-6 FPGA DSP48E1 スライス

## Virtex-5 FPGA DSP48E スライスとの完全な互換性

Virtex-6 FPGA DSP48E1 スライスには、Virtex-5 FPGA DSP48E スライスとの完全な互換性があります。このセクションでは、Virtex-6 FPGA DSP48E1 スライスと従来の DSP48E スライス共通の機能について説明します。

DSP スライスは 1 つの乗算器と、それに後置する 1 つのアキュムレータで構成されています。乗算と積和演算のどちらの演算についても、最高速度で処理するには 3 つ以上のパイプラインレジスタが必要です。1 段目の乗算演算で 2 つの部分積が生成され、2 段目でその部分積の和を求めます。

乗算器内にレジスタが 1 つまたは 2 つしかない場合は、節電と性能向上のため、常に M レジスタを使用する必要があります。

加算/減算と論理ユニット演算を最高速度で実行するには、少なくとも 2 つ (入力と出力) のパイプラインレジスタが必要です。

DSP スライスのカスケード接続によって、加算器ツリーの代わりに加算器カスケード上にパイプライン化した高速フィルタを、きわめて効率的にインプリメントできます。

マルチプレクサは OPMODE、ALUMODE、CARRYINSEL などの制御信号によって動的に制御されるため、非常に柔軟な制御が可能になっています。レジスタとダイナミック動作モードを採用したデザインは、乗算器の組み合わせに比べ、DSP スライスの機能を活用する上で適しています。

一般的に、DSP スライスはダイナミック OPMODE とカスケード機能によって、シーケンシャル、カスケードの両方の演算をサポートします。DSP スライス用途としては、高速フーリエ変換 (FFT) や浮動小数点演算、四則演算 (乗算、加算/減算、除算)、カウンタ、ラージバス マルチプレクサなどが挙げられます。

DSP スライスには、その他に同期リセット、クロック イネーブル、デュアル A 入力パイプライン レジスタ、パターン検出、論理ユニット機能、SIMD (単一命令多重データ) 機能、および MACC と加算器/アキュムレータの 96 ビット拡張などがあります。DSP スライスには収束丸め込みと対称丸め込み、ターミナル カウント検出とカウンタの自動リセット、およびシーケンシャル アキュムレータのオーバーフロー/アンダーフロー検出をサポートしています。

Virtex-6 FPGA DSP48E1 スライスの ALU ファンクションは、Virtex-5 FPGA DSP48E スライスのもと同じです。詳細は、[28 ページの「ALUMODE 入力」](#)を参照してください。



Virtex-6 FPGA DSP48E1 スライスに追加された新しい機能は次のとおりです。

- D レジスタを持つ 25 ビットのプリアダーで A バスの性能を拡張
- 乗算 (A\*B) と加算 (A:B) の動的な切り替え時に、INMODE 制御によりパイプラインのバランス調整が可能

Virtex-6 FPGA DSP48E1 スライスに実装されている、従来の DSP48E と共通の機能は次のとおりです。

- 25 x 18 乗算器
- 30 ビット A 入力の下位 25 ビットは乗算器の A 入力へ送信され、全 30 ビット入力は 48 ビット A:B 連結内部パスの上位 30 ビットを形成する
- A 入力と B 入力のカスケード接続
  - 直接パスおよびカスケード パスにおいてパイプライン化を選択可能
  - 2 段構成の A および B 入力レジスタにそれぞれ専用のクロック イネーブルがあり、個別にレジスタを有効化できる
- 独立型 C 入力および C レジスタ (専用リセットとクロック イネーブル付き)
- 内部カスケード信号 CARRYCASCIN および CARRYCASCOUT で、2 つの DSP48E1 スライスを使用する 96 ビット アキュムレータ/加算器/減算器のサポート
- OPMODE が設定可能な MULTSIGNIN および MULTSIGNOUT 内部カスケード信号で、96 ビット MACC への拡張が可能
- 3 入力加算器/減算器に単一多重データ (SIMD) モードを使用し、1 段目の乗算器の使用を不要にする
  - 2 つの独立 CARRYOUT 信号付きデュアル 24 ビット SIMD 加算器/減算器/乗算器
  - 4 つの独立 CARRYOUT 信号付きクワッド 12 ビット SIMD 加算器/減算器/乗算器
- 48 ビットの論理ユニット
  - ビット単位ロジック動作 - 2 入力 AND、OR、NOT、NAND、NOR、XOR、および XNOR
  - ALUMODE を使用して動的に選択可能なユニット モード
- パターン検出
  - オーバーフロー/アンダーフロー
  - 収束丸め込み
  - ターミナル カウント検出および自動リセット
- カスケード接続された 48 ビットの P バスは、内部消費電力の低い加算器カスケードが可能
  - 48 ビットの P バスにより、12 ビット (クワッド) または 24 ビット (デュアル) SIMD モード加算器がインプリメント可能
- オプションの 17 ビット右方向シフトで、大規模な乗算器を構築可能
- ダイナミック ユーザー制御型の動作モード
  - 7 ビットの OPMODE 制御バスにより、X、Y、および Z マルチプレクサへ選択信号が送られる
- 2 段目の加算器へのキャリーチェーン
  - 丸め込み
  - 大規模な加算器/減算器
  - 3 ビット CARRYINSEL マルチプレクサ

- 2 段目の加算器へのキャリーアウト
  - 大規模な加算器/減算器
  - 各 SIMD 加算器で利用可能 (最大 4)
  - CARRYCASOUT および MULTSIGNOUT のカスケード接続で、96 ビット MACC への拡張が可能
- オプションの入力、パイプライン、および出力/累算レジスタ
- 制御信号 (OPMODE、ALUMODE、CARRYINSEL) 用のオプション制御レジスタ
- 独立クロック イネーブルおよびリセットで柔軟性強化
- 電力を節約するため 1 段目の乗算器を使用しない場合には、USE\_MULT 属性を使用して内部乗算ロジックのゲートをオフにする

各 DSP48E1 スライスには、2 入力乗算器、マルチプレクサ、3 入力加算器/減算器/アキュムレータという順番に配置されています。DSP48E1 乗算器は非対称入力があり、18 ビットおよび 25 ビットの 2 の補数オペランドを受信します。この乗算器では、2 つの部分積で構成される 43 ビットの 2 の補数を出力します。これらの部分積は X および Y マルチプレクサでそれぞれ 48 ビットへ符号拡張され、3 入力加算器へ送信されて最終的に合算されます。この結果は、43 ビットの乗算出力となり、48 ビットに符号拡張されます。つまり、乗算器が使用される場合、加算器は事実上 2 入力加算器となります。

2 段目の加算器/減算器では、USE\_MULT 属性を NONE に設定して乗算器をバイパスし、適切な OPMODE を設定した場合、3 つの 48 ビット 2 の補数の数値を入力して 1 つの 48 ビット 2 の補数結果を出力します。SIMD モードの場合、48 ビット加算器/減算器は CARRYOUT ビットを使用して、デュアル 24 ビットまたはクワッド 12 ビット SIMD 演算が可能です。このコンフィギュレーションの場合、動的に ALUMODE 制御信号を使用して、2 つの 48 ビット バイナリ上でのビット単位ロジック動作も可能になります。

DSP48E1 カラム内で DSP48E1 スライスをカスケード接続すると、より高いレベルの DSP 機能が可能になります。2 つのデータパス (ACOUT、BCOUT)、および DSP48E1 スライス出力 (PCOUT、MULTSIGNOUT、CARRYCASCOUT) がカスケード接続可能です。データパスのカスケード接続は、フィルタ デザインで活用されます。たとえば、有限インパルス応答 (FIR) フィルタ デザインは、カスケード入力を使用して一連の入力データ サンプルをまとめあげ、カスケード出力を使用して部分的な出力結果をまとめあげます。カスケード接続は FPGA ファブリックの一般配線を使用しないため、高性能かつ低消費電力な DSP フィルタ機能が構築されます。

C 入力ポートにより、3 入力加算器や加算器付き 2 入力乗算器などの多くの 3 入力演算機能を構築できます。このファンクションのサブセットは、0 または無限大の方向への対称丸め込み乗算をサポートします。C 入力にパターン検出機能が組み合わせる場合でも、収束丸め込みがサポートされます。

高精度演算の場合、DSP48E1 スライスは 17 ビット分右方向へシフトします。これにより、1 つの DSP48E1 スライスから出力される部分積は右揃えになり、隣接する DSP48E1 スライスで算出された部分積へ加算されます。この手法が使用できるため、大規模な乗算器を構築する場合は、DSP48E1 スライスが使用されます。

入力オペランド、中間積、およびアキュムレータ出力のプログラム可能なパイプラインは、スループットを向上します。48 ビット内部パス (PCOUT/PCIN) により、単一カラム内に DSP スライスを集合させることが可能です。複数カラムにまたがる場合は、FPGA ファブリック ロジックが必要になります。

DSP48E1 スライスの出力にあるパターン検出器は、収束丸め込み、オーバーフロー/アンダーフロー、ブロック浮動小数点、およびアキュムレータ ターミナル カウント (カウンタ自動リセット) を

サポートします。パターン検出器は、マスク制限されたパターンと DSP48E1 スライス出力が一致しているか検出します。

## DSP48E1 タイルおよびインターコネクト

DSP48E1 タイルは、2つの DSP48E1 スライスと専用のインターコネクトで構成されています (図 1-3 を参照)。DSP48E1 タイルは、DSP48E1 カラム内で縦方向に積み重なります。DSP48E1 タイルの高さは、CLB 5 個分またはブロック RAM 1 個分の高さと同様です。Virtex-6 デバイスのブロック RAM は、2つの 18K ブロック RAM に分割できます。各 DSP48E1 スライスは、1つの 18K ブロック RAM と水平線上に配置されます。Virtex-6 ファミリの DSP48E1 カラム数は 6、8、または 14 です。

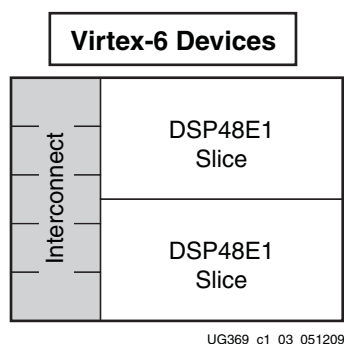


図 1-3 : DSP48E1 のインターコネクトと関連するエレメントのサイズ

Virtex-6 ファミリーには、デバイスあたり少なくとも 200、最大で 2000 以上の DSP スライスが含まれており、数百 GMACS から最大 1000 GMACS に達する高度な処理性能を発揮して、負荷がきわめて大きい DSP アプリケーションに対応します。表 1-1 に、Virtex-6 ファミリーの各デバイスに含まれる DSP48E1 スライス数を示します。

表 1-1 : 各ファミリ デバイスの DSP48E1 スライス数

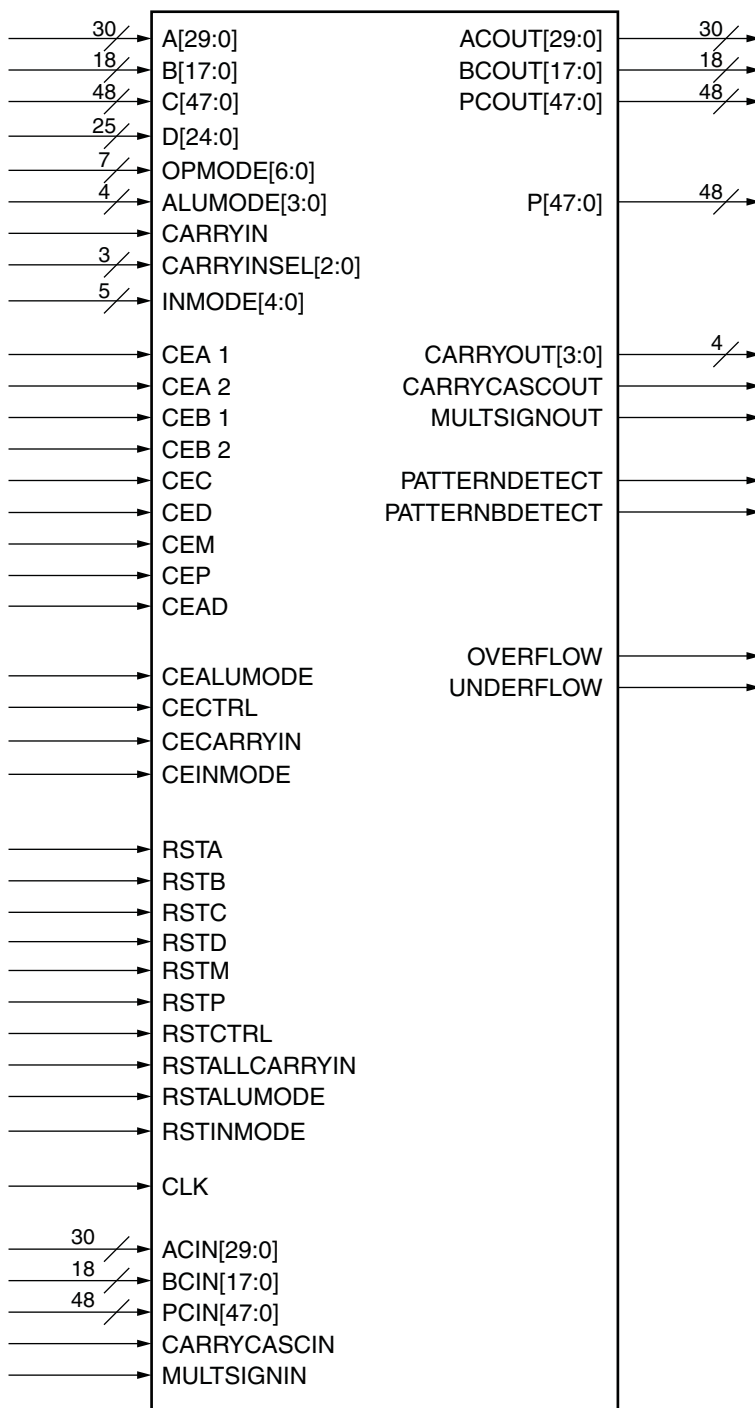
デバイス	デバイスあたりの DSP48E1 スライス数	デバイスあたりの DSP48E1 カラム数	カラムあたりの DSP48E1 スライス数
XC6VHX250T	576	6	96
XC6VHX255T	576	6	96
XC6VHX380T	864	6	144
XC6VHX565T	864	6	144
XC6VLX75T	288	6	48
XC6VLX130T	480	6	80
XC6VLX195T	640	8	80
XC6VLX240T	768	8	96
XC6VLX365T	576	6	96
XC6VLX550T	864	6	144
XC6VLX760	864	6	144

表 1-1：各ファミリ デバイスの DSP48E1 スライス数 (続き)

デバイス	デバイスあたりの DSP48E1 スライス数	デバイスあたりの DSP48E1 カラム数	カラムあたりの DSP48E1 スライス数
XC6VSX315T	1344	14	96
XC6VSX475T	2016	14	144

## DSP48E1 スライスのプリミティブ

図 1-4 に、DSP48E1 のプリミティブを示します。この図では、DSP48E1 スライスの入力および出力ポートを示し、各ポートのビット幅も示しています。各ポートの定義は、表 1-2 で説明しています。



UG369\_c1\_04\_051209

図 1-4 : DSP48E1 スライスのプリミティブ

表 1-2 : DSP48E1 の各ポートとその説明

ポート名	方向	ビット幅	説明
A	In	30	A[24:0] は、乗算器の A 入力。A[29:0] は、2 段目の加算器/減算器またはロジック ファンクションへの A:B 連結入力、あるいはプリアダーへの 25 ビット データ入力の MSB (最上位ビット)
ACIN <sup>(1)</sup>	In	30	カスケード接続されている上位 DSP48E1 スライス (A とマルチプレクス) の ACOUT と接続するデータ入力
ACOUT <sup>(1)</sup>	Out	30	カスケード接続されている下位 DSP48E1 スライスの ACIN へ接続するデータ出力
ALUMODE	In	4	DSP48E1 スライス内のロジック ファンクションの選択を制御する (34 ページの表 1-13 を参照)
B	In	18	乗算器の B 入力。B[17:0] は、2 段目の加算器/乗算器またはロジック ファンクションへの A:B 連結入力の LSB (最下位ビット)
BCIN <sup>(1)</sup>	In	18	カスケード接続されている上位 DSP48E1 スライス (B とマルチプレクス) の BCOUT と接続するデータ入力
BCOUT <sup>(1)</sup>	Out	18	カスケード接続されている下位 DSP48E1 スライスの BCIN へ接続するデータ出力
C	In	48	2 段目の加算器/減算器、パターン検出器、またはロジック ファンクションへのデータ入力
CARRYCASCIN <sup>(1)</sup>	In	1	カスケード接続されている上位 DSP48E1 スライスの CARRYCASCOUT と接続するキャリー入力
CARRYCASCOUT <sup>(1)</sup>	Out	1	カスケード接続されている下位 DSP48E1 スライスの CARRYCASCIN へ接続するキャリーアウト。この信号は、同じ DSP48E1 スライスの CARRYINSEL マルチプレクサ入力へ内部フィードバックされる
CARRYIN	In	1	FPGA ロジックからのキャリー入力
CARRYINSEL	In	3	キャリー ソースを選択する (表 1-11 を参照)
CARRYOUT	Out	4	アキュムレータ/加算器/論理ユニットの各 12 ビット フィールドからの 4 ビット CARRYOUT 信号。通常の 48 ビット演算には CARRYOUT3 だけが使用される。SIMD 演算では 4 ビット キャリーアウト (CARRYOUT[3:0]) が使用可能
CEA1	In	1	1 段目の A (入力) レジスタ用のクロック イネーブル。AREG = 2 または INMODE0 = 1 の場合のみ使用される
CEA2	In	1	2 段目の A (入力) レジスタ用のクロック イネーブル。AREG = 1 または AREG = 2 の場合のみ使用される
CEAD	In	1	プリアダー出力 AD パイプライン レジスタ用のクロック イネーブル
CEALUMODE	In	1	ALUMODE (制御入力) レジスタ用のクロック イネーブル
CEB1	In	1	1 段目の B (入力) レジスタ用のクロック イネーブル。BREG = 2 または INMODE4 = 1 の場合のみ使用される
CEB2	In	1	2 段目の B (入力) レジスタ用のクロック イネーブル。BREG = 1 または BREG = 2 の場合のみ使用される

表 1-2 : DSP48E1 の各ポートとその説明 (続き)

ポート名	方向	ビット幅	説明
CEC	In	1	C (入力) レジスタ用のクロック イネーブル
CECARRYIN	In	1	CARRYIN (ファブリックからの入力) レジスタ用のクロック イネーブル
CECTRL	In	1	OPMODE および CARRYINSEL (制御入力) レジスタ用のクロック イネーブル
CED	In	1	D (入力) レジスタ用のクロック イネーブル
CEINMODE	In	1	INMODE 制御入力レジスタ用のクロック イネーブル
CEM	In	1	乗算後の M (パイプライン) レジスタおよび内部乗算丸め込み CARRYIN レジスタ用のクロック イネーブル
CEP	In	1	P (出力) レジスタ用のクロック イネーブル
CLK	In	1	DSP48E1 入力クロック。すべての内部レジスタおよびフリップフロップで共通
D	In	25	プリアダーへの 25 ビット データ入力または乗算器への代替入力。プリアダーは INMODE3 信号で指定される $D \pm A$ を実行する
INMODE	In	5	プリアダー、A、B、D 各入力、および入力レジスタの機能を選択する 5 つの制御ビット。接続しない場合、これらのビットの設定は 5'b00000。各ビットは必要に応じて反転可能
MULTSIGNIN <sup>(1)</sup>	In	1	MACC 拡張用に上位 DSP48E1 スライスから渡される乗算結果の符号
MULTSIGNOUT <sup>(1)</sup>	Out	1	MACC 拡張用に、カスケード接続されている下位 DSP48E1 スライスに渡す乗算結果の符号。
OPMODE	In	7	DSP48E1 スライス内の X、Y、および Z マルチプレクサへの入力を制御する (表 1-7、表 1-8、および表 1-9 を参照)
OVERFLOW	Out	1	適切に設定したパターン検出器を使用した場合、オーバーフローを示す出力
P	Out	48	2 番目の加算器/減算器またはロジック ファンクションからのデータ出力
PATTERNBDETECT	Out	1	P[47:0] とパターンバーの一致を示す出力
PATTERNDETECT	Out	1	P[47:0] とパターンの一致を示す出力
PCIN <sup>(1)</sup>	In	48	カスケード接続されている上位 DSP48E1 スライスの加算器 PCOUT と接続するデータ入力
PCOUT <sup>(1)</sup>	Out	48	カスケード接続されている下位 DSP48E1 スライスの PCIN へ接続するデータ出力
RSTA	In	1	両方の A (入力) レジスタ用のリセット
RSTALLCARRYIN	In	1	キャリー (内部パス) および CARRYIN レジスタ用のリセット
RSTALUMODE	In	1	ALUMODE (制御入力) レジスタ用のリセット
RSTB	In	1	両方の B (入力) レジスタ用のリセット
RSTC	In	1	C (入力) レジスタ用のリセット

表 1-2 : DSP48E1 の各ポートとその説明 (続き)

ポート名	方向	ビット幅	説明
RSTCTRL	In	1	OPMODE および CARRYINSEL (制御入力) レジスタ用のリセット
RSTD	In	1	D (入力) レジスタおよびプリアダー (出力) AD パイプライン レジスタ用のリセット
RSTINMODE	In	1	INMODE (制御入力) レジスタ用のリセット
RSTM	In	1	M (パイプライン) レジスタ用のリセット
RSTP	In	1	P (出力) レジスタ用のリセット
UNDERFLOW	Out	1	適切に設定したパターン検出器を使用した場合に、アンダーフローを示す出力

## メモ :

- これらの信号は、DSP48E1 カラム内の専用配線バスです。FPGA ファブリックの配線リソースを使用して、これらの信号へアクセスできません。
- すべての信号はアクティブ High です。

## 簡略された DSP48E1 スライス動作

DSP48E1 スライスの演算部分は、25 ビットのプリアダー、25 x18 ビットの 2 の補数乗算器があり、その後には 3 つの 48 ビット データパス マルチプレクサ (X、Y、および Z 出力) があります。さらに、3 入力の加算器/減算器または 2 入力論理ユニットが配置されています (図 1-5 を参照)。2 入力論理ユニットを使用する場合、乗算器は使用できません。

DSP48E1 スライスのデータおよび制御入力は、演算およびロジック ステージへと送信されます。A および B データ入力は、オプションで 1 つまたは 2 つのレジスタを使用できるため、パイプライン ステージ数の多い DSP アプリケーション ソリューションに有効です。D パスと AD パスはそれぞれ 1 回レジスタに保持できます。その他のデータ入力および制御入力は、オプションとして 1 つのレジスタを使用できます。パイプライン レジスタを使用した場合、最高速度は 600MHz となります。タイミング情報の詳細は、第 2 章「DSP48E1 のデザイン上の留意点」を参照してください。

基本的に、加算器/減算器/論理ユニットの出力は、その入力のファンクションです。入力は、上位マルチプレクサ、キャリーセレクトロジック、および乗算アレイで駆動されます。

式 1-1 に、加算器/減算器による X、Y、Z および CIN 出力の組み合わせを示します。CIN、X マルチプレクサ出力および Y マルチプレクサ出力は常に合算されます。この結果を、Z マルチプレクサ出力へ加算器/減算器または減算できます。減算に使用するには、ALUMODE を 0001 に設定します。

$$\text{加算器/減算器出力} = (Z \pm (X + Y + \text{CIN})) \text{ または } (-Z + (X + Y + \text{CIN}) - I) \quad \text{式 1-1}$$

A および B 入力が乗算されて結果が C レジスタへ加算される、または結果が C レジスタから減算されるというファンクション構築にこのスライスが使用されています。制御およびデータ入力に関する詳細は、このセクションの後半で説明します。乗算器ファンクションを選択すると、X および Y マルチプレクサ出力の両方を使用して加算器へ送信されます。乗算器から出力された 2 つの 43 ビット部分積は、加算器/減算器へ送信される前に 48 ビットへ符号拡張されます。

1 段目の乗算器を使用しない場合、48 ビットのデュアル入力ビット単位のロジック ファンクションは、AND、OR、NOT、NAND、NOR、XOR、および XNOR を実行します。これらのファンクション入力は、A:B、C、P または PCIN であり、X および Z マルチプレクサで選択されます (ロジック操作により、Y マルチプレクサはすべて 1 またはすべて 0 を選択)。

加算器/減算器または論理ユニットの出力は、パターン検出ロジックへ送信されます。DSP48E1 スライスは、このパターン検出器によって、カウントが最大値に達したときの収束丸め込みやカウンタ自動リセット、およびアキュムレータでのオーバーフロー/アンダーフロー/飽和をサポートします。パターン検出器と論理ユニットを組み合わせると、2つの48ビットフィールドの48ビットのダイナミック動的比較が実行可能になります。これにより、「A:B NAND C == 0」または「A:B (ビット単位ロジック) C == インプリメントされるパターン」というファンクションが有効になります。

図 1-5 に、DSP48E1 スライスの簡略図を示します。7ビットの OPMODE が X、Y、および Z マルチプレクサの選択を制御し、加算器/減算器または論理ユニットへの入力へ接続します。乗算器から X、Y、および Z マルチプレクサへ渡される 43 ビットの部分積データは符号拡張され、48 ビット入力データパスを形成して加算器/減算器へ送信されます。オペランドが 43 ビット、アキュムレータの出力が 48 ビットであるため、オーバーフローを回避するための「ガードビット」(オーバーフローから保護するビット) は 5 ビットになります。MACC 演算のビット数を拡張するには、MACC\_EXTEND を使用する必要があります。これにより、2つの DSP48E1 スライスを使用する 96 ビットの MACC へ拡張できます。A ポートが 18 ビットに制限されている (符号拡張後は 25 ビット) 場合、MACC 用のガードビットは 12 ビットになります。CARRYOUT ビットは、乗算動作中は無効です。OPMODE、ALUMODE、CARRYINSEL、および CARRYIN の組み合わせによって、加算器/減算器または論理ユニットのファンクションを制御します。

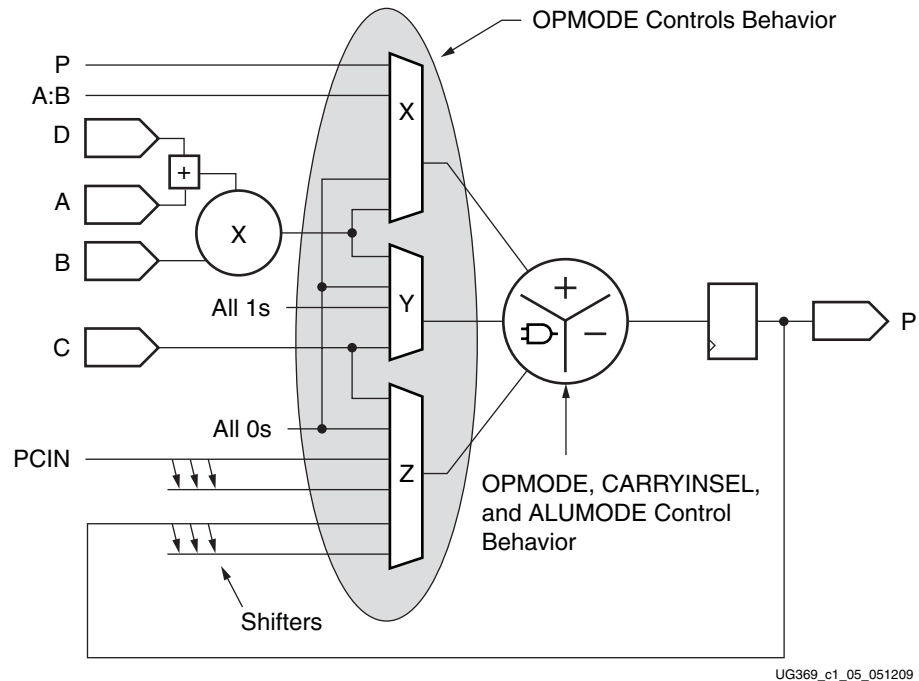


図 1-5 : DSP スライス動作の簡略図

UG369\_c1\_05\_051209

## DSP48E1 スライスの属性

このセクションでは、DSP48E1 スライスの合成属性について説明します。属性は制御およびデータパス上のパイプラインレジスタを呼び出し、属性値はパイプラインレジスタの段数を示します。表 1-3 を参照してください。

表 1-3 : 属性設定の説明

属性名	設定 (デフォルト)	説明
<b>レジスタ制御属性</b>		
ACASCREG	0、1、2 (1)	AREG と併用し、A カスケードパス (ACOUT) 上の A 入力レジスタ数を選択する。値は、AREG と同じまたは 1 つ少ない AREG が 0 の場合 : ACASCREG は必ず 0 AREG が 1 の場合 : ACASCREG は必ず 1 AREG が 2 の場合 : ACASCREG は 1 または 2 に設定可能
ADREG	0、1 (1)	AD パイプラインレジスタ数を選択する
ALUMODEREG	0、1 (1)	ALUMODE 入力レジスタ数を選択する
AREG	0、1、2 (1)	A 入力レジスタ数を選択する
BCASCREG	0、1、2 (1)	BREG と併用し、B カスケードパス (BCOUT) 上の B 入力レジスタ数を選択する。値は、BREG と同じまたは 1 つ少ない BREG が 0 の場合 : BCASCREG は必ず 0 BREG が 1 の場合 : BCASCREG は必ず 1 BREG が 2 の場合 : BCASCREG は 1 または 2 に設定可能
BREG	0、1、2 (1)	B 入力レジスタ数を選択する
CARRYINREG	0、1 (1)	CARRYIN 入力レジスタ数を選択する
CARRYINSELREG	0、1 (1)	CARRYINSEL 入力レジスタ数を選択する
CREG	0、1 (1)	C 入力レジスタ数を選択する
DREG	0、1 (1)	D 入力レジスタ数を選択する
INMODEREG	0、1 (1)	INMODE 入力レジスタ数を選択する
MREG	0、1 (1)	M パイプラインレジスタ数を選択する
OPMODEREG	0、1 (1)	OPMODE 入力レジスタ数を選択する
PREG	0、1 (1)	P 出力レジスタ数を選択する (CARRYOUT、PATTERN_DETECT、CARRYCASCOUT、MULTSIGNOUT にも使用)
<b>機能制御属性</b>		
A_INPUT	DIRECT、CASCADE (DIRECT)	A ポート入力をパラレル入力 (DIRECT)、または前のスライスとカスケード接続された入力 (CASCADE) から選択する
B_INPUT	DIRECT、CASCADE (DIRECT)	B ポート入力をパラレル入力 (DIRECT)、または前のスライスとカスケード接続された入力 (CASCADE) から選択する
USE_DPORT	TRUE、FALSE (FALSE)	ブリアダーと D ポートを使用するかどうか指定する

表 1-3 : 属性設定の説明 (続き)

属性名	設定 (デフォルト)	説明
USE_MULT	NONE、MULTIPLY、 DYNAMIC (MULTIPLY)	乗算器の使用法を選択する。加算器または論理ユニットのみを使用する場合は、節電のために NONE に設定する  A*B 演算と A:B 演算を動的に切り替えるために、2 つのパスのワースト ケースのタイミングを特定する必要があるとき、DYNAMIC を使用する
USE_SIMD	ONE48、 TWO24,FOUR12 (ONE48)	加算器/減算器の動作モードを選択する。属性設定には、1 つの 48 ビット加算器モード (ONE48)、2 つの 24 ビット加算器モード (TWO24)、および 4 つの 12 ビット加算器モード (FOUR12) があります。ONE48 は Virtex-5 DSP48E 動作と互換性があり、実際は、SIMD モードではない。標準的な乗算-加算動作は、ONE48 モードで設定されている場合にサポートされる  TWO24 または FOUR12 モードのいずれかを選択した場合は、乗算器を使用してはいけない。USE_MULT は NONE に設定する必要がある
パターン検出属性		
AUTORESET_PATDET	NO_RESET、 RESET_MATCH、 RESET_NOT_MATCH (NO_RESET)	パターン検出イベントが現在のクロック サイクルで発生した場合に、P レジスタ (累積値またはカウンタ値) を次のクロック サイクルで自動的にリセットする。RESET_MATCH および RESET_NOT_MATCH は、DSP48E1 スライスが次のクロック サイクルで P レジスタを自動リセットする条件を指定する <ul style="list-style-type: none"> <li>パターンが一致する場合</li> <li>または</li> <li>現在のクロック サイクルではパターンは一致しないが、直前のサイクルで一致した場合</li> </ul>
MASK	48 ビット フィールド (0011...11)	パターン検出中に特定ビットをマスクするために使用される 48 ビット値。値が 1 の MASK ビットに対応するパターンビットは無視され、値が 0 の MASK ビットに対応するパターンビットが照合される
PATTERN	48 ビット フィールド (00...00)	パターン検出に使用される 48 ビット値
SEL_MASK	MASK、C、 ROUNDING_MODE1、 ROUNDING_MODE2 (MASK)	パターン検出に使用されるマスクを選択する。C および MASK は、標準的なパターン検出 (カウンタ、オーバーフロー検出など) の場合に設定する、ROUNDING_MODE1 (C バーを 1 ビット左シフト) および ROUNDING_MODE2 (C バーを 2 ビット左シフト) は、オプションでレジスタに保持する C ポートを基準とする特殊なマスクを選択する。これらの丸め込みモードは、パターン検出を使用して DSP48E1 スライスに収束丸め込みをインプリメントする場合に使用できる
SEL_PATTERN	PATTERN、C (PATTERN)	マスク フィールド用の入力ソースを選択する。この入力ソースは、48 ビットのダイナミック C 入力または 48 ビットの静的な属性値フィールド

表 1-3：属性設定の説明 (続き)

属性名	設定 (デフォルト)	説明
USE_PATTERN_DETECT	NO_PATDET、PATDET (NO_PATDET)	パターン検出および関連機能が使用されている場合は PATDET、使用されていない場合は NO_PATDET を設定する。この属性は、スピード仕様およびシミュレーション モデルにのみ使用される。

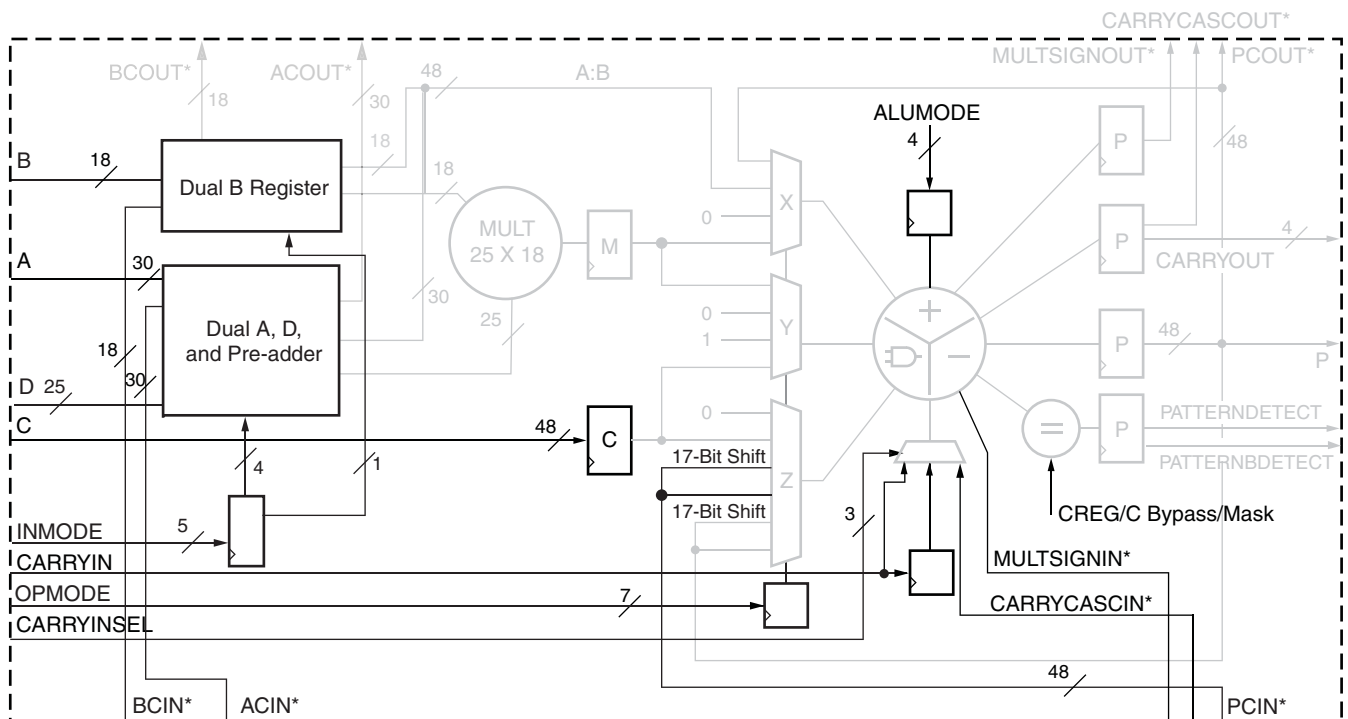
表 1-4：内部レジスタの説明

レジスタ	説明および関連する属性
2 段の A レジスタ	A 入力の 2 つのオプションレジスタ。AREG で選択され、それぞれ CEA1 および CEA2 でイネーブルにでき、RSTA で同期リセットされる
2 段の B レジスタ	B 入力の 2 つのオプションレジスタ。BREG で選択され、それぞれ CEB1 および CEB2 でイネーブルになり、RSTB で同期リセットされる
AD レジスタ	オプションのプリアダーの結果用レジスタ。ADREG で選択され、CEAD でイネーブルになり、RSTD で同期リセットされる
ALUMODE レジスタ	ALUMODE 制御信号用のオプションのパイプライン レジスタ。ALUMODEREG で選択され、CEALUMODE でイネーブルにでき、RSTALUMODE で同期リセットされる
C レジスタ	C 入力用のオプション レジスタ。CREG で選択され、CEC でイネーブルになり、RSTC で同期リセットされる
CARRYIN レジスタ	CARRYIN 制御信号用のオプションのパイプライン レジスタ。CARRYINREG で選択され、CECARRYIN でイネーブルされ、RSTALLCARRYIN で同期リセットされる。
CARRYINSEL レジスタ	CARRYINSEL 制御信号用のオプションのパイプライン レジスタ。CARRYINSELREG で選択され、CECTRL でイネーブルになり、RSTCTRL で同期リセットされる
D レジスタ	オプションの D プリアダー入力用のレジスタ。DREG で選択され、CED でイネーブルになり、RSTD で同期リセットされる
INMODE レジスタ	プリアダーとそのモード、および乗算器に送られる A レジスタの符号とソースを選択する 5 ビットのレジスタ。INMODEREG で選択され、CEINMODE でイネーブルになり、RSTINMODE で同期リセットされる
Internal Mult Carry レジスタ	内部キャリー信号用 (乗算対称丸め込み専用) のオプションのパイプライン レジスタ。CEM でイネーブルになり、RSTM で同期リセットされる
M レジスタ	43 ビットの部分積 2 つで構成される乗算器出力用のオプションのパイプライン レジスタ。これらの 2 つの部分積は X および Y マルチプレクサへ送信され、最終的に加算器/減算器へ送られて出力を生成する。 M レジスタは、MREG で選択され、CEM でイネーブルになり、RSTM で同期リセットされる
OPMODE レジスタ	OPMODE 制御信号用のオプションのパイプライン レジスタ。OPMODEREG で選択され、CECTRL でイネーブルになり、RSTCTRL で同期リセットされる
出力レジスタ	P、OVERFLOW、UNDERFLOW、PATTERNDETECT、PATTERNDETECT、および CARRYOUT 出力用のオプションのレジスタ。PREG で選択され、CEP でイネーブルになり、RSTP で同期リセットされる。PCOUT、CARRYCASCOUT、および MULTSIGNOUT も同じレジスタから同期出力され、次の DSP48E1 スライスへ接続する

## 入力ポート

A、B、C、CARRYIN、CARRYINSEL、OPMODE、BCIN、PCIN、ACIN、ALUMODE、CARRYCASCIN、MULTSIGNIN、および対応するクロック イネーブル入力およびリセット入力は、従来の Virtex-5 ファミリと共通のポートです。D ポートと INMODE ポートは Virtex-6 ファミリ固有です。

このセクションでは、DSP48E1 スライスの入力ポートについて詳しく説明します。図 1-6 に、DSP48E1 スライスの入力ポートを示します。



\*These signals are dedicated routing paths internal to the DSP48E1 column. They are not accessible via fabric routing resources.

UG369\_c1\_06\_052109

図 1-6 : DSP48E1 スライスの入力ポート

### A、B、C、および D ポート

DSP48E1 スライスの入力データ ポートは、一般的な DSP および演算アルゴリズムを多数サポートしています。DSP48E1 スライスには、4 つの直接入力データ ポート (A、B、C、D) があります。A データ ポートは 30 ビット幅、B データ ポートは 18 ビット幅、C データ ポートは 48 ビット幅、プリアダー D データ ポートは 25 ビット幅です。

25 ビット A (A[24:0]) および 18 ビット B ポートは、25 x 18 ビットの 2 の補数乗算器へ入力データを送信します。独立型 C ポートを使用すると、各 DSP48E1 スライスで乗算/加算、乗算/減算、および乗算/丸め込み演算が可能になります。

連結された A ポートと B ポート (A:B) は、乗算器をバイパスして X マルチプレクサ入力へ接続します。30 ビットの A 入力ポートは、A:B 連結データパスの上位 30 ビットを形成し、18 ビットの B 入力ポートは、A:B データパスの下位 18 ビットを形成します。A:B データパスと C 入力ポートを使用すると、各 DSP48E1 スライスに 48 ビットの加算器/減算器をインプリメントできます (USE\_MULT を NONE または DYNAMIC に設定して乗算器を使用しない場合)。

また、各 DSP48E1 スライスには 2 本のカスケード入力データパス (ACIN および BCIN) があり、隣接する DSP48E1 スライスとの入力をカスケード接続します。A 入力のカスケード パスは 30 ビット

ト幅で、B 入力のカスケードパスは 18 ビット幅です。これらの使用は、FIR フィルタ、複素数乗算、高精度乗算、および複雑な MACC などのアプリケーションで有効です。

A および B 入力ポートと ACIN および BCIN カスケードポートは、データパス上にパイプラインステージを 0、1、または 2 として設定できます。図 1-7 に、デュアル A、D、およびプリアダーのポート ロジックを示します。図 1-8 はデュアル C レジスタのポート ロジックを示しています。属性を使用して異なるパイプラインステージの設定も可能です。A および B 直接入力用のパイプラインステージ数を選択する場合は、AREG および BREG 属性を使用します。ACOUT および BCOUT カスケード データパス上のパイプラインステージ数を選択する場合は、ACASCREG および BCASCREG 属性を使用します。表 1-3 に、使用可能な属性値を示します。コンフィギュレーションビットで制御されるマルチプレクサは、パス、オプションのレジスタ、またはカスケード接続された入力を使用してフローを選択します。データポートレジスタにより、クロック周波数を増加（パフォーマンス向上）させることが可能になりますが、データレイテンシというトレードオフが生じます。

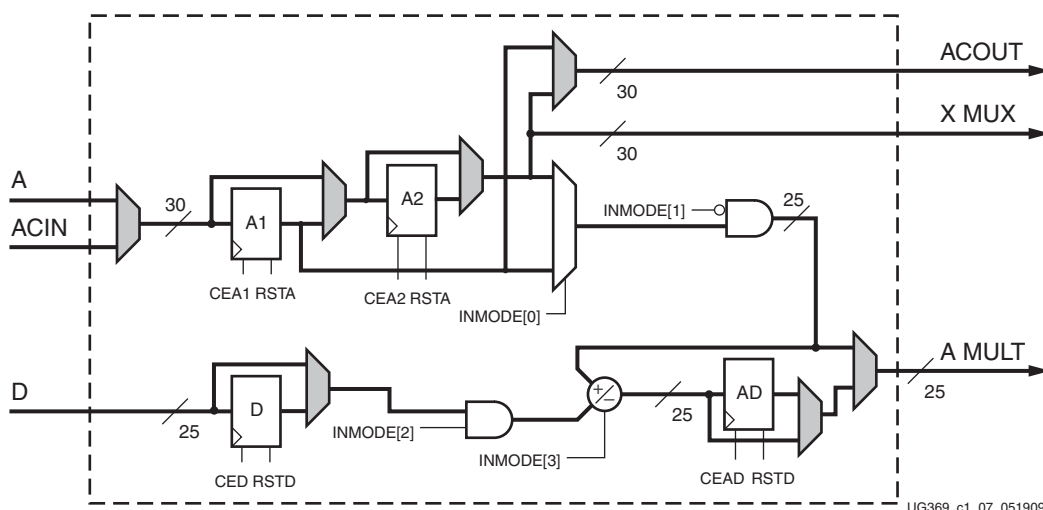


図 1-7：デュアル A、D、およびプリアダーのロジック

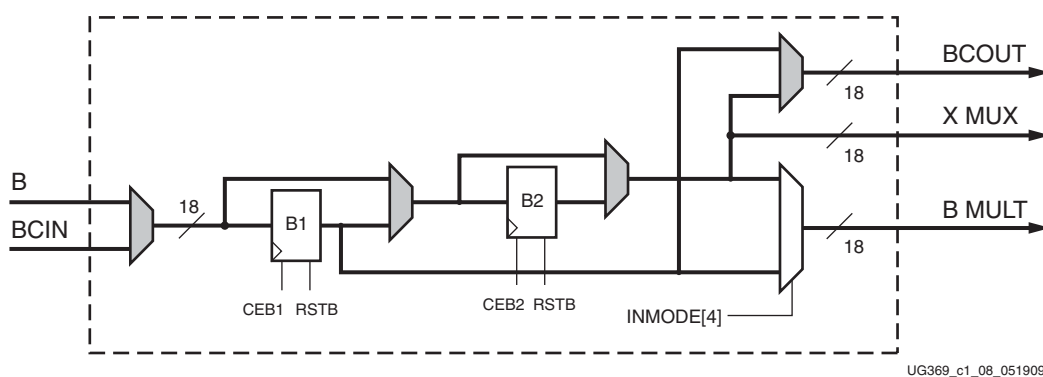


図 1-8：デュアル B レジスタのロジック

表 1-5 に、INMODE[3:0] 制御ビットのエンコードを示します。これらのビットにより、プリアダー、A、および D 入力レジスタの機能が決定されます。B1 と B2 のどちらかを選択する INMODE[4] は、この表中には示されていません。要約すると、INMODE は乗算器とプリアダーに送られる信号とブロックの機能を制御します。INMODE[4:0] のデフォルト値は 5'b00000 (接続されていない場合) です。

表 1-5 : INMODE[3:0] の機能 (AREG が 1 または 2 の場合)

INMODE[3]	INMODE[2]	INMODE[1]	INMODE[0]	USE_DPORT	乗算器 A ポート
0	0	0	0	FALSE	A2
0	0	0	1	FALSE	A1
0	0	1	0	FALSE	0
0	0	1	1	FALSE	0
0	0	0	0	TRUE	A2
0	0	0	1	TRUE	A1
0	0	1	0	TRUE	0
0	0	1	1	TRUE	0
0	1	0	0	TRUE	D + A2
0	1	0	1	TRUE	D + A1
0	1	1	0	TRUE	D
0	1	1	1	TRUE	D
1	0	0	0	TRUE	-A2
1	0	0	1	TRUE	-A1
1	0	1	0	TRUE	0
1	0	1	1	TRUE	0
1	1	0	0	TRUE	D - A2
1	1	0	1	TRUE	D - A1
1	1	1	0	TRUE	D
1	1	1	1	TRUE	D

INMODE[0] は、A1 (INMODE[0] = 1) または A2 (INMODE[0] = 0) のどちらかを指定します。

INMODE[1] = 1 ではプリアダーへの A 入力が強制的に 0 になり、INMODE[2] = 0 ではプリアダーへの D 入力が強制的に 0 になります。

INMODE[2] = 0 の場合、プリアダーへの D 入力は 0 です。

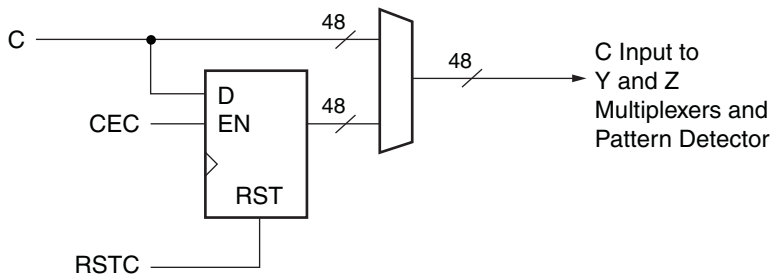
INMODE[3] はプリアダーの減算制御です。INMODE[3] = 1 は減算、INMODE[3] = 0 は加算を示します。

INMODE[4] は乗算器 B ポートを表 1-6 に示すように指定します。

表 1-6 : INMODE[4] の値と意味 (BREG が 1 または 2 の場合)

INMODE[4]	乗算器 B ポート
0	B2
1	B1

48 ビットの C ポートは、Y および Z マルチプレクサ共通の入力として使用され、加算、減算、3 入力加算/減算、およびロジック ファンクションを実行します。また、C 入力をパターン検出器に接続すると、丸め込み機能もインプリメント可能です。図 1-9 に、C ポート ロジックを示します。CREG 属性を使用して、C 入力データ パスのパイプライン数を選択します。

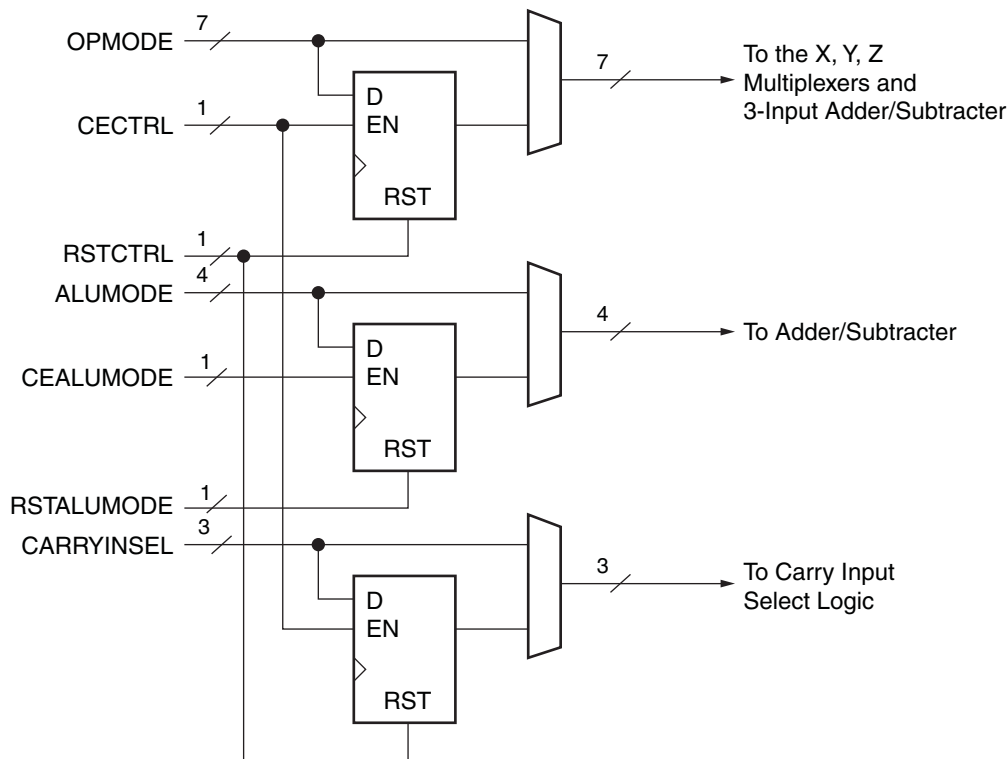


UG369\_c1\_09\_051209

図 1-9 : C ポート ロジック

### OPMODE、ALUMODE、および CARRYINSEL ポート ロジック

OPMODE、ALUMODE、および CARRYINSEL ポートのロジックは、フロップまたはレジスタを介する入力制御信号をサポートします。コンフィギュレーション ビットで制御されるマルチプレクサが、オプションのレジスタ使用を選択します。制御ポートレジスタにより、クロック周波数を増加 (パフォーマンス向上) させることが可能になりますが、データレイテンシというトレードオフが生じます。レジスタには独立したクロック イネーブルとリセット信号があります。OPMODE および CARRYINSEL レジスタは RSTCTRL でリセットされ、ALUMODE は RSTALUMODE でリセットされます。図 1-10 に、クロック イネーブルと OPMODE、ALUMODE、および CARRYINSEL ポート ロジックを示します。



UG369\_c1\_10\_051209

図 1-10 : OPMODE、ALUMODE、および CARRYINSEL ポート ロジック

## X、Y、および Z マルチプレクサ

OPMODE (動作モード) 制御入力には、X、Y、および Z マルチプレクサ選択用のフィールドがあります。

OPMODE 入力によって、クロック サイクルの切り替えに伴い、DSP48E1 の機能を動的に変更できます (与えられた計算シーケンスに基づく、DSP48E1 スライスの内部データパス コンフィギュレーションの変更など)。

OPMODE ビットは、OPMODEREG 属性を使用してオプションのレジスタを設定できます (表 1-3 のメモ参照)。

表 1-7、表 1-8、および表 1-9 に、OPMODE で使用可能な値および 3 つのマルチプレクサ (X、Y および Z) の出力結果を示します。マルチプレクサ出力は 3 つのオペランドを加算器/減算器へ送信します。マルチプレクサ セレクト ビットのすべての組み合わせが可能ではありません。メモ欄に「違反セクション」と明記されている組み合わせの結果は、定義されていません。乗算出力が選択されている場合は、X および Y マルチプレクサを使用して乗算部分積が加算器/減算器へ送信されません。

表 1-7 : OPMODE の制御ビットおよび X マルチプレクサ出力

Z OPMODE [6:4]	Y OPMODE [3:2]	X OPMODE [1:0]	X マルチプレクサ出力	メモ
xxx	xx	00	0	デフォルト
xxx	01	01	M	OPMODE[3:2] = 01 で選択する必要がある
xxx	xx	10	P	PREG = 1 で選択する必要がある
xxx	xx	11	A:B	48 ビット幅

表 1-8 : OPMODE の制御ビットおよび Y マルチプレクサ出力

Z OPMODE [6:4]	Y OPMODE [3:2]	X OPMODE [1:0]	Y マルチプレクサ出力	メモ
xxx	00	xx	0	デフォルト
xxx	01	01	M	OPMODE[1:0] = 01 で選択する必要がある
xxx	10	xx	48 'FFFFFFFFFFFF	主に X および Y マルチプレクサ上での論理ユニットのビット単位操作で使用される
xxx	11	xx	C	

表 1-9 : OPMODE の制御ビットおよび Z マルチプレクサ出力

Z OPMODE [6:4]	Y OPMODE [3:2]	X OPMODE [1:0]	Z マルチプレクサ出力	メモ
000	xx	xx	0	デフォルト
001	xx	xx	PCIN	
010	xx	xx	P	PREG = 1 で選択する必要がある
011	xx	xx	C	

表 1-9 : OPMODE の制御ビットおよび Z マルチプレクサ出力 (続き)

Z OPMODE [6:4]	Y OPMODE [3:2]	X OPMODE [1:0]	Z マルチプレクサ出力	メモ
100	10	00	P	MACC 拡張にのみ使用する。 PREG = 1 で選択する必要がある
101	xx	xx	17 ビット シフト (PCIN)	
110	xx	xx	17 ビット シフト (P)	PREG = 1 で選択する必要がある
111	xx	xx	xx	違反セレクション

## ALUMODE 入力

4 ビットの ALUMODE は、2 段目の加算器/減算器/論理ユニットの動作を制御します。ALUMODE = 0000 では、加算動作  $Z + (X + Y + CIN)$  が選択されます。CIN は CARRYIN マルチプレクサの出力です (図 1-11 を参照)。ALUMODE = 0011 では、減算動作  $Z - (X + Y + CIN)$  が選択されます。ALUMODE = 0001 で  $-Z + (X + Y + CIN) - 1$  が、ALUMODE = 0010 で  $-(Z + X + Y + CIN) - 1$  がインプリメントできます。後者は  $\text{not}(Z + X + Y + CIN)$  と同等です。2 の補数は、ビット単位で反転して 1 を追加する (例:  $-k = \text{not}(k) + 1$ ) ことで負の値に変換できます。その他の減算とロジック操作は、拡張された加算/減算/論理ユニットでインプリメントすることも可能です。表 1-10 を参照してください。

表 1-10 : 3 入力 ALUMODE 演算

DSP 演算	OPMODE[6:0]	ALUMODE[3:0]			
		3	2	1	0
$Z + X + Y + CIN$	任意の有効な OPMODE	0	0	0	0
$Z - (X + Y + CIN)$	任意の有効な OPMODE	0	0	1	1
$-Z + (X + Y + CIN) - 1 =$ $\text{not}(Z) + X + Y + CIN$	任意の有効な OPMODE	0	0	0	1
$\text{not}(Z + X + Y + CIN) =$ $-Z - X - Y - CIN - 1$	任意の有効な OPMODE	0	0	1	0

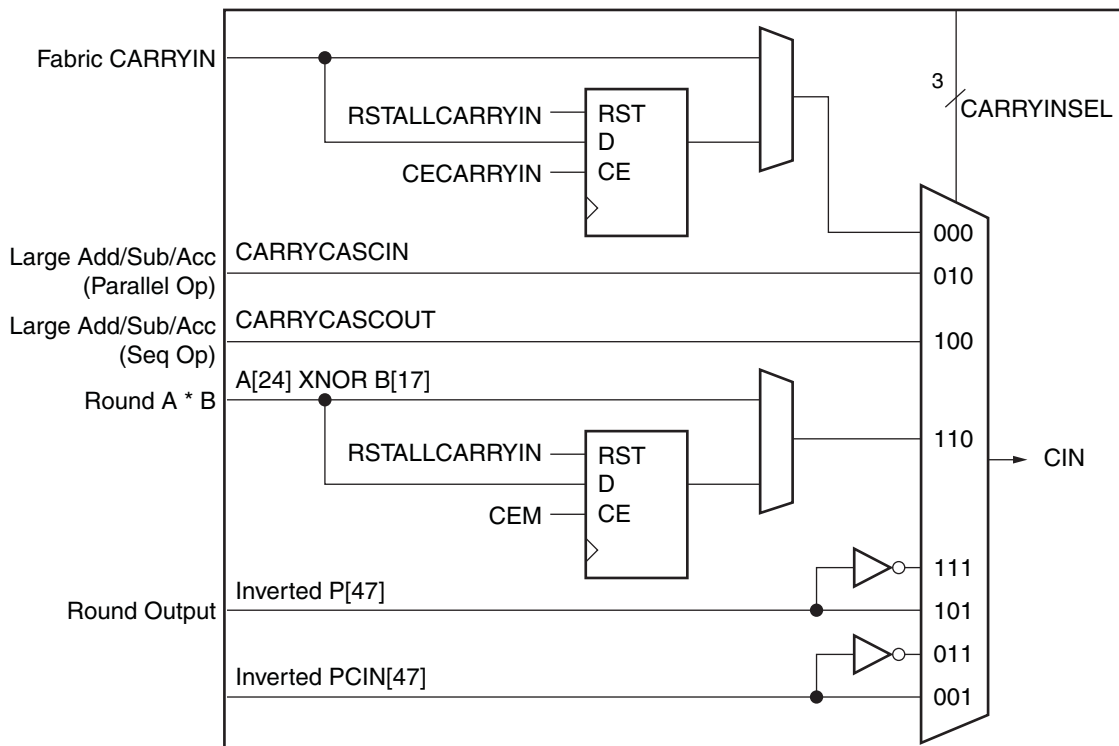
メモ :

1. 2 の補数の場合:  $-Z = \text{not}(Z) + 1$

2 入力 ALUMODE 演算については、34 ページの表 1-13 および 48 ページの図 A-3 を参照してください。

## キャリー入力ロジック

Virtex-6 デバイスの場合、キャリー入力ロジックの結果は、3 ビット幅の CARRYINSEL 信号のファンクションになります。図 1-11 に、キャリー入力ロジックの入力を示します。加算器および減算器用の結果を生成するキャリー入力は、常にクリティカルパス上にあります。このロジックをシリコン上にインプリメントすることで、高パフォーマンスが実現します。キャリー ロジックへのキャリー入力は、常に X、Y、および Z マルチプレクサの出力の前に「収集」されるため、Virtex-6 デバイスでは、CARRYIN は OPMODE の影響を受けません。



UG369\_c1\_11\_051209

図 1-11 : CARRYINSEL ポート ロジック

図 1-11 に、3 ビット CARRYINSEL 制御で選択された 8 入力を示します。最初の入力である CARRYIN (CARRYINSEL はバイナリ 000 に設定) は、汎用ロジックから得られます。このオプションにより、ユーザー ロジックに基づいたキャリー ファンクションのインプリメンテーションが可能になります。CARRYIN はオプションでレジスタを付けることが可能です。2 番目の入力 (CARRYINSEL はバイナリ 010 に設定) は、隣接する DSP48E1 スライスから接続される CARRYCASCIN 入力です。3 番目の入力 (CARRYINSEL はバイナリ 100 に設定) は、同じ DSP48E1 スライスから接続されてフィードバックされる CARRYCASCOUT です。

4 番目の入力 (CARRYINSEL はバイナリ 110 に設定) は対称丸め込み乗算器の出力の A[24] XNOR B[17] です。この信号には、MREG パイプライン遅延と一致するようにオプションでレジスタを追加できます。5 番目と 6 番目の入力 (CARRYINSEL はバイナリ 111 および 101) は、P 出力の対称丸め込みのために正の P 出力 MSB P[47] または反転した P 出力 MSB P[47] を選択します。7 番目と 8 番目の入力 (CARRYINSEL はバイナリ 011 および 001) は、P 入力の対称丸め込みを実行するため、正のカスケード P 入力 MSB PCIN[47] または反転したカスケード P 入力 MSB PCIN[47] を選択します。

表 1-11 に、3つのキャリー入力セレクト ビット (CARRYINSEL) および結果のキャリー入力またはソースを示します。

表 1-11 : CARRYINSEL 制御 OPMODEキャリー ソース

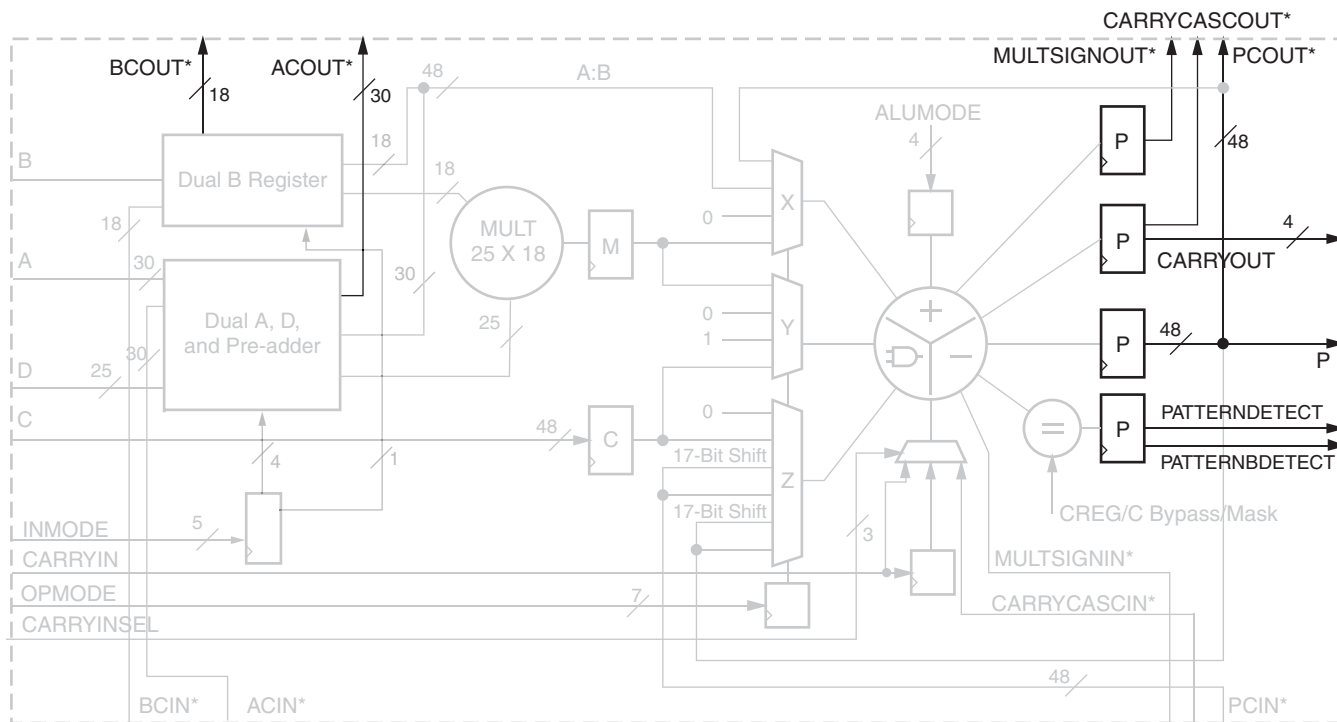
CARRYINSEL			セレクト	メモ
2	1	0		
0	0	0	CARRYIN	汎用インターコネクト
0	0	1	PCIN(47)	PCIN の丸め込み (無限大の方向へ丸め込み)

表 1-11 : CARRYINSEL 制御 OPMODE キャリー ソース (続き)

CARRYINSEL			セレクト	メモ
2	1	0		
0	1	0	CARRYCASCIN	大規模な加算/減算/累算 (パラレル動作)
0	1	1	PCIN(47)	PCIN の丸め込み (0 の方向へ丸め込み)
1	0	0	CARRYCASCOUT	桁数の多い加算/減算/累算 (内部フィードバックを介した順次演算)。 PREG = 1 で選択する必要がある
1	0	1	~P[47]	P の丸め込み (無限大の方向へ丸め込み)。 PREG = 1 で選択する必要がある
1	1	0	A[24] XNOR B[17]	A x B の丸め込み
1	1	1	P[47]	P の丸め込み (0 の方向へ丸め込み)。 PREG = 1 で選択する必要がある

### 出力ポート

このセクションでは、Virtex-6 FPGA DSP48E1 スライスの出力ポートについて詳しく説明します。  
 図 1-12 に、DSP48E1 スライスの出力ポートを示します。



\*These signals are dedicated routing paths internal to the DSP48E1 column. They are not accessible via fabric routing resources.

図 1-12 : DSP48E1 スライスの出力ポート

ACOUT および BCOUT を除くすべての出力ポートは、RSTP でリセットされ、CEP でイネーブルになります (図 1-13 を参照)。ACOUT と BCOUT は、RSTA および RSTB (図 1-7 および図 1-8 を参照) でそれぞれリセットされます。

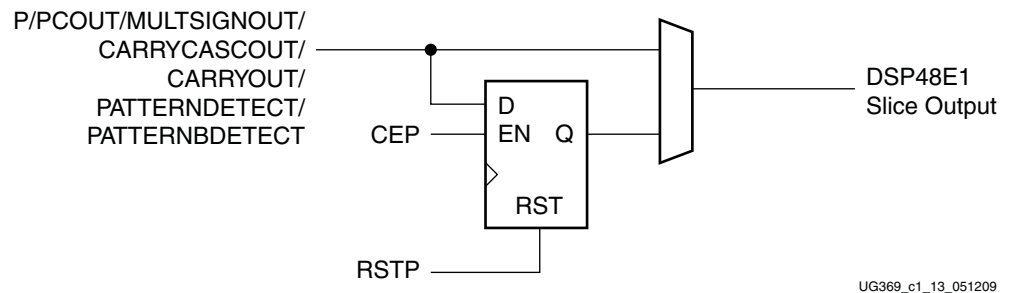


図 1-13 : 出力ポートのロジック

### P ポート

各 DSP48E1 スライスには、48 ビット幅の出力ポート P があります。この出力は、内部 PCOUT パスを使用して隣接する DSP48E1 スライスへ接続 (カスケード接続) できます。PCOUT は、隣接する DSP48E1 スライス内の Z マルチプレクサ (PCIN) の入力へ接続します。このパスにより、隣接する DSP48E1 スライス間で出力ストリームをカスケード接続できます。

### CARRYCASCOUT および CARRYOUT ポート

各 DSP48E1 スライスからのキャリアウトは、CARRYOUT ポートを介して FPGA ロジックに送信できます。このポートは 4 ビット幅です。CARRYOUT[3] は、2 入力の 48 ビット加算器/減算器または 1 入力のアキュムレータの有効なキャリアウトです。この場合、USE\_SIMD = ONE48 がデフォルト設定となり、SIMD モードではないことを示します。2 入力加算器/減算器または 1 入力アキュムレータが、TWO24 または FOUR12 などの SIMD モードで使用される場合に有効なキャリアウト信号を表 1-12 に示します。3 入力加算器/減算器 (例: A:B + C + PCIN) または 2 入力アキュムレータ (例: A:B + C + P) のコンフィギュレーションが使用される場合、あるいは乗算器が使用される場合は、キャリアウト信号は有効ではありません。

表 1-12 : SIMD モードとキャリアウト ビットの対応関係

SIMD モード	加算器のビット幅	対応するキャリアウト
FOUR12	P[11:0]	CARRYOUT[0]
	P[23:12]	CARRYOUT[1]
	P[35:24]	CARRYOUT[2]
	P[47:36]	CARRYOUT[3]
TWO24	P[23:0]	CARRYOUT[1]
	P[47:24]	CARRYOUT[3]
ONE48	P[47:0]	CARRYOUT[3]

3 入力 ALUMODE 演算については、28 ページの表 1-10 も参照してください。

CARRYOUT 信号は、CARRYCASCOUT ポートを介して、隣接する次の DSP48E1 スライスにカスケード接続します。CARRYCASCOUT 出力ポートを使用すると、桁数の多い加算、減算、ACC、および MACC ファンクションのインプリメントが可能になります。1 ビットの CARRYCASCOUT 信号は CARRYOUT[3] に対応しますが、両者は同等ではありません。また、CARRYCASCOUT 信号は CARRYINSEL マルチプレクサを介して、同じ DSP48E1 スライスへフィードバックされます。

乗算器または 3 入力加算/減算動作が使用される場合、CARRYOUT[3] 信号は無視されます。MACC 演算ではアキュムレータ ステージに 3 入力の加算器が含まれるため、2 つの DSP48E1 スライスを結合した 96 ビット MACC を実行するには、MULTSIGNOUT 信号と CARRYCASCOUT 信号が必要になります。2 番目の DSP48E1 スライスの OPMODE は、CARRYCASCOUT と MULTSIGNOUT の両方を使用するために、MACC\_EXTEND (1001000) を設定する必要があります。これにより、上位 DSP48E1 スライスの 3 入力加算器キャリー制限がなくなります。CARRYOUT/CARRYCASCOUT の実際のハードウェア インプリメントと、これらの間の違いについては、[付録 A 「CARRYOUT、CARRYCASCOUT、および MULTSIGNOUT」](#) を参照してください。

## MULTSIGNOUT ポート ロジック

MULTSIGNOUT は、ハードウェア信号をソフトウェアで抽象化したものです。乗算器出力の MSB としてモデル化されており、用途は 96 ビット MACC を構築するための MACC 拡張に限られます。MULTSIGNOUT の実際のハードウェア インプリメントについては、[付録 A 「CARRYOUT、CARRYCASCOUT、および MULTSIGNOUT」](#) を参照してください。

乗算器出力の MSB は、MULTSIGNIN ポートを介して次の DSP48E1 スライスヘカスケード接続され、96 ビット アキュムレータを構築する MACC 拡張アプリケーションでのみ使用されます。MULTSIGNOUT の実際のハードウェア インプリメントについては、[付録 A 「CARRYOUT、CARRYCASCOUT、および MULTSIGNOUT」](#) を参照してください。

## PATTERNDETECT および PATTERNBDETECT ポート ロジック

P バスと指定パターンの一致、またはパターンの補数との一致を検出するため、DSP48E1 スライスの出力にはパターン検出器が追加されています。加算器の出力が指定パターンと一致する場合は、PATTERNDETECT (PD) 出力が High になります。加算器の出力が指定パターンの補数と一致する場合は、PATTERNBDETECT (PBD) が High になります。

パターン検出器の特定ビット ロケーションを隠すにはマスク フィールドを使用します。PATTERNDETECT は、ビット単位で  $((P == \text{pattern}) \|\ \text{mask})$  を計算し、結果を AND 演算してシングル出力ビットを出力します。同様に、PATTERNBDETECT は、 $((P == \sim \text{pattern}) \|\ \text{mask})$  かどうかを検出できます。パターン フィールドとマスク フィールドは、それぞれ 48 ビット コンフィギュレーション フィールドの設定または (レジスタ付きの) C 入力の設定を用いることができます。C 入力 が PATTERN として使用される場合、Z マルチプレクサの入力で、OPMODE が 0 を選択するように設定する必要があります。すべてのレジスタがリセットされると、RESET ピンがディアサートされた直後から 1 クロック サイクル間、PATTERNDETECT は High になります。

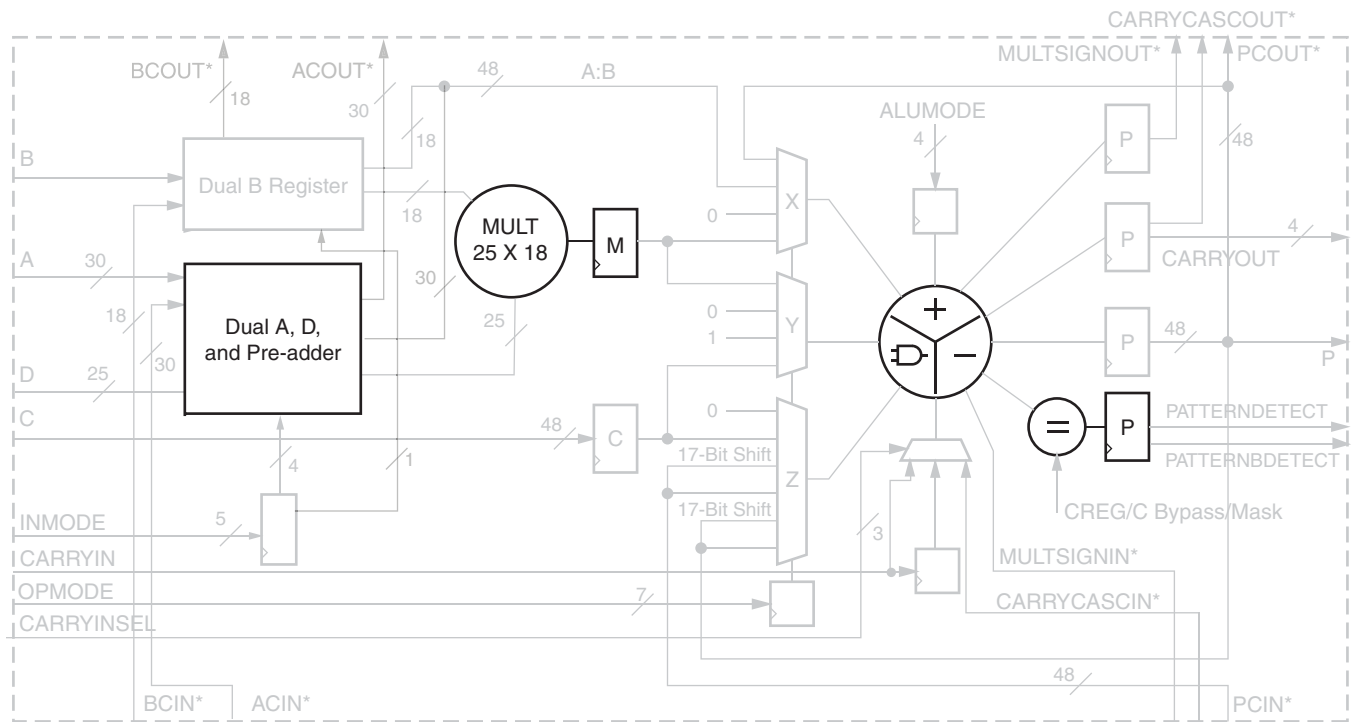
パターン検出器により、DSP48E1 スライスはカウントが上限に達したときに収束丸め込みとカウンタ自動リセットを実行できるほか、アキュムレータのオーバーフロー、アンダーフロー、および飽和もサポートしています。

## オーバーフローおよびアンダーフロー ポート ロジック

DSP48E1 スライスの専用の OVERFLOW および UNDERFLOW 出力は、パターン検出器を使用して、DSP48E1 スライス内の演算が P[N] ビット (N=1~46) を超えてオーバーフローしたかを検出します。オーバーフローおよびアンダーフロー ポートの使用中は、P レジスタを有効にする必要があります。詳細は、「[エンベデッド ファンクション](#)」を参照してください。

## エンベデッド ファンクション

Virtex-6 デバイスのエンベデッド ファンクションには、25 x 18 乗算器、加算器/減算器/論理ユニット、およびパターン検出ロジックが含まれます (図 1-14 を参照)。



\*These signals are dedicated routing paths internal to the DSP48E1 column. They are not accessible via fabric routing resources.

UG369\_c1\_14\_052109

図 1-14 : DSP48E1 スライスのエンベデッド ファンクション

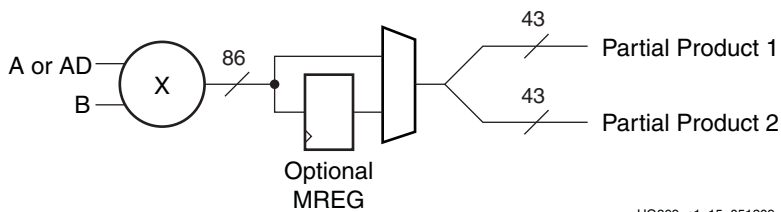
### プリアダー

Virtex-6 FPGA DSP ブロックには、重要なアーキテクチャ拡張としてプリアダー (前置加算器) が追加されました。プリアダーは A レジスタ パスに位置しています。プリアダーを使用することで、乗算器への入力前に加算や減算を行うことが可能になります。また、D を乗算器への新しい入力パスにして、プリアダーをバイパスすることも可能です。D パスを使用しない場合、A パイプラインの出力は乗算器への入力前にネゲートできます。プリアダー ブロックには最大 10 の動作モードがあり、きわめて柔軟に活用できます。

### 2 の補数乗算器

図 1-14 に示す DSP48E1 スライス内の 2 の補数乗算器は、25 ビットの 2 の補数入力および 18 ビットの 2 の補数入力を受け取ります。乗算器は 43 ビット部分積を 2 つ生成します。この 2 つの部分積が結合して、図 1-15 に示すように乗算器出力から 86 ビットの結果が出力されます。より大きな積を得るために乗算器をカスケード接続するには、17 ビット右方向シフトするカスケード出力バスを使用します。右方向シフトを使用して、適切なビット数だけ部分積をシフトして右揃えにします。このカスケード バスは、隣接する DSP48E1 スライスの加算器/減算器に接続している Z マルチプレクサへ接続します。入力オペランドの MSB を 0 に設定すると、乗算器は符号なしの演算をエミュレートできます。

図 1-15 に、乗算器出力用のオプションのパイプラインレジスタ (MREG) を示します。レジスタを使用すると、1 クロックレイテンシが付きますがパフォーマンスは向上します。



UG369\_c1\_15\_051209

図 1-15 : 2 の補数乗算器とオプションの MREG

### 加算器/減算器または論理ユニット

加算器/減算器または論理ユニットの出力は、制御入力とデータ入力で決定されます (図 1-16 を参照)。OPMODE および CARRYINSEL 信号で、加算器/減算器のデータ入力を選択されます。ALUMODE 信号で、加算器/減算器にインプリメントされているファンクションが選択されます。このように、エンベデッド加算器/減算器/論理ユニットの機能性は、OPMODE、ALUMODE、および CARRYSEL 信号で判断されます。論理ユニットを使用する場合、乗算器を使用してはいけません。OPMODEREG と CARRYINSELREG の値は同一でなければなりません。

入力マルチプレクサも同様に、OPMODE ビットによってファンクションの一部が選択されます。表中のシンボル「±」は加算または減算を意味し、これは ALUMODE 制御信号のステートによって決定されます。シンボル「:」は連結を意味し、X、Y マルチプレクサの出力と CIN の値は常に合計されます。詳細は、28 ページの「ALUMODE 入力」を参照してください。

### 2 入力の論理ユニット

Virtex-6 デバイスでは、DSP48E1 スライス内の加算、減算、および単純なロジック ファンクションは、2 段目の 3 入力加算器を使用することで実現されます。

表 1-13 に、2 段目の 3 入力加算器/減算器/論理ユニットにインプリメント可能なロジック ファンクションを示します。また、OPMODE および ALUMODE 制御信号の設定も示します。

OPMODE[3:2] を 00 に設定すると、Y マルチプレクサ出力はデフォルト値の 0 になります。OPMODE[3:2] を 10 に設定すると、Y マルチプレクサ出力はすべて 1 になります。OPMODE[1:0] は、X マルチプレクサの出力を選択し、OPMODE[6:4] は Z マルチプレクサの出力を選択します。

表 1-13 : OPMODE および ALUMODE 制御ビットおよび論理ユニットの出力

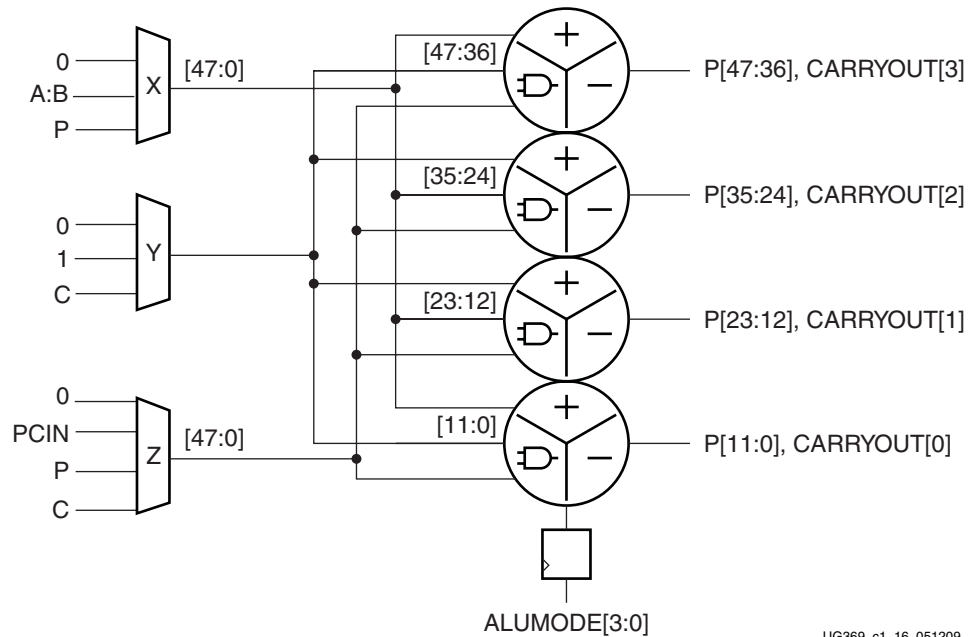
論理ユニット モード	OPMODE[3:2]		ALUMODE[3:0]			
	3	2	3	2	1	0
X XOR Z	0	0	0	1	0	0
X XNOR Z	0	0	0	1	0	1
X XNOR Z	0	0	0	1	1	0
X XOR Z	0	0	0	1	1	1
X AND Z	0	0	1	1	0	0
X AND (NOT Z)	0	0	1	1	0	1
X NAND Z	0	0	1	1	1	0
(NOT X) OR Z	0	0	1	1	1	1
X XNOR Z	1	0	0	1	0	0

表 1-13 : OPMODE および ALUMODE 制御ビットおよび論理ユニットの出力 (続き)

論理ユニット モード	OPMODE[3:2]		ALUMODE[3:0]			
	3	2	3	2	1	0
X XOR Z	1	0	0	1	0	1
X XOR Z	1	0	0	1	1	0
X XNOR Z	1	0	0	1	1	1
X OR Z	1	0	1	1	0	0
X OR (NOT Z)	1	0	1	1	0	1
X NOR Z	1	0	1	1	1	0
(NOT X) AND Z	1	0	1	1	1	1

### 単一命令多重データ (SIMD) モード

この分割されたセグメント間のキャリー伝搬はブロックされ、すべてのセグメントに対する独立動作を確実にします。加算器/減算器/アキュムレータは、4つの 12 ビット加算器/減算器/アキュムレータまたは 2つの 24 ビット加算器/減算器/アキュムレータに分割することが可能で、各セグメントにはキャリーアウト信号があります。ダイナミック OPMODE タイプ制御とは対照的に、SIMD モード分割はスタティック コンフィギュレーションです (図 1-16 を参照)。



UG369\_c1\_16\_051209

図 1-16 : 4つの12ビット SIMD 加算器コンフィギュレーション

- 4つの 2 入力または 3 入力加算器 (各セグメントには 12 ビット入力、12 ビット出力、およびキャリーアウトがある)
- ファンクションは ALUMODE[3:0] で動的に制御され、オペランド ソースは OPMODE[6:0]
- 4つすべての加算器/減算器/アキュムレータは同じファンクションを実行する

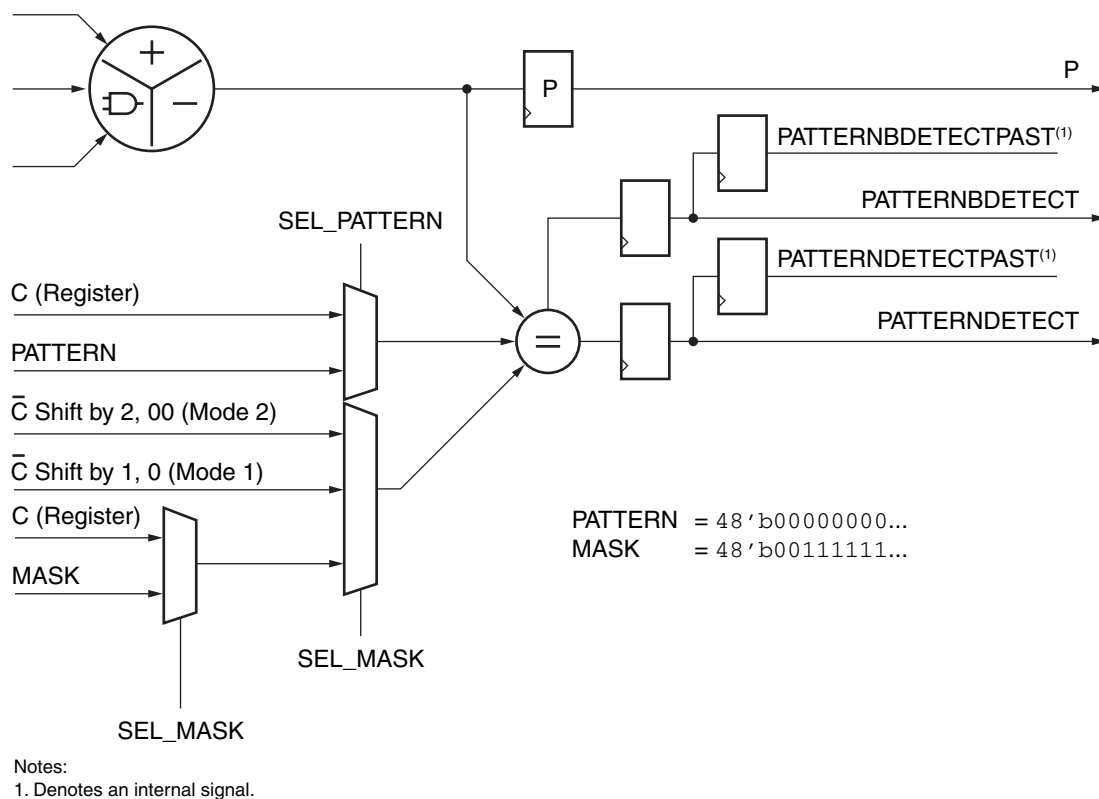
- 2つの2入力または3入力加算器 (各セグメントには、24ビット入力、24ビット出力、およびキャリーアウトがある)の構築も可能 (非表示)

図 1-16 に示す SIMD 機能は、48 ビットの論理ユニットを複数の小規模論理ユニットに分割できます。各小規模論理ユニットは同じファンクションを実行します。このファンクションは、ALUMODE[3:0] および OPMODE 制御入力を使用して動的に変更可能です。

## パターン検出ロジック

パターン検出器は、DSP48E1 スライスの加算器/減算器/論理ユニットの出力に接続されています (図 1-14 を参照)。

パターン検出とは、P 出力と同じサイクルで結果を生成する加算器/減算器/論理ユニットの出力に対する同一性チェックです。パターン検出出力と DSP48E1 スライスの P 出力の間には、余分なレイテンシはありません。パターン検出を使用する場合、パターン検出パスにロジックが追加されるため、スピードが多少低減します (図 1-17 を参照)。



UG369\_c1\_17\_051209

図 1-17：パターン検出ロジック

パターン検出を使用して実行可能なアプリケーションを次に示します。

- オプションのマスク付きパターン検出
- ダイナミック C 入力と A x B パターンの一致
- P[46] を超えるオーバーフロー/アンダーフロー/飽和
- $A:B == C$  およびダイナミック パターン マッチ。例： $A:B OR C == 0$ 、 $A:B AND C == 1$
- $A:B \{function\} C == 0$

- 48 ビット カウンタ自動リセット (ターミナル カウント検出)
- 丸め込み動作の中間ポイント検出

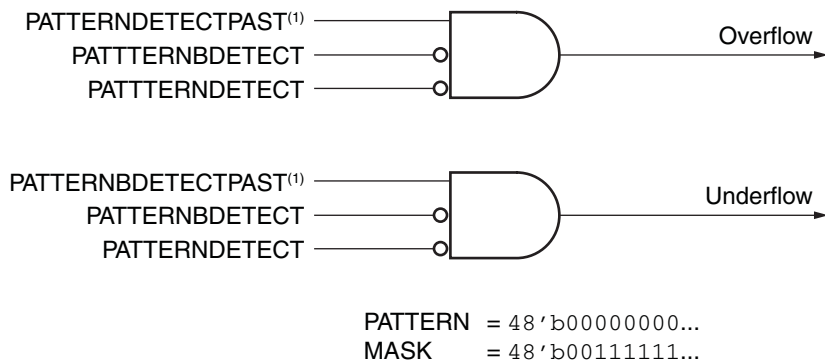
パターン検出に使用しない場合、その他の機能のインプリメントに利用できます。次に例を示します。

- ファンアウトを低減してスピードを向上させるためにピン (符号ビットなど) を複製する
- FPGA ファブリックへ配線せずに、1 ビット (例: 符号ビット) にビルトイン インターバルをインプリメント
- 浮動小数点のスティッキー ビットのチェック、特殊なケースへの対応、または DSP48E1 スライス出力のモニタリング
- 特殊条件が満たされたときに、または特殊条件が満たされないときにフラグをあげる

マスク フィールドを使用して、パターン検出で特定のビット ロケーションをマスク アウトすることも可能です。パターン フィールドおよびマスク フィールドには、48 ビットのコンフィギュレーション フィールドの値、または C 入力で設定した値を使用します。

### オーバーフローおよびアンダーフロー ロジック

ここで説明するオーバーフロー/アンダーフローの内容は、1 つの DSP48E1 スライスにインプリメントされたシーケンシャル アキュムレータ (MACC または加算器/アキュムレータ) に当てはまります。アキュムレータには 1 ビット以上のガードビットが必要です。パターン検出器がマスク 001111...1 (デフォルト設定) でパターン = 00000...0 を検出するように設定されている場合、DSP48E1 スライスは 00111...1 を超えるオーバーフロー、または 11000...0 を下回るアンダーフローに対してフラグを立てます。USE\_PATTERN\_DETECT 属性を PATDET に設定すると、パターン検出ロジックの使用が有効になります。このオーバーフロー/アンダーフロー インプリメンテーションは冗長符号ビットを使用し、出力ビット幅を 47 に削減します。



Notes:  
1. Denotes an internal signal.

UG369\_c1\_18\_051209

図 1-18 : パターン検出のオーバーフロー/アンダーフロー ロジック

マスク値を 0000111 ...1 に変更すると、オーバーフローが検出されるビット値 P[N] を変更できます。このロジックは、 $2^N - 1$  の正の値への飽和および 2 の補数表現での  $2^N$  の負の値への飽和をサポートします (N はマスク フィールド内の値 1 の桁数)。

N = 2 の場合、オーバーフロー/アンダーフロー状態の確認には、次の例を使用します。

- マスクが 0...11 に設定されている
- (N) LSB ビットは、比較には考慮されない
- N = 2 の場合、有効な値 (パターン) は  $2^2-1 \sim -2^2$  または 3~4

図 1-19 および 図 1-20 は、それぞれオーバーフローとアンダフローの例を示しています。

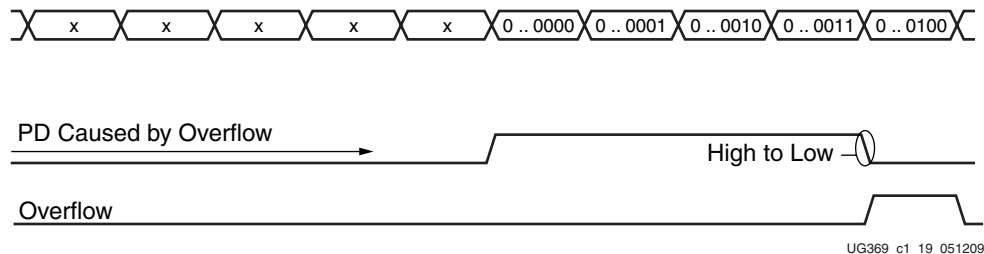


図 1-19：パターン検出のオーバーフロー条件

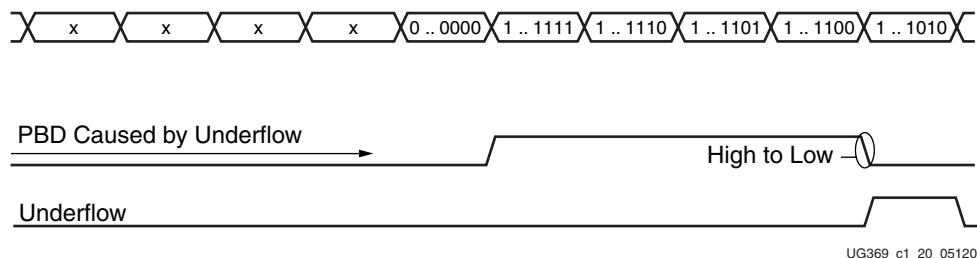


図 1-20：パターン検出のアンダフロー条件

- P == pattern またはマスクの場合、PD は 1
- P == patternb またはマスクの場合、PBD は 1

オーバーフローは、加算器/減算器/論理ユニットの出力値が 3 を超えたときの加算により生じます。最終値 0..0011 に 1 を加算すると結果は 0..0100 となり、これにより PD 出力は 0 になります。PD 出力が 1 から 0 になると、オーバーフローがアサートされます。

アンダフローは、値が -4 未満になるときの減算により生じます。1..1100 から 1 を減算すると 1..1010 (-5) が出力され、これにより PBD 出力は 0 になります。PBD 出力が 1 から 0 になるとアンダフローがアサートされます。

# DSP48E1 のデザイン上の留意点

この章では、パフォーマンス向上、低消費電力、および低リソース使用率を実現するためのデザイン手法とテクニックについて説明します。

次のセクションについて説明します。

- 「パフォーマンス向上のためのデザイン (最大 600MHz)」
- 「電力削減のための設計」
- 「加算器ツリーと加算器カスケード」
- 「カラム内での DSP48E1 スライスの接続」
- 「DSP48E1 スライスの時分割多重化」
- 「備考および推奨」
- 「プリアダーブロックの用途」

## パフォーマンス向上のためのデザイン (最大 600MHz)

Virtex®-6 FPGA DSP48E1 スライスを使用して最大限のパフォーマンスを得るには、スライス内のすべてのパイプラインを使用することが推奨されます。DSP48E1 スライスを使用時に最大限の性能を得るには、デザインを完全にパイプライン化する必要があります。乗算器ベースのデザインでは、DSP48E1 スライスに 3 段のパイプラインが必要です。乗算器ベースでないデザインでは、2 段のパイプラインを使用すべきです。『Virtex-6 FPGA FPGA データシート : DC 特性およびスイッチ特性』を参照してください。レイテンシが重要なデザインで、DSP48E1 スライス内でレジスタを 1 つまたは 2 つしか使用できない場合は、常に M レジスタを使用してください。

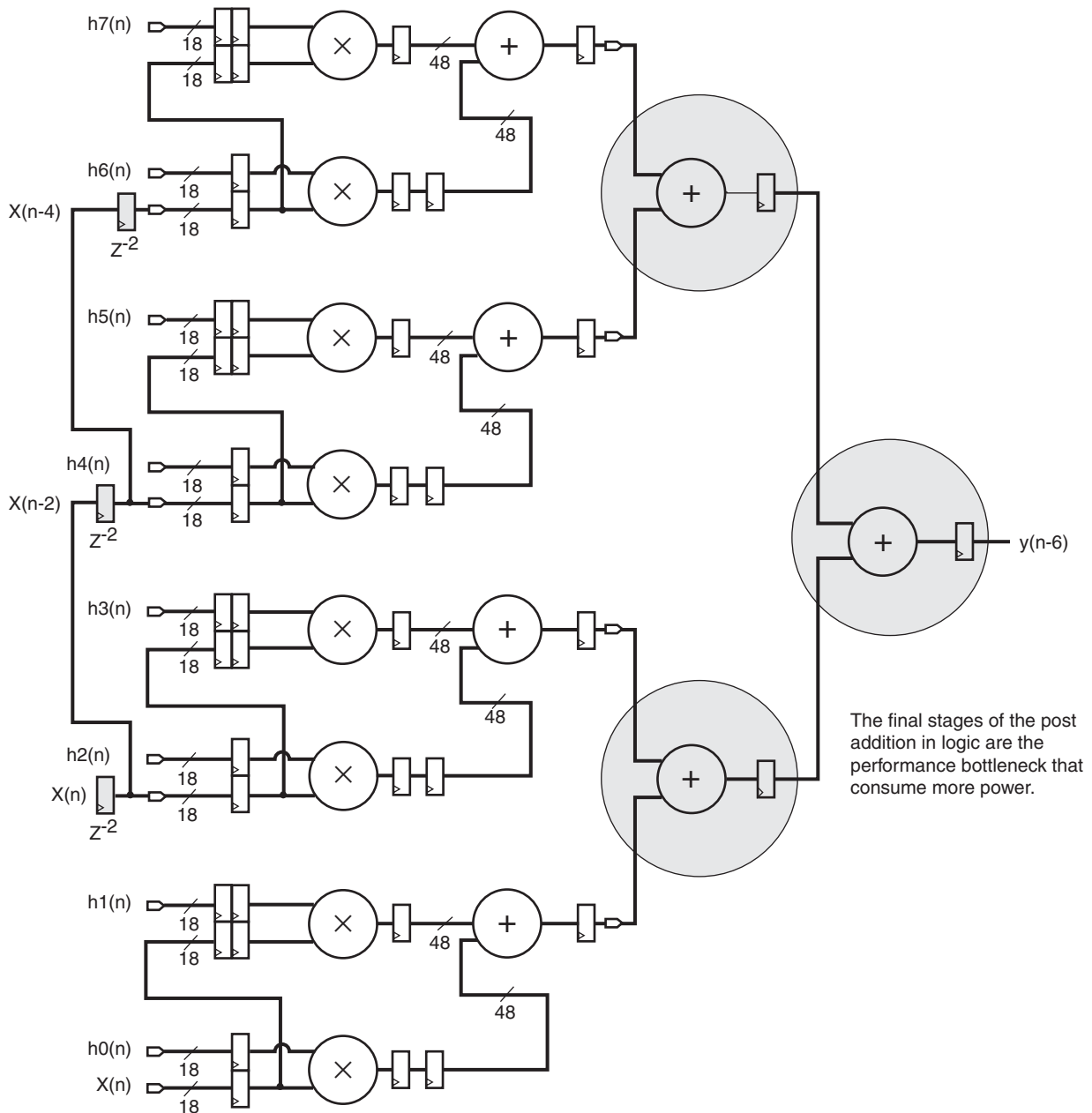
## 電力削減のための設計

USE\_MULT 属性は、乗算器の用法を選択します。加算器/論理ユニットのみ使用する場合は、この属性を NONE に設定してください。DSP48E1 スライス内にインプリメントしたファンクションは、ファブリック内のファンクションよりも低消費電力です。ファブリックの配線リソースを使用する代わりに DSP48E1 スライス内のカスケード パスを使用することによっても、消費電力を抑えることができます。M レジスタを使用する乗算器は、M レジスタを使用しない乗算器よりも消費電力が低くなります。25 x 18 以下のオペランドの場合、FPGA ファブリックの消費電力を低減させるには、MSB ビットにオペランドを配置し、未使用の LSB ビットに 0 をパディングします。

## 加算器ツリーと加算器カスケード

### 加算器ツリー

標準的な直接型 FIR フィルタの場合、一連の入力サンプルは、DSP48E1 スライス内の乗算器の一方の入力に渡されます。乗算器のもう一方に係数が提供されます。複数の乗算器からの出力を結合するために、加算器ツリーが使用されます (図 2-1 を参照)。

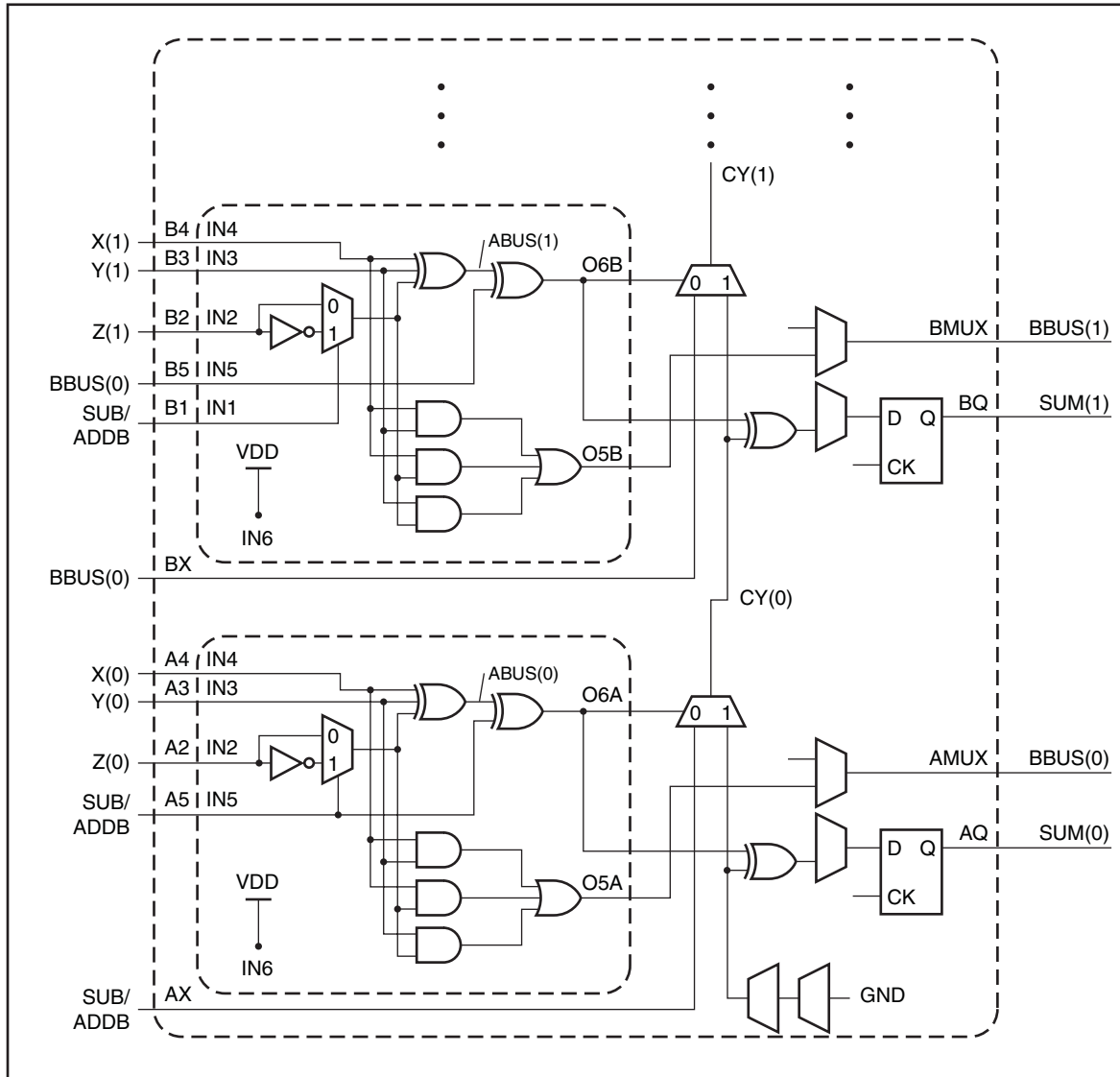


UG369\_c2\_01\_051209

図 2-1：従来型の FIR フィルタの加算器ツリー

従来の FPGA の場合、ファブリック加算器はパフォーマンス向上の障害となります。必要な加算器数および配線数は、フィルタ サイズによって異なります。加算器ツリーの深さは、フィルタのタップ数の  $\log_2$  となります。また、図 2-1 に示す加算器ツリーの構造は、コスト、ロジック リソース、および電力を増加させる可能性もあります。

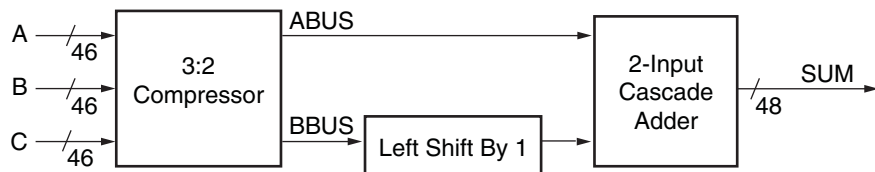
Virtex-6 デバイスの CLB アーキテクチャは、加算器ツリー キャリー チェーンのパフォーマンスを約 32% 向上させます。Virtex-6 FPGA の CLB では、1 つのスライス内で 6 LUT とキャリーチェーンの両方を使用することで、効率的な 3 入力加算器が構築できます。CLB 内の 6 LUT は、デュアル 5 LUT として機能します。この 5 LUT は 3:2 コンプレッサとして使用され、3 つの入力値を加算して 2 つの出力値を生成します。図 2-2 に、3:2 コンプレッサを示します。



UG369\_c2\_02\_051209

図 2-2 : 3 入力加算器/減算器 (3:2 コンプレッサ)

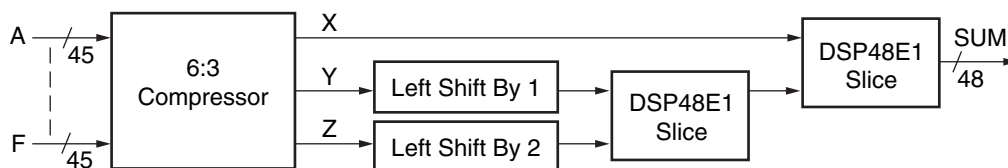
2 入力キャリー カスケード加算器と結合したデュアル 5 LUT (3:2 コンプレッサとしてコンフィギュレーション) は、必要な数のスライスを縦方向に積み重ねることにより、図 2-3 に示すように 3 つの N ビット値を加算して 1 つの N+2 ビット出力を生成します。



UG369\_c2\_03\_072109

図 2-3：3 入力加算器

3:1 加算器 (図 2-3 を参照) は、大規模な加算器ツリー用の構築ブロックとして使用されます。追加される入力数しだいで、複数の 5 LUT または 6 LUT を使用してファブリック ロジック内に 5:3 または 6:3 コンプレッサも構築できます。6:3 コンプレッサと 2 つの DSP48E1 スライスを実列に組み合わせると、6 つのオペランドを加算して 1 つの出力を生成します (図 2-4 を参照)。最初の DSP48E1 スライスの LSB ビットは、Y バスと Z バスの左シフトにより空いたままになっているため、0 の値を配置する必要があります。最後の DSP48E1 スライスは、2 段の A:B 入力レジスタを使用して X バスを最初の DSP48E1 スライスの出力に合わせて調整 (パイプラインマッチ) します。複数レベルの 6:3 コンプレッサを使用すると、入力バス数を拡張できます。



UG369\_c2\_04\_072109

図 2-4：6 入力加算器

図 2-4 の X、Y、および Z バスの論理式は次のとおりです。

$$X(n) = A(n) \text{ XOR } B(n) \text{ XOR } C(n) \text{ XOR } D(n) \text{ XOR } E(n) \text{ XOR } F(n) \quad \text{式 2-1}$$

$$\begin{aligned} Y(n) = & A(n)B(n) \text{ XOR } A(n)C(n) \text{ XOR } A(n)D(n) \text{ XOR } A(n)E(n) \\ & \text{ XOR } A(n)F(n) \text{ XOR } B(n)C(n) \text{ XOR } B(n)D(n) \text{ XOR } B(n)E(n) \\ & \text{ XOR } B(n)F(n) \text{ XOR } C(n)D(n) \text{ XOR } C(n)E(n) \text{ XOR } C(n)F(n) \\ & \text{ XOR } D(n)E(n) \text{ XOR } D(n)F(n) \text{ XOR } E(n)F(n) \end{aligned} \quad \text{式 2-2}$$

$$\begin{aligned} Z(n) = & A(n)B(n)C(n)D(n) \text{ OR } A(n)B(n)C(n)E(n) \text{ OR } A(n)B(n)C(n)F(n) \\ & \text{ OR } A(n)B(n)D(n)E(n) \text{ OR } A(n)B(n)D(n)F(n) \text{ OR } A(n)B(n)E(n)F(n) \\ & \text{ OR } A(n)C(n)D(n)E(n) \text{ OR } A(n)C(n)D(n)F(n) \text{ OR } A(n)C(n)E(n)F(n) \\ & \text{ OR } A(n)D(n)E(n)F(n) \text{ OR } B(n)C(n)D(n)E(n) \text{ OR } B(n)C(n)D(n)F(n) \\ & \text{ OR } B(n)C(n)E(n)F(n) \text{ OR } B(n)D(n)E(n)F(n) \text{ OR } C(n)D(n)E(n)F(n) \end{aligned} \quad \text{式 2-3}$$

コンプレッサ エレメントおよびカスケード加算器は、より大規模な加算器を構築するためにツリー状に配置できます。最後の加算ステージは DSP48E1 スライスにインプリメントする必要があります。デザインのタイミング条件を満たすため、必要に応じてパイプライン レジスタを追加してください。これらの加算器は、加算器カスケードよりもエリア使用率や電力が高くなります。

## 加算器カスケード

加算器カスケードのインプリメントでは、DSP48E1 スライスのカスケード パスを使用することによって、最小限のシリコン リソースで加算後処理を実現できます。図 2-5 に示すようなカスケード接続手法を使用する場合は、加法演算結果をインクリメンタル (追加的) に計算する必要があります。

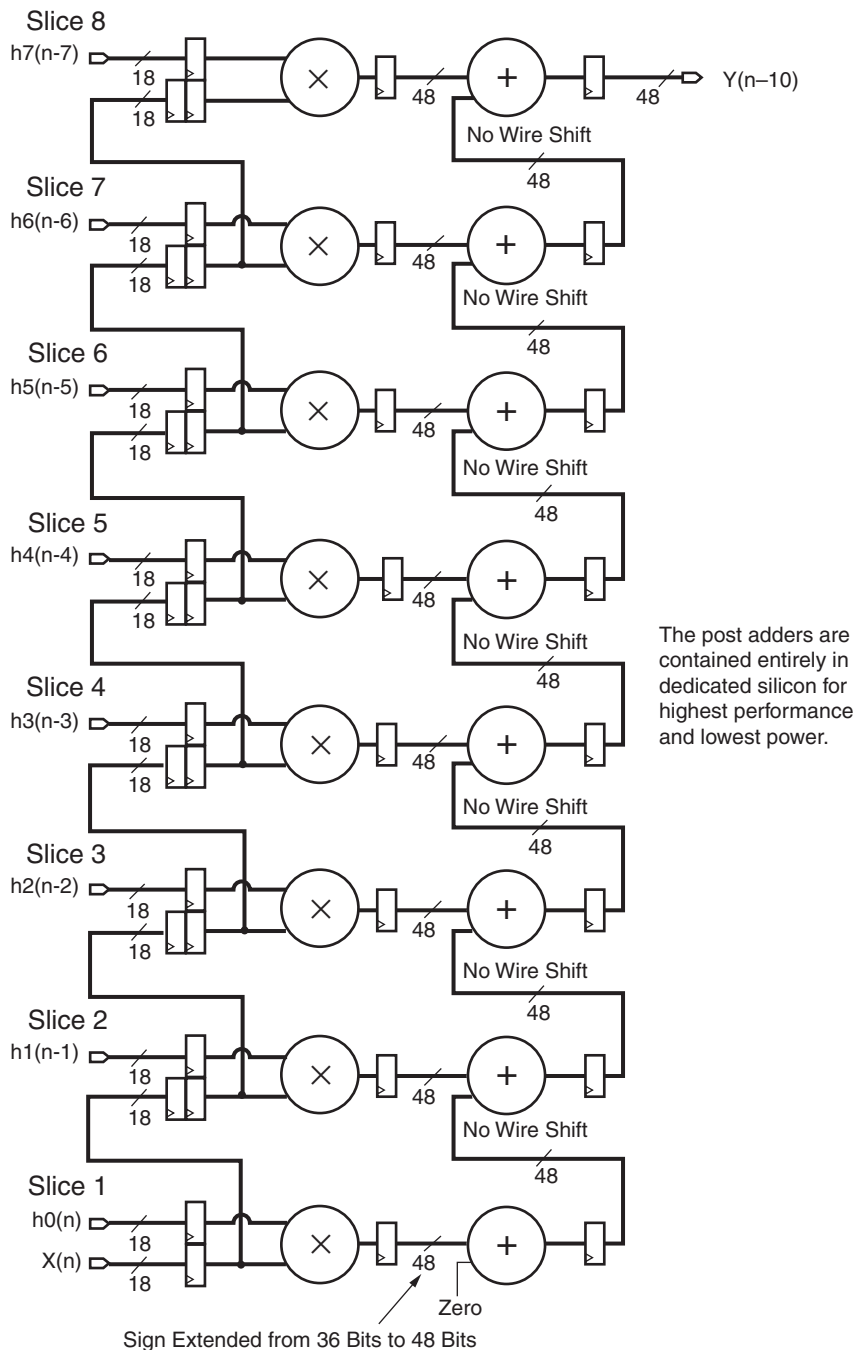


図 2-5 : 加算器カスケード

カスケード接続された加算器の場合、正しい結果を得るためには入力サンプルの遅延と係数遅延の均衡が重要となります。係数は、時間の経過に従って不安定になります (ウェーブ係数)。

## カラム内での DSP48E1 スライスの接続

カスケードパスを使用して加算器をインプリメントする場合、消費電力およびスピードが大幅に向上します。1つのパス上で使用できる最大カスケード数は、チップのカラム内にある DSP48E1 スライスの合計数にのみ制限されます。

DSP カラムの高さは Virtex-5 と Virtex-6 では異なるため、これらのデバイスをポーティングする際には注意が必要です。複数のカラムにまたがる場合は、DSP カラムの最上位からの P バス出力を使用し、隣接する DSP カラムの最下位 DSP48E1 スライスの C ポートにこの P バスを接続するためにファブリックパイプラインレジスタを追加します。また、このように複数の DSP カラムにまたがる場合は、入力オペランドのアライメントも必要になります。

## DSP48E1 スライスの時分割多重化

DSP48E1 スライスの高速演算エレメントにより、DSP デザインでは時分割多重化を使用することが可能です。時分割多重化とは、1つの DSP48E1 スライス内で複数のファンクションを異なる時間インスタンスで実行するプロセスです。サンプルレートが低いデザインなどに使用されます。式 2-4 に、1つの DSP48E1 スライスにインプリメント可能なファンクション数 (N) を求める式を示します。

$$N * \text{チャンネル周波数} \leq \text{DSP48E1 スライスの最大周波数} \quad \text{式 2-4}$$

時分割多重化した DSP デザインでは、オプションのパイプライン化で、1秒間に最大 5 億サンプルまでの複数チャンネルを集約することが可能です。DSP48E1 スライスを使用して時分割多重化したデザインをインプリメントすることは、結果としてリソース使用率と消費電力の削減に繋がります。

DSP48E1 スライスには、従来型 FIR フィルタの基本的なエレメントとして、乗算器、加算器、遅延/パイプラインレジスタがあり、そして一般的なスライスを使用することなく入力ストリーム (B バス) および出力ストリーム (P バス) をカスケード接続できます。

マルチチャンネルフィルタリングは、時分割多重化したシングルチャンネルフィルタと見なすことができます。標準的なマルチチャンネルフィルタリングでは、各チャンネルに対して個別のデジタルフィルタをシオ湯して、複数の入力チャンネルがフィルタされます。Virtex-6 デバイスの DSP48E1 スライスは高性能であるため、8x クロックでクロックを供給することにより、8つの入力チャンネルすべてを1つのデジタルフィルタでフィルタリングできます。このインプリメンテーションは、各チャンネルを個別にインプリメントする方法と比較すると、合計 FPGA リソース数の 1/8 になります。

## 備考および推奨

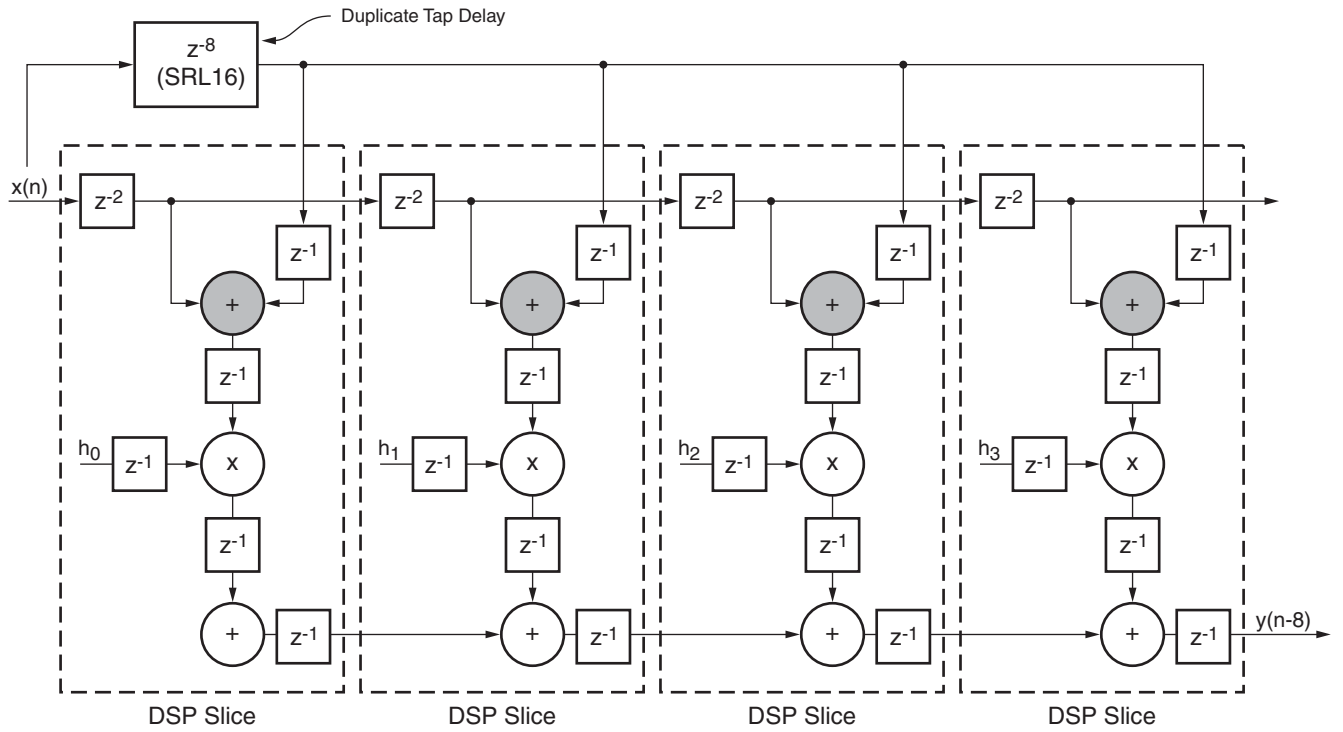
- 9 x 9 乗算器のような小規模な乗算器と、ビット幅が小さい加算器およびカウンタのインプリメントには、ファブリックの LUT およびキャリーチェーンを使用してください。小規模な加算器を数多く含むデザインは、SIMD モードを使用して DSP48E1 スライスにインプリメントします。
- 少ビット幅ファンクションをインプリメントする場合は、常に入力オペランドに符号を拡張します。ファブリックの消費電力を低く抑える場合は、オペランド命令に MSBs を使用し、LSB をすべてグラウンド (GND) にします。
- 異なる DSP48E1 スライスをカスケード接続する場合は、異なる信号パスのパイプラインステージを一致させる必要があります。
- DSP48E1 スライスに 1 ずつカウントアップするカウンタをインプリメントする場合は、CARRYIN 入力を使用してください。N ずつカウントまたは可変のカウンタの場合は、C または A:B 入力を使用できます。

- DSP48E1 カウンタは、最大限の速度で動作する制御ロジックをインプリメントするために使用できます。
- CLB 内の SRL16/SRL32 およびブロック RAM は、フィルタ係数の格納場所として使用するか、DSP48E1 スライスとの組み合わせでレジスタ ファイルまたはメモリ エlementとして使用してください。入力ビットのピッチ (各インターコネクトに対して 4 ビット) は、CLB およびブロック RAM のビット ピッチと一致する必要があります。
- DSP デザインの制御ロジックを駆動する高速有限ステート マシンとして、ブロック RAM を使用することも可能です。
- DSP48E1 スライスは、MicroBlaze™ や PicoBlaze™ などのプロセッサと組み合わせて、プロセッサ ファンクションの、ハードウェアを使用した設計促進に利用できます。
- DSP48E1 スライスの入力へ接続する前に、SRL16 やブロック RAM の出力にパイプライン レジスタを使用してください。これにより、DSP48E1 スライスへ送信される入力オペランドのパフォーマンスが向上します。
- Virtex-6 デバイスの場合、スライス内の SRL16 の出力についているレジスタにはリセット ピンおよびクロック イネーブル ピンがあります。SRL をリセットするには、16 サイクル間 SRL16 へ 0 を入力して、その間、出力レジスタのリセット信号を High に保持します。特に、SRL16 を使用して入力データを格納するようなフィルタ インプリメンテーションには、この機能が有効です。

## プリアダー ブロックの用途

DSP48E1 スライスのプリアダーは、LTE (Long-Term Evolution) 規格に含まれるアルゴリズムなどの無線アプリケーション、汎用フィルタ (FIR、IIR)、アルファブレンディングなどの動画処理を含む、さまざまな用途で効果的に使用できます。

図 2-6 は、8 タップの偶数対称シストリック FIR のデザインにおけるプリアダー (灰色の部分) の活用例を示しています。



UG369\_c2\_06\_072209

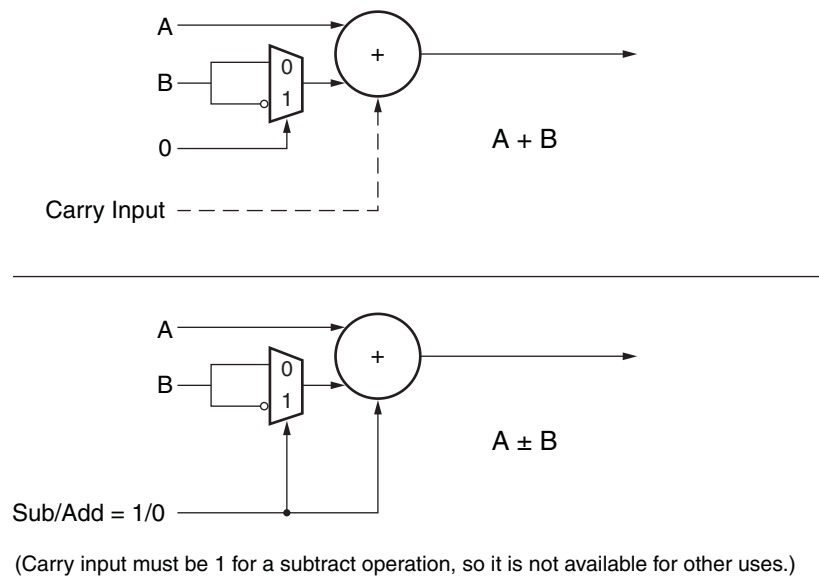
図 2-6 : 8 タップの偶数対称シストリック FIR

# CARRYOUT、CARRYCASCOOUT、 および MULTSIGNOUT

## CARRYOUT/CARRYCASCOOUT

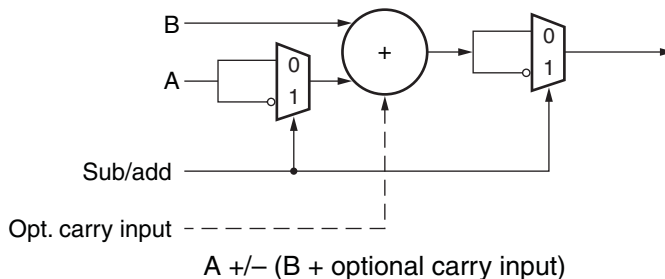
DSP48E1 スライスとファブリック キャリー チェーンでは、減算ファンクションのインプリメントスタイルが異なります。CLB スライス内のキャリー チェーンのインプリメントでは、減算処理の間、ファブリックのキャリー入力ピンを定数 1 に接続する必要があります。DSP48E1 スライス内での標準的な減算 (ALUMODE = 0011) では、CARRYIN ピンを 1 に設定する必要はありません。

2 の補数表現で負の値を得るには、 $-B = ((\text{not } B) + 1)$  のようにビット単位で反転して 1 を加算します。CLB で  $A-B$  は  $(A + (\text{not } B) + 1)$  としてインプリメントされます (図 A-1 を参照)。2 入力減算器は図 A-2 に示すように、 $[\text{not } (B + (\text{not } A))]$  としてインプリメントすることもできます。この代替インプリメントでは、加算器/減算器へのキャリー入力を通常の用途にも使用できます。



UG369\_A\_01\_111208

図 A-1 : ファブリック ベースの加算器/減算器

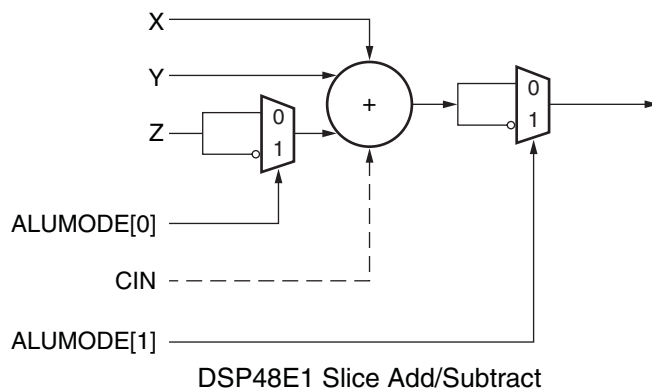


(Carryin available as an input even for subtract operations)

UG369\_A\_02\_111208

図 A-2 : オプションのキャリー入力を使用する加算器/減算器

DSP48E1 スライスには 2 番目のインプリメントを、CARRYIN 入力を加えた 3 入力加算器で拡張して使用します (図 A-3 を参照)。これにより DSP48E1 の SIMD 演算では、小さな加算/減算ユニットごとに CARRYIN を使用することなく減算処理を実行できます。



UG369\_A\_03\_111208

図 A-3 : DSP48E1 スライスの 3 入力加算器

ALUMODE = 0000/0011 が  $Z \pm (CIN + X + Y)$  をインプリメントします。  
 ALUMODE = 0011 は、Virtex<sup>®</sup>-4 FPGA DSP48 スライスの減算 = 1 に対応しています。  
 ALUMODE = 0000 は、Virtex-4 FPGA DSP48 スライスの減算 = 0 に対応しています。

Virtex-6 FPGA ALUMODE では、さらに以下の減算処理もサポートされています。

ALUMODE = 0001 が  $(-Z + (X + Y + CIN) - 1)$  をインプリメントします。

- ほとんどの場合、CIN は -1 を相殺するため 1 に設定されます。

ALUMODE = 0010 は、実際には  $-(Z + X + Y + CIN) - 1$  をインプリメントします。

- ALUMODE 0010 を使用して得られた P 出力の反転を他のスライスにカスケード接続して、2 の補数減算をインプリメントできます。

加算演算の場合、CARRYOUT[3] と CARRYCASCOUT は同一ですが、減算用のポローを示すために使用される表現が異なります。CARRYOUT[3] はファブリック減算と同じ表現です。したがって、ファブリックの加算/減算ファンクションで CARRYOUT[3] ピンを直接使用し、DSP48E1 スライスの 2 入力減算をファブリックまで拡張できます。一方、CARRYCASCOUT は DSP スライスの減算表現に従っているため、上に重ねられた他の DSP スライスへのカスケード接続に最適です。

CARRYOUT[3] 信号と CARRYCASCOUT 信号によって、複数の DSP48E1 スライスを使用した、あるいは DSP48E1 スライスとファブリックの加算器/減算器を併用した、高精度の加算/減算ファンクションの構築が可能になります。

## MULTSIGNOUT と CARRYCASCOUT

CARRYOUT[3] は乗算に使用すべきではありません。DSP48E1 スライスでは 1 段目の乗算器で 2 つの部分積が生成され、2 段目でそれらの和が求められるからです。

DSP のすべての 3 入力加算演算 (乗算/加算、加算累算を含む) では、精度を完全に維持するために、2 つの CARRYOUT ビットが生成されます。これらの様子を図 A-4 に示します。

MULTSIGNOUT と CARRYCASCOUT は、MACC\_EXTEND 演算用の 2 つのキャリー ビットとして機能します。MULTSIGNOUT が乗算器の符号ビット、CARRYCASCOUT がカスケード接続のキャリーアウト ビットの場合、結果は図 A-4 に示すソフトウェア/UniSim モデルとして抽象化されます。

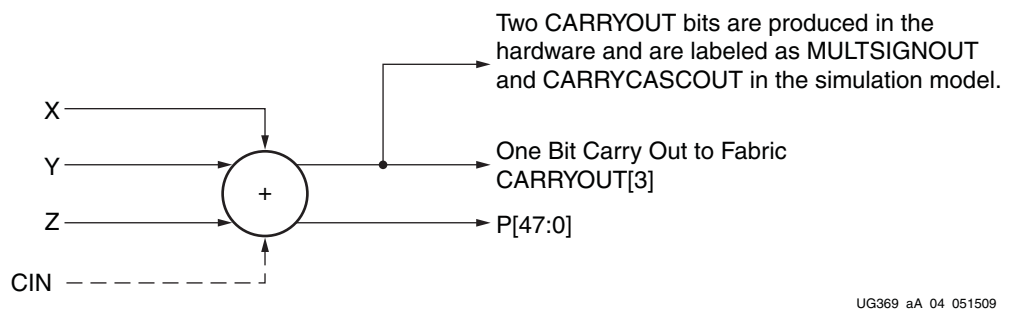


図 A-4 : DSP48E1 の 3 入力加算器

このシミュレーション モデルの MULTSIGNOUT と CARRYCASCOUT はハードウェアとは一致しませんが、出力 P ビットは MACC\_EXTEND など、サポートされるファンクションと一致します。たとえば、上位 DSP スライス内ですべて 0 を使用してファブリックに配線した CARRYCASCOUT は、下位 DSP スライスの CARRYOUT[3] と一致しません。同様に、ファブリックに配線した MULTSIGNOUT は、実際の乗算結果の符号ではありません。

この MULTSIGNOUT 信号と CARRYCASCOUT 信号によって、最大精度 96 ビットのアキュムレータ用に累積され、DSP48E1 スライスの最大周波数で動作する 25 x 18 乗算器など、高精度の積和演算 (MACC\_EXTEND) ファンクションの構築が可能になります。

96 ビット積和演算のような大規模なアキュムレータを構築する場合は、OPMODEREG と CARRYINSEL を 1 に設定する必要があります。これにより、リセット発生時にシミュレーションモデルから上位の DSP48E1 スライスに不明ステートが伝搬されなくなります。

## まとめ

### 加算器/減算器のみ

CARRYOUT[3] : ハードウェアとソフトウェアが一致します。

CARRYCASCOUT : ALUMODE = 0000 で、ALUMODE = 0011 のときに反転される場合、ハードウェアとソフトウェアが一致します。不一致が発生するのは、DSP48E1 スライスで減算に使用されるアルゴリズムが、ファブリックで使用されるものと異なるからです。そのため、ファブリックからの CARRYOUT は、反転して DSP48E1 スライスに渡す必要があります。

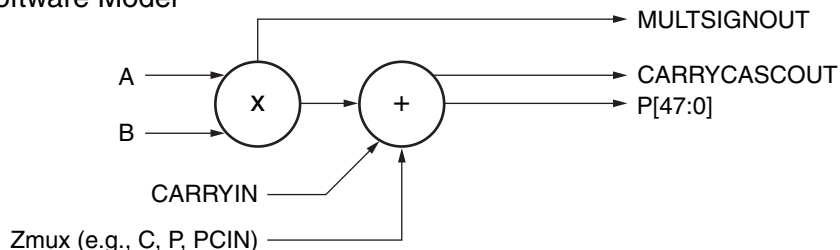
MULTSIGNOUT は加算器だけの場合には無効です。

### MACC 演算

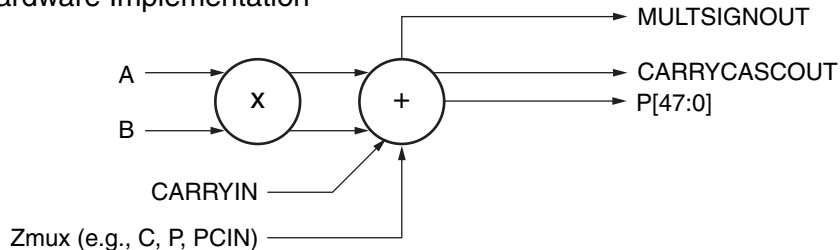
CARRYOUT[3] は MACC 演算では無効です。

CARRYCASCOUT および MULTSIGNOUT : ハードウェアとソフトウェアは、モデルの違いにより一致しません。ソフトウェアのシミュレーションモデルは、ハードウェアモデルを抽象化したものです。CARRYCASCOUT と MULTSIGNOUT をソフトウェアで表す場合、UniSim モデルで高精度の MACC 機能を構築することが可能です。これらはハードウェアの CARRYCASCOUT および MULTSIGNOUT と論理的に等価ではありません。ハードウェアとソフトウェアの結果 (P 出力) だけが論理的に等価であり、内部信号 (CARRYCASCOUT および MULTSIGNOUT) は異なります。図 A-5 を参照してください。

#### Software Model



#### Hardware Implementation



Partial products from the multiply operation are added together in the second stage ternary adder.

UG369\_A\_05\_111208

図 A-5 : MACC のソフトウェアとハードウェアのモデル