



XAPP523 (v1.0) 2012 年 4 月 6 日

7 シリーズ FPGA で LVDS を使用した 4x 非同期オーバーサンプリング

著者 : Marc Defossez

概要

このアプリケーション ノートでは、SelectIO™ インターフェイスプリミティブで LVDS を使用して非同期通信でデータをキャプチャする方法について説明します。この方法では、周波数がほぼ同じクロック ($\pm 100\text{ppm}$) を使用してデータをオーバーサンプリングします。このオーバーサンプリング手法では、異なるクロック位相でデータのサンプリングを行い、最も理想的なポイントのデータ サンプルを取得します。

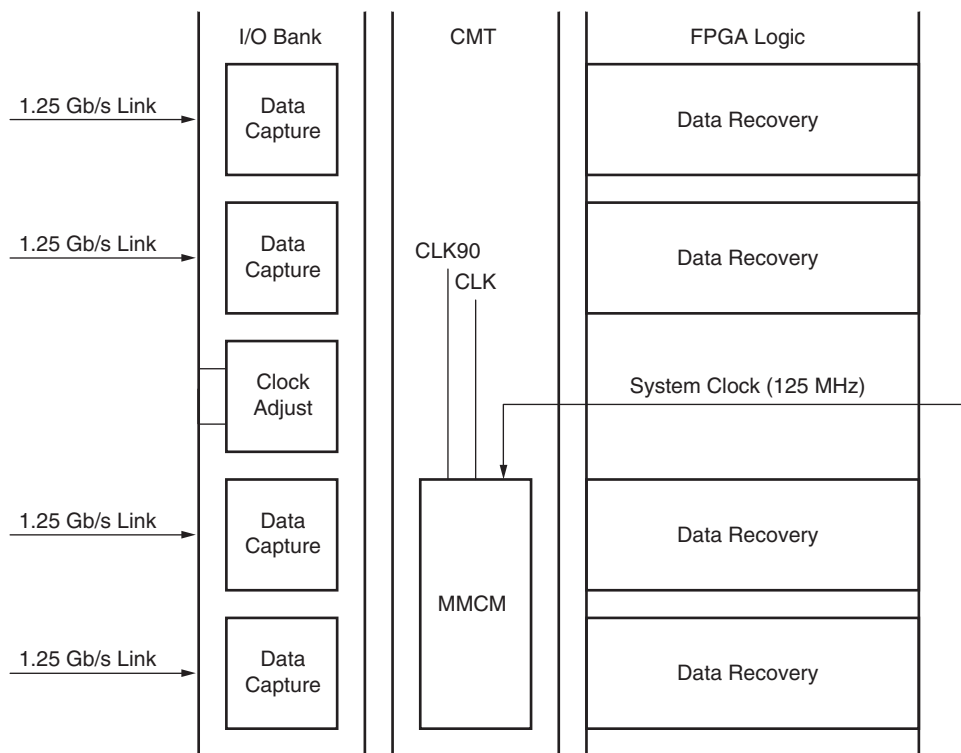
7 シリーズ FPGA の SelectIO インターフェイスは、1.25Gb/s で 4x の非同期オーバーサンプリングが可能です。オーバーサンプリングは、ISERDESE2 プリミティブを使用して実現されます。クロックは、コンポーネント間をつなぐ専用の高性能パスを経由してミックスモード クロック マネージャー (MMCME2_ADV) から生成されます。

はじめに

低電圧差動信号 (LVDS) を用いてデバイス間の通信を確立する最も一般的な方法は、クロックとデータの同期をとることです。つまり、クロックをある差動チャンネルで送出し、データを 1 つまたは複数の別の差動ペアで送信します。受信側では、(同期後の) クロックがデータをキャプチャするために使用されます。これをソース同期通信と呼びます。

個別の付随クロック信号を使用せずにデータを送信する場合は、データのキャプチャに用いるクロックは、受信側で入力データ ストリームから復元されなければなりません。これは非同期通信と呼ばれ、データ/クロック リカバリとしても知られています。ザイリンクスの GT トランシーバーはこの原理を用います。データ リカバリによって、レシーバーは入力クロック/データ ストリームからデータを抽出し、そのデータを新しいクロック ドメインへ移動させることができます。リカバリ クロックは、前方へのデータ処理または送信に使用する場合があります。

このアプリケーション ノートで説明する回路は、クロックは実際には復元されませんが入力データは完全に抽出される部分的なソリューションを提供しています。図 1 に、データ リカバリの一般的な使用例を示します。



X523_01_012012

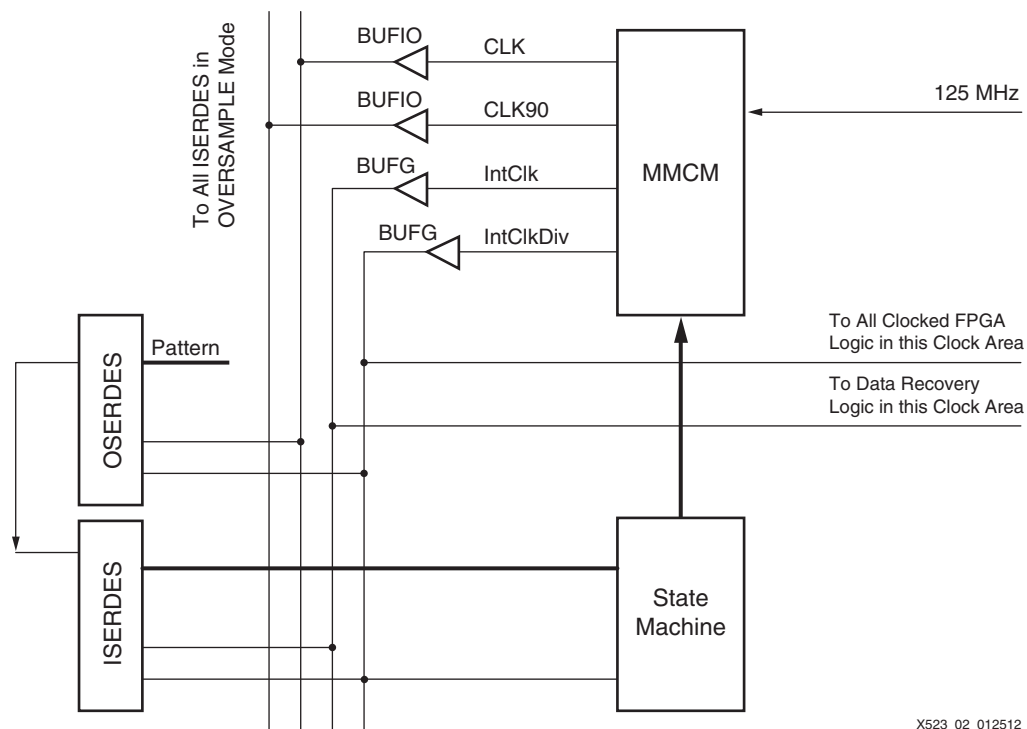
図 1: データ リカバリの一般的なアプリケーション

非同期オーバーサンプリング

信号処理でのオーバーサンプリングとは、サンプリングされる信号の 2 倍の帯域幅 (または最大周波数) よりも著しく高いサンプリング周波数を使用して、信号をサンプリングすることです。このアプリケーション ノートで説明する通信インターフェイスでは、この非常に高いサンプリング周波数を、位相シフトした複数クロックの異なるエッジを用いて得ています。サンプリング周波数を生成するために使用するクロックの周波数は通常データ ストリームと等しいため、この方法は非同期オーバーサンプリングと呼ばれます。

ここで対象とする回路は、キャプチャされるデータ ストリームと同じ標準の周波数で動作するクロック (ローカル オシレーター) を使用します。ここでいう標準とは、ローカル オシレーターが入力クロック/データ ストリームと比較して若干高速または低速であることを意味します。

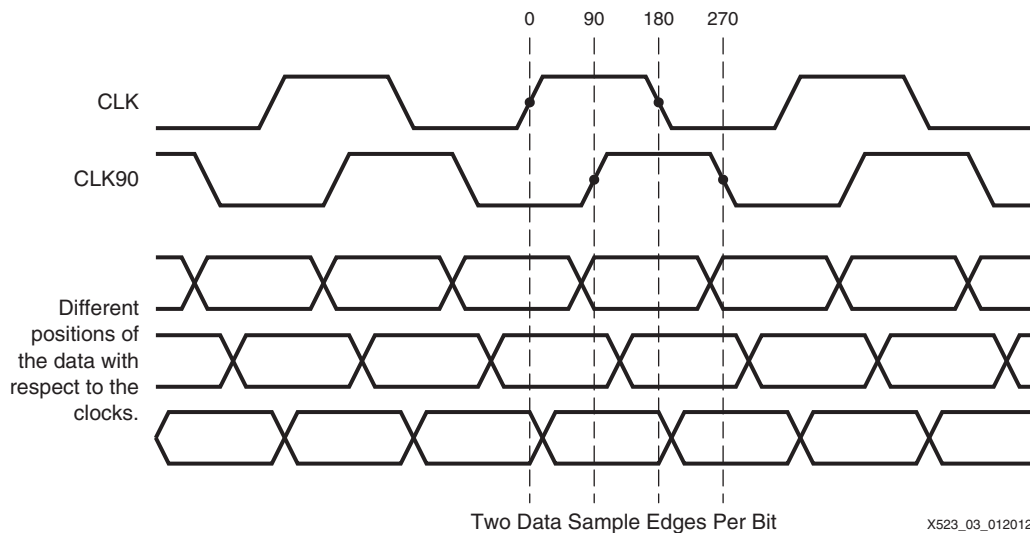
クロック マネージャー (MMCME2) を使用することで、一般にローカル クロック オシレーターで供給される低速のシステム クロックから位相シフトした高速クロックが生成されます (図 2 参照)。



X523_02_012512

図 2：MMCME2 を使用するクロック生成

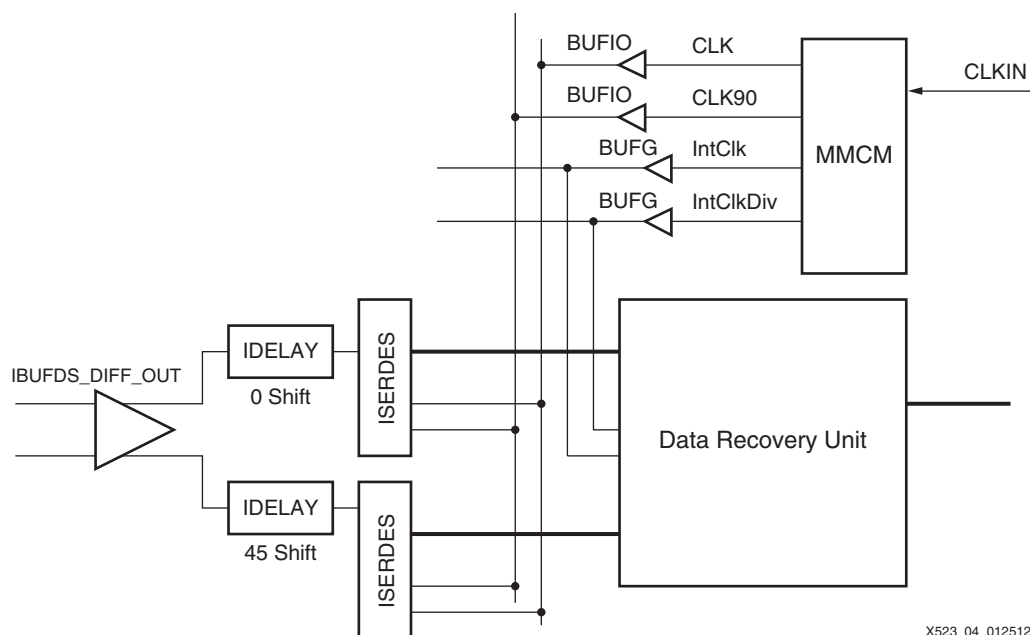
図 2 に示す 2 つの追加クロックと ISERDES/OSERDES の組み合わせによって実現する機能については、10 ページの「クロッキングとデータフロー」で説明します。生成された CLK および CLK90 クロックにより、入力データストリームが 4 つのエッジでオーバーサンプリング可能になります。つまり、DDR データストリームの各ビットを 2 回サンプリングできます (図 3 参照)。



X523_03_012012

図 3：4 つのクロック エッジでのデータ オーバーサンプリング

入力データストリームが 2 つに分岐し、一方が 45° 分遅延している場合、各データビットを 4x でオーバーサンプリングできます。図 4 に、この回路が MMCME2、IODELAYE2、および ISERDESE2 を使用してどのように構成されるかを示します。

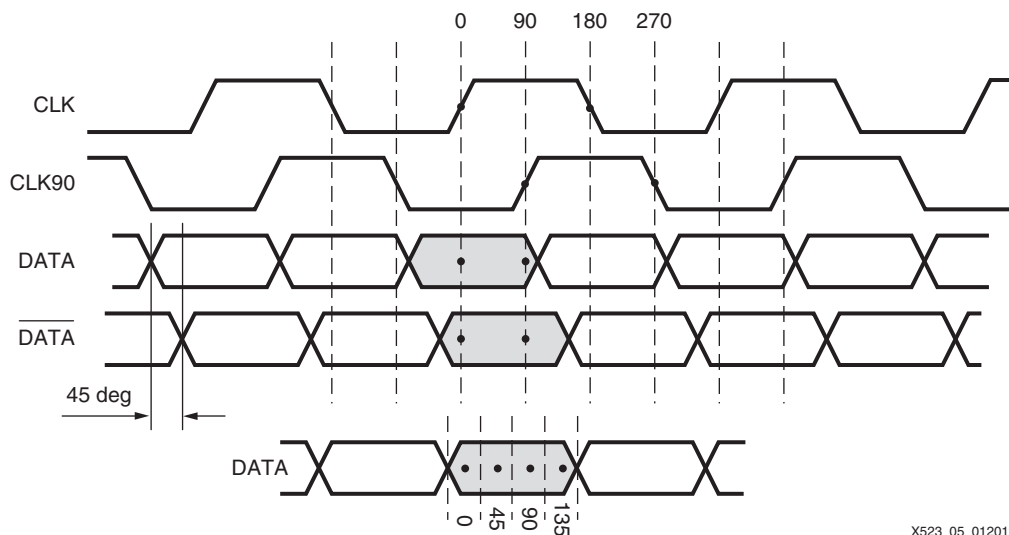


X523_04_012512

図 4：MMCM 位相クロックおよび同調データの生成

MMCME2 は、2つのクロック位相 (CLK0 と CLK90) を生成します。これらは、2つのクロックの立ち下がりと立ち上がりの両エッジを使用する ISERDESE2 に配線され、4つのクロック位相が作成されます。IBUFDS_DIFFOUT によって入力データのコピーが 2つ作成されます。分岐したデータの一方は 45° シフトし、もう一方は位相シフトしません。この位相シフトは、両データを IODELAYE2 に通すことで実現します。位相シフトしたデータはスレーブ ISERDESE2 に渡され、サンプルレートを効果的に 2倍にします。

ビット オーバーサンプリング用の 8つのクロック サンプル位相は、4つのクロック位相と 2つのデータ サンプル位相を組み合わせることで作成されます (図 5 参照)。



X523_05_012012

図 5：サンプル エッジ

IDELAY タップの設定の計算例

次に、IDELAY タップを設定するためのタイミングの仮定および計算の論理的な流れを示します。

1. 入力データ ストリームが 1.25Gb/s で動作すると仮定します (つまりビット時間は 800ps)。
2. CLK および CLK90 クロックは 625MHz (1.6ns) で動作します。
3. 0°、90°、180°、および 270° で到達する両クロックのエッジは、それぞれ 0、400、800、1200ps に位置します。
4. 45° シフトさせるには、分岐した一方のデータを 200ps 分遅延させる必要があります。
5. IDELAY コンポーネントのタップ遅延は、IDELAYCTRL コンポーネントによって制御されます。このデザインの IDELAYCTRL コンポーネントは 310MHz でクロックされるため、シングル タップ遅延は 52ps となります (詳細は、データシート [DS182](#) 『Kintex-7 FPGA データシート : DC 特性およびスイッチ特性』の入力/出力遅延のスイッチ特性を記載している表の注記 1 を参照)。
6. 45° 位相シフトに必要な 200ps 遅延を各タップの 52ps で割ると、3.8 または 4 タップとなることがわかります。

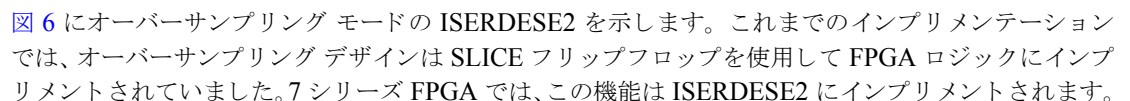
以上から、最初の IDELAY の IDELAY_VALUE を 0 に、2 つ目の (スレーブ) IDELAY の IDELAY_VALUE を 4 に設定する必要があります。

7 シリーズ ISERDESE2 オーバーサンプリ ング モード

7 シリーズ FPGA の ISERDESE2 コンポーネントは、以前の FPGA ファミリの類似するコンポーネント (Virtex-5 FPGA では ISERDES、Virtex-6 FPGA では ISERDESE1) を改善したものです。ISERDESE2 コンポーネントは次に示す 4 つの機能をインプリメント (つまり、コンフィギュレーション) できます。

- 最も基本的な機能である、IDDR フリップフロップ機能
- さらに複雑な機能として、高速なソース同期アプリケーションのインプリメンテーション (NETWORKING モード) を容易にするために設計された、固有のクロッキングとロジック機能を備えたシリアル-パラレル コンバーター
- ISERDES が QDR、DDR3 などの異なるメモリ タイプに対応する専用のインターフェイスとしてコンフィギュレーションされる MEMORY モード
- ISERDESE2 を OVERSAMPLING モードで使用できる機能。ISERDESE2 は DDR データの 2 つの位相をキャプチャする場合に使用します。つまり、このモードの ISERDESE2 は IDDR フリップフロップを 2 つ組み合わせたものとして使用されます。

ISERDESE2 の機能の詳細は、『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』([UG471](#)) を参照してください。

 [図 6](#) にオーバーサンプリング モードの ISERDESE2 を示します。これまでのインプリメンテーションでは、オーバーサンプリング デザインは SLICE フリップフロップを使用して FPGA ロジックにインプリメントされていました。7 シリーズ FPGA では、この機能は ISERDESE2 にインプリメントされます。

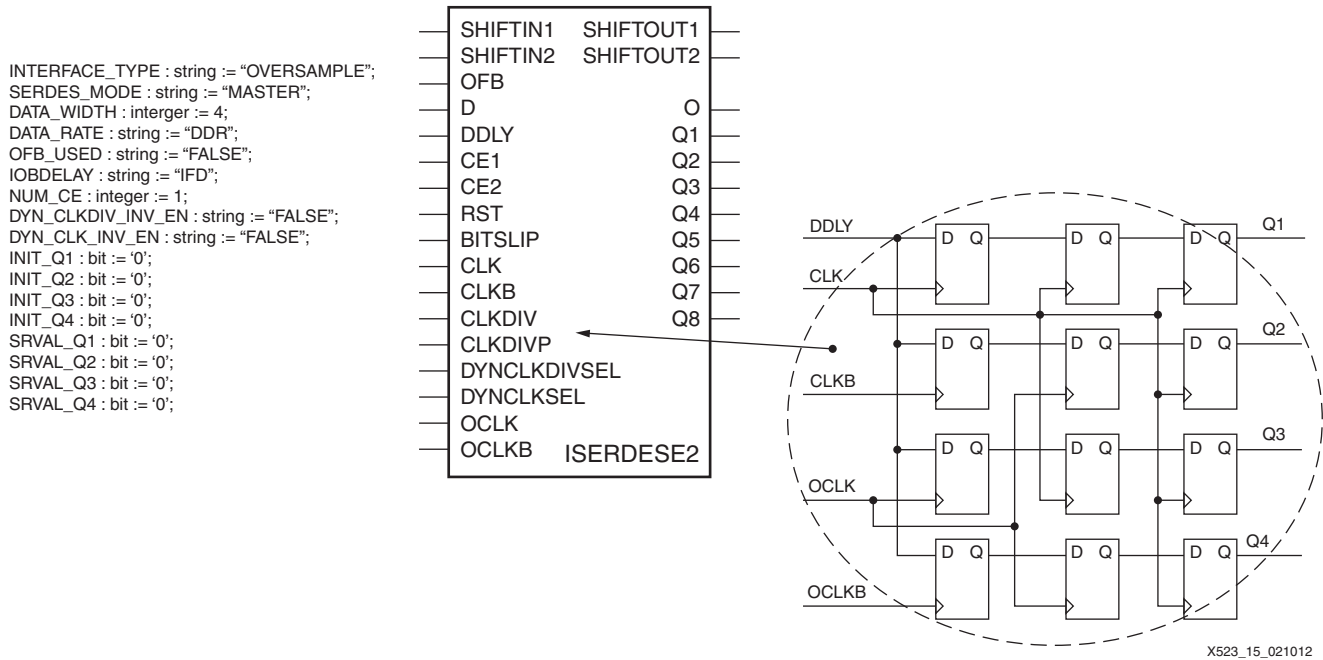


図 6 : OVERSAMPLING モード コンフィギュレーションの ISERDESE2

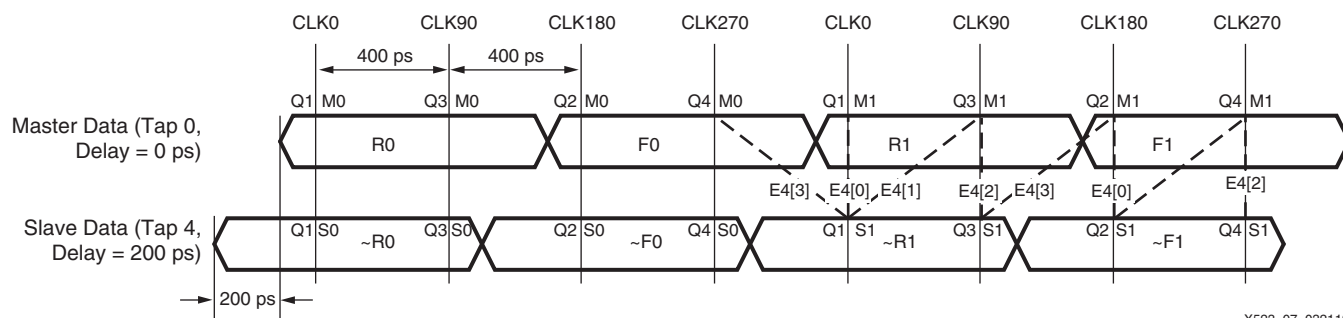
データ リカバリ ユニット

ネットワーキングモードの ISERDESE2 には、シリアルデータストリームをキャプチャするために高速サンプリングクロック (CLK) が必要です。また、キャプチャしたデータを ISERDESE2 からパラレルで出力するために、低速 CLK (CLKDIV) 機能も必要です。CLK レベルから CLKDIV レベルへの変換は ISERDESE2 の内部回路によって確実に CDC (Clock-Domain Crossing) 回路として機能します。

オーバーサンプリングモードの ISERDESE2 コンポーネントの出力は、高速サンプリングクロック (CLK/CLKB および OCLK/OCLKB) から生成されます。これらのクロックは、ISERDESE2/OSERDESE2 のクロッキングにのみ使用できます。

CDC 動作は、FPGA ロジックのレジスタにインプリメントする必要があります。この方法の詳細は、10 ページの「クロッキングとデータフロー」で説明します。CDC レジスタと一部の比較ロジックは、データリカバリユニット (DRU) にインプリメントされ、CLK 入力によってクロックされます。低速クロック (CLKP または CLKDIV) が残りの DRU にクロックを供給します。

図 7 は、FPGA に入力されるデータストリームを基準にしたサンプルポイントと比較ポイントの位置を示したものです。データストリームは 2 つあり、片方は 200ps (4 IDELAY タップ) の位相遅れがあります。このアプリケーションでは、入力データストリームの速度は 1.25Gb/s です。下側のデータストリームは、IBUFDS_DIFFOUT プリミティブを使用して上側のデータストリームを反転したものとなり、IBUFDS_DIFF_OUT (差動信号) の入力データと類似しています。



X523_07_032112

図 7: データ ストリームのサンプル ポイントと比較ポイント

データは、400ps (すなわち 90°) 間隔の 4 つのクロック位相 (CLK0、CLK90、CLK180、CLK270) でサンプリングされます (3 ページの図 3 参照)。クロックとデータ ストリームの交差したところがサンプルポイントとなります。サンプルポイントの命名規則は次のとおりです。

$$Qx [M \text{ または } S]x$$

説明

Qx = ISERDESE2 の出力 (Q1、Q2、Q3、Q4)

Mx または Sx = データ出力 (Qx) のソース ISERDESE2 (M = マスター、S = スレーブ)

たとえば「Q1M1」は、CLK0 でデータをサンプリングしてマスター ISERDESE2 のポート Q1 に出力するサンプルポイントを表します。

サンプルポイントを結ぶ E4[0] ~ E4[3] と書かれた点線は、データ エッジを検出するために DRU がデータを比較している部分を表しています。4 つの比較に関する式を式 1 ~ 式 4 に示します。

$$E4[0] = [Q1M1 \text{ xor } Q1S1] \text{ or } [Q2M1 \text{ xor } Q2S1] \quad \text{式 1}$$

$$E4[1] = [Q3M1 \text{ xor } Q1S1] \text{ or } [Q4M1 \text{ xor } Q2S1] \quad \text{式 2}$$

$$E4[2] = [Q2M1 \text{ xor } Q3S1] \text{ or } [Q4M1 \text{ xor } Q4S1] \quad \text{式 3}$$

$$E4[3] = [Q1M1 \text{ xor } Q4S0] \text{ or } [Q2M1 \text{ xor } Q3S1] \quad \text{式 4}$$

これらの比較ポイントは、元のデータ ストリームを基準にすると実際には 200ps の間隔があります。たとえば、式 1 の (E4[0]) xor は Q1M1 と Q1S1、および Q2M1 と Q2S1 を比較します。これらの比較は、E4[0] と書かれた 2 本のグレーの破線で示しています。

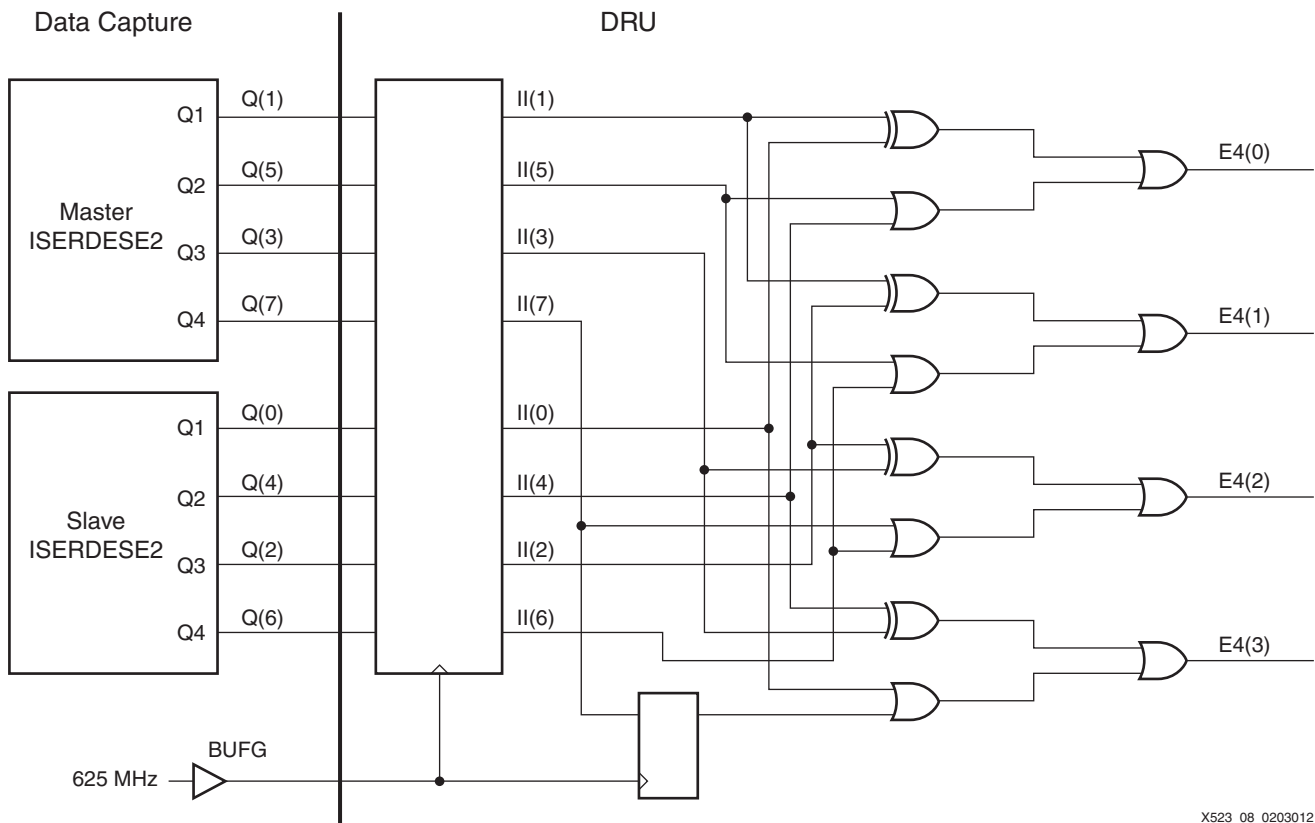
図 7 を参照して「Q1M1 xor Q1S1」の比較をまず確認すると、両ポイントが CLK0 でサンプルされていることがわかります。しかし、Q1S1 サンプルは IDELAYE2 によって Q1M1 よりも 200ps だけ遅延しているため、200ps 離れた 2 つのサンプルを比較することになります。同様に、Q2M1 と Q2S1 は共に CLK180 でサンプリングされていますが、IDELAYE2 によってスレーブ データ ストリームは遅延しているため、これらのサンプルポイントには 200ps の間隔があります。

CLK0 と CLK180 のいずれかのサンプルポイントの xor 演算の結果が 1 の場合、すなわちサンプリングしたデータのレベルが一致しない場合、2 つのサンプルポイント間にエッジ (レベル遷移) が存在すると判断できます。最初の E4[0] のサンプルポイント比較は立ち上がりエッジゾーンの R1 と $\overline{R1}$ で発生しており、2 番目の E4[0] サンプルポイントは立ち下がりエッジゾーンの F1 と $\overline{F1}$ で発生しています。このためどちらの比較も一致し、xor 演算の出力はいずれも 0 になります。したがって、DRU のステートマシンはデータ遷移のエッジが存在していないことになります。

これと対照的なのが、Q1M1 と Q4S0、および Q2M1 と Q3S1 を比較している式 4 に示す xor 演算です。Q1M1 は CLK0 でマスター データ ストリームからサンプリングされます。Q4S0 は CLK270 で位相に遅延のあるスレーブ データ ストリームからサンプリングされ、1 サイクルの間 DRU に格納されます。CLK270 と CLK0 は 400ps (90°) 離れていますが、スレーブ データには 200ps の遅延があるため、元のデータ ストリームを基準にすると Q1M1 と Q4S0 のサンプルポイントは実際には 200ps しか離れ

ていません。同様に、Q2M1 は CLK180 でアンプリングされ、Q3S1 は CLK90 でサンプリングされます。これらのサンプル ポイントも元のデータ ストリームを基準にすると 200ps しか離れていません。どちらの比較も、片方のサンプル ポイントは立ち上がりエッジゾーンにあり、もう片方のサンプル ポイントは立ち下がりエッジゾーンにあります。これら 2 つの比較は *xor* 演算の結果が 1 になり、各比較の 2 つのサンプル ポイント間のどこかにエッジ (レベル遷移) が存在することがわかります。

図 8 は式 1 ~ 式 4 を論理回路で表したもので、ISERDESE2 から出力されたデータがこのロジックにどのように入力されるかを示しています。ISERDESE1 とロジックの間にあるレジスタがタイミングを調整します。また、この図には直前のサンプルセットからのスレーブ ISERDESE2 の Q4 出力を一時格納してから新しいサンプルセットと比較する方法も示しています。



X523_08_0203012

図 8：エッジ検出回路

ここまでは、FPGA に入力されたデータを DRU に入力してデータ エッジを検出する方法を説明してきました。次に、比較データを DRU で処理する方法を説明します。このシンプルなステート マシンは、データ エッジの移動前後の位置に基づいて、データ エッジとサンプル ポイントの間隔を選択します。

電圧および温度の変動、ジッター、そしてソース クロックとレシーバー クロック間のオフセットなどがあるため、理想的なサンプル ポイントは一定ではありません。このため、比較ポイントの式の値も常に変化し、それに伴いステート マシンの状態も常に遷移します。図 9 および表 1 は、あるデータ セットから次のデータ セットへのステート マシンのフローを示したものです。

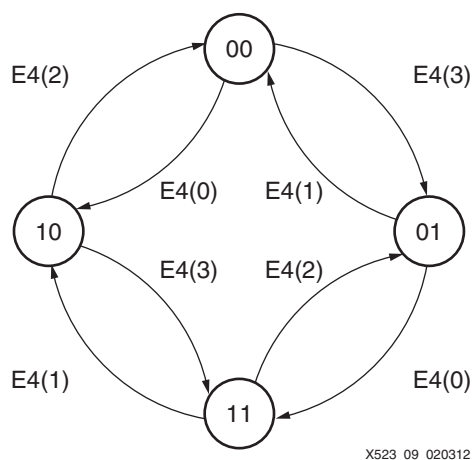


図 9: エッジ情報を用いたデータ選択

表 1: データ セレクト MAP

EQ	DO
00	Use samples Q(0) and Q(4)
01	Use samples Q(1) and Q(5)
11	Use samples Q(2) and Q(6)
10	Use samples Q(3) and Q(7)

表 1 で、EQ の列は、式 1 ～式 4 からの入力による現在のステート マシンの位置を示しています。DO の列は、インターコネクト ロジックで使用するサンプル セットを示しています。前述のとおり、オーバーサンプリング モードでの各 ISERDESE1 は基本的に IDDR フリップフロップを 2 つ組み合わせたものとして機能するため、DO は理想的なサンプル ポイントとしてどちらの IDDR フリップフロップを使用すればよいかを示します。

図 9 は、ステート マシンの現在の状態 (サンプル セット) から次の遷移先を示しています。たとえば、ステート マシンの最初の状態が 01 とすると、この状態では Q(1) および Q(5) 信号を使用します。これは、ISERDESE1 マスターの Q1 (CLK0) および Q2 (CLK180) 出力に該当します。

次に、データ エッジが左へ移動した場合、センター ポイントは CLK0/CLK180 から CLK90/CLK270 ヘシフトします。これによって E4(3) の値は 0 から 1 に変化し、ステート マシンの状態は 00 から 01 に遷移します。

ビット スキップ

エッジがデータ ビットの最初のサンプルの左側に移動すると、ビット スキップが発生します。また、データ ビットの最後のサンプルの右側に移動してもビット スキップが発生します。

最後のサンプルの左側でエッジを検出した場合、新しい現在のサンプルは最後のサンプルから右、すなわち次のデータの最初のサンプルへ移動します。表 1 で示すように、ステート マシンの状態が 10 のとき、Q(3) と Q(7) をサンプリングします。次に、ステート マシンの状態が 00 に遷移し、Q(0) と Q(4) をサンプリングします。ただし、ステート マシンの状態が 10 のときにデータ サンプルを既に取得しているため、ステート マシンの状態が最初の 00 になったときはサンプリングしたビットを 1 ビットだけドロップします。これをネガティブ ビット スキップと呼びます。ネガティブ ビット スキップは 1 クロックにつき 5 ビットを出力します。

最初のサンプルの右側でエッジを検出した場合、新しい現在のサンプルは左、すなわち次のデータの最後のサンプルへ移動します。表 1 で示すように、ステート マシンの状態が 00 のとき、Q(0) と Q(4) をサンプリングします。次に、ステート マシンの状態が 10 に遷移します。この状態で、Q(3) と Q(7) をサンプリングします。ただし、ステート マシンの状態が 00 と 10 のときにデータ サンプルを取得して

いないため、ステート マシンの状態が 10 のときに、現在のサンプルと一緒に最後のサンプルを取得します (7 ビットを出力)。これをポジティブ ビット スキップと呼びます。ポジティブ ビット スキップは 1 クロックにつき 7 ビットを出力します。

図 9 からわかるように、ビット スキップが発生するのはステート マシンの状態が 00 と 10 の間で遷移した場合のみです。ビット スキップが発生しない場合、サンプリングしたデータは SDR モードでは 1 クロックにつき 1 ビット、DDR モードでは 1 クロックにつき 2 ビット出力されます。

したがって、6 ビットの平行データの場合、次のようになります。

- ネガティブ ビット スキップが発生した場合のビット数は 5
- ポジティブ ビット スキップが発生した場合のビット数は 7
- ビット スキップが発生しない場合のビット数は 6

クロッキングとデータ フロー

データが FPGA のピンから FPGA インターコネクト ロジックに構成された 10 ビット幅のインターフェイスに到達するまでにはいくつかの過程があり、これらはすべてクロック ソースによって制御されます。クロック ソースは MMCME2 コンポーネントを介して生成されます。図 10 に、このデザインの構成を示します。各部分の上に記載した数字は、図 10 の後に続く、セクションで説明されているクロック転送ポイントを表しています。

DRU ロジックのクロックは、ステート マシンによって位相が一致しています。また、ISERDESE2 から DRU のレジスタまでの遅延が 600ps を超えないように注意してください。

- b. この段階では、データが 625MHz の BUFG クロックから 312.5MHz の BUFG クロックまで処理されます。これらのクロックは互いに位相が揃っているため、特別な要件はありません。

3. データ/クロックの送付

DRU からの 10 ビットデータはクロック イネーブル付きのユーザー インターコネクト ロジックに 312.5MHz クロック レートで現れます。

4. クロック アライメント ステート マシン

BUFIO と BUFG の互いの位相関係 (配線の長さ、クロック バッファの遅延など) は定義されていません。両クロック ドメイン間のデータ転送には、CDC ロジックを使用するか、またはこのアプリケーションで示すようにクロックの位相を揃える必要があります。クロックの位相アライメントを実行するには、キャリブレーションが設定されています。クロック アライメント回路は、FPGA の I/O バンクにあるすべての I/O は同一であり、したがって同じタイミングを持つことに基づいています。

- OSERDESE2 には固定のデータ パターンが読み込まれ、BUFG クロック ツリー (IntClk、IntClkDiv) からのクロックが与えられます。OSERDESE2 の出力は、IntClk (625MHz、BUFG) クロック レートで送付されるクロック パターンです。このクロック パターンは、BUFIO クロック ツリーから実行の隣接する ISERDESE2 によってフィードバック パスを介してキャプチャされます。データをキャプチャする ISERDESE2 は、同じクロック ツリーで動作します。
- この手法では、2 つのクロックの位相関係を計測できます。小型のステート マシンを用いる MMCM の独立した位相シフト機能を利用して、BUFG クロックは位相の一致した BUFIO クロックと位相が揃えられます。CLK90 クロック (625MHz) は CLK クロック (625MHz) に合わせて位相シフトし、IntClkDiv クロック (312.5MHz) は IntClk クロック (625MHz) に合わせて位相シフトします。

この位相キャリブレーション プロセスを図 11 に示します。

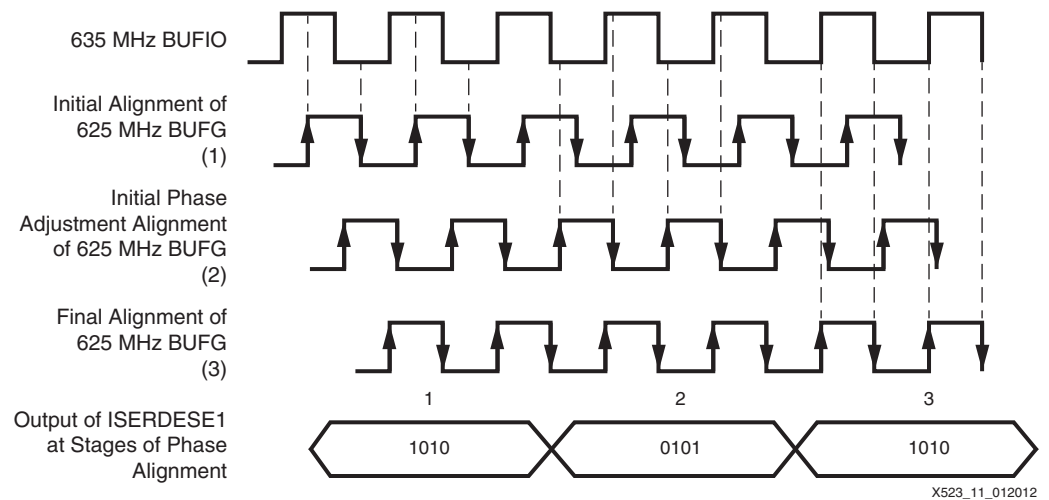


図 11 : BUFG と BUFIO の位相アライメントに適用される波形

このクロッキング手法を可能にするには、MMCME2 を適切にコンフィギュレーションする必要があります。MMCM のコンフィギュレーション例を次のセクションで説明します。

MMCME2 クロック生成

ここで説明する演算は、MMCME2 の入力周波数が 125MHz であり、その出力クロックは 1.25Gb/s (625MHz DDR) データ ストリームをサンプルする必要があると仮定しています。この計算例で使用されるコンポーネントは、-2 スピード グレードの Kintex™-7 FPGA です。

図 11 に示すように、1 つの MMCME2 をインターフェイスのクロック ソースとして使用します。つまり、MMCME2 は次のクロックを供給する必要があります。

- **ClkRef** : 312.5MHz で動作するのが理想的だが、IDELAY_CTRL コンポーネントのパラメーターによって 310MHz (REFCLK 周波数 = 300MHz ±10MHz) に制限されている
- **CLK** : BUFIO を介して 625MHz で動作
- **CLK90** : BUFIO を介して 625MHz で動作する反転 CLK
- **IntClk** : BUFG を介して 625MHz で動作
- **IntClkDiv** : BUFG を介して 312.5MHz で動作

データシート [DS182](#) 『Kintex-7 FPGA データシート : DC 特性およびスイッチ特性』によると、-2 スピード グレードの MMCM のスイッチ特性は次のとおりです。

- $MMCM_F_{IN_MIN} = 10\text{MHz}$
- $MMCM_F_{IN_MAX} = 933\text{MHz}$
- $MMCM_F_{VCO_MIN} = 600\text{MHz}$
- $MMCM_F_{VCO_MAX} = 1440\text{MHz}$
- $MMCM_F_{OUT_MIN} = 4.69\text{MHz}$
- $MMCM_F_{OUT_MAX} = 933\text{MHz}$
- $MMCM_F_{PFD_MIN} = 10\text{MHz}$
- $MMCM_F_{PFD_MAX} = 500\text{MHz}$ (帯域幅は High または Optimized に設定)

数式 :

$$D_{MIN} = \text{RoundUp} \left(\frac{F_{IN}}{F_{PFD_MAX}} \right) = 1 \quad \text{式 5}$$

$$D_{MAX} = \text{RoundDown} \left(\frac{F_{IN}}{F_{PFD_MAX}} \right) = 12 \quad \text{式 6}$$

$$M_{MIN} = \left(\text{RoundUp} \left(\frac{F_{VCO_MIN}}{F_{IN}} \right) \right) \nmid D_{MIN} = 5 \quad \text{式 7}$$

$$M_{MAX} = \text{RoundDown} \left(\left(\frac{D_{MAX}}{F_{VCO_MIN}} \right), F_{IN} \right) = 138 \quad \text{式 8}$$

$$M_{IDEAL} = \left(\frac{D_{MIN} \nmid F_{VCO_MAX}}{F_{IN}} \right) = 11.52 \quad \text{式 9}$$

MMCME2 内部の PLL を最適な条件で動作させるには、動的な位相検出器 (F_{PFD_MAX}) を超えない範囲で F_{VCO} を最大にする必要があります。

VCO 周波数は、式 10 から求められます。

$$F_{VCO} = F_{IN} \nmid \left(\frac{M}{D} \right) \quad \text{式 10}$$

D は 1 で、 M の値を 5 ~ 138 の間とする必要があります。125MHz の入力クロックで、 M が 10 を取る場合、VCO 周波数は 1250MHz となります (M が 12 を取るとした場合、VCO 周波数は 1500MHz となり、高すぎる)。

$$F_{VCO} = F_{IN} \nmid \left(\frac{M}{D} \right) = 125\text{MHz} \nmid \frac{10}{1} = 1250\text{MHz} \quad \text{式 11}$$

MMCME2 の出力クロックは、式 12 から求められます。

$$F_{OUT} = F_{IN} \div \left(\frac{M}{D \div 0} \right) \quad \text{式 12}$$

説明

O は、MMCME2 クロック出力の出力カウンターの分周値です。

D は、MMCME2 属性で使用する値です。

- MMCME2 の CLK0 出力は、分周値として実数を取ります。これは、1250MHz から 310MHz を生成するのに最適です。
 - D 値は 4.0322 です。
- MMCME2 の CLK1 および CLK2 出力を使用し、BUFIO クロック バッファを介して ISERDESE2 へ分配される 625MHz クロックを生成します。
 - 両クロックの D 値は 2 です。
- 次に、クロック出力 CLK3 および CLK4 を使用して 312.5MHz の IntClkDiv クロックと 625MHz の IntClkv クロックを生成します。これらのクロック出力を位相シフトさせる必要があります。したがって、MMCM の位相シフト動作に対応する属性を有効にする必要があります。
 - CLK3 (312.5MHz) の D 値は 4 です。
 - CLK4 (625MHz) の D 値は 2 です。
 - これら両方を有効にする属性は CLKOUTn_USE_FINE_PS です。
- n = クロック出力 (3 または 4)

リファレンス デザイン

リファレンス デザイン ファイルは、次のリンク先からダウンロードできます。

<https://secure.xilinx.com/webreg/clickthrough.do?cid=184349>

表 2 に、リファレンス デザインのチェックリストをまとめています。

表 2：リファレンス デザインの詳細

パラメーター	説明
全般	
開発元	Marc Defossez
ターゲット デバイス	Kintex-7 および Virtex-7 FPGA 推奨するスピード グレード：-2 および -3、そして -1 デバイスの HP I/O バンクのみ (-1 スピード グレードには注意が必要。推奨事項については、ソース コードを参照)
ソース コードの提供	あり
ソース コードの形式	VHDL
使用した IP	なし
シミュレーション	
機能シミュレーションの実施	はい
タイミング シミュレーションの実施	いいえ
テストベンチの形式	VHDL
シミュレータ ソフトウェア / バージョン	ISIM_13.3 またはそれ以降
SPICE/IBIS シミュレーション	いいえ

表 2：リファレンス デザインの詳細(続き)

パラメーター	説明
インプリメンテーション	
合成ツール/バージョン	XST 13.3 またはそれ以降
インプリメンテーション ツール/バージョン	ISE Design Suite 13.3 またはそれ以降
スタティック タイミング解析の実施	はい
ハードウェア検証	
ハードウェア検証	はい
検証に使用したハードウェアプラットフォーム	KC705 ボード

表 3 は、リファレンス デザインの使用率をまとめたものです。このリファレンス デザインにはデュアル レシーバーが 1 つ含まれています。デモおよびテスト用に、PRBS トランスミッターと PRBS 受信ブロックが KC705 ボード上に追加されています。デュアル レシーバーのデザイン使用率のみがリストされています。インプリメンテーションには、XC7K325T-2-FFG900 デバイスを使用しています。

表 3：リファレンス デザインの使用率

コンポーネント	パーセンテージ (%)	総数	使用数
フリップフロップ	1	407,600	191
スライス		203,800	
LUT	1		174
メモリ	1		17
SRL	1		17
ルートスルー			2
BUFG/BUFGCTRL	9	32	3
ISERDESE2	1	500	5
OSERDESE2			1
IDELAYE2	1	350	4
IDELAYCTRL	1	10	1
MMCME2 ⁽¹⁾	1	10	1

注記：

1. 各 I/O バンクに CME2 が 1 つ必要です。1 つの I/O バンクで 19 の受信チャンネルに対応できます。クロック位相調整 (CDC ロジック) 用に 1 組の ISERDESE2/OSERDESE2 を未使用しておく必要があります。

デザインには、UCF でフロアプラン制約を適用しています。このようにインプリメントすると、各レシーバーで同量の FPGA ロジックが使用されるようになり、すべての 7 シリーズ FPGA でデザインの拡張が容易になります。詳細は、リファレンス デザイン ZIP ファイルに含まれる資料を参照してください。

レシーバーの UI とジッター許容値

ここで使用した DRU 方式では、2 つの有効なサンプル ポイントが常に必要です。つまり、開始点は 0.500 UI です。オーバーサンプリングは、等間隔のサンプル ポイントを利用しているため、これらの間隔に誤差があるとレシーバーのジッター アイ要件が厳しくなります。

$$\text{レシーバージッター アイ要件} = \text{DRU のアイ要件} + \text{サンプリング位相誤差} \\ 0.625 \text{ UI} = (0.500 \text{ UI}) + (0.125 \text{ UI})$$

サンプリング位相誤差には、125MHz クロックを受け取り、これを 625MHz に通倍したものを 2 つの BUFIO に位相シフトして供給し、IODELAYE2 で 200ps の位相シフトを生成することによって生じるすべての影響が含まれます。

サンプリング位相誤差に含まれるもの：

- リファレンス デザインで正確に設定した場合の MMCME2_ADV ジッター
- CLK0 と CLK90 の間の MMCME2_ADV 位相誤差
- MMCME2_ADV DCD
- IODELAYE2 の遅延精度 (200ps の位相シフトを生成する能力)
- IODELAYE2 のパターン依存性ジッター
- マスターおよびスレーブ ISERDESE2 の 2 つのパスのオフセット

サンプリング位相誤差に含まれないもの：

- MMCME2_ADV のその他のクロック周波数または設定
- シグナル インテグリティの損失 (ISI、ボード ジッターなど)
- デバイス内部のジッター

インターフェイスを検証するために、異なるプロセス、電圧、温度で特性評価を実施します。総ジッター許容量は 0.375 UI です。

リファレンス デザインのディレクトリセットアップ

デザインは高度な階層構造となっているため、優れた柔軟性を提供し、デザイン モジュールの再利用が可能です。図 12 に、デザインのトップ構造を示します。

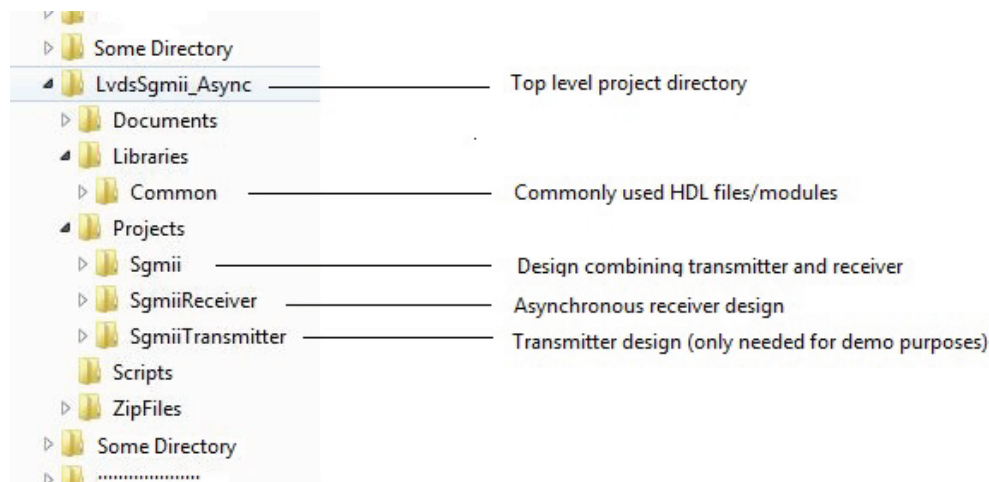
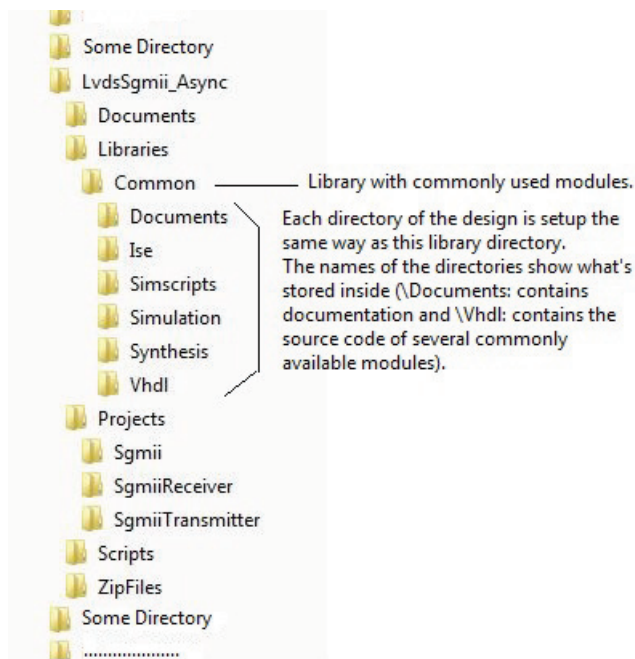


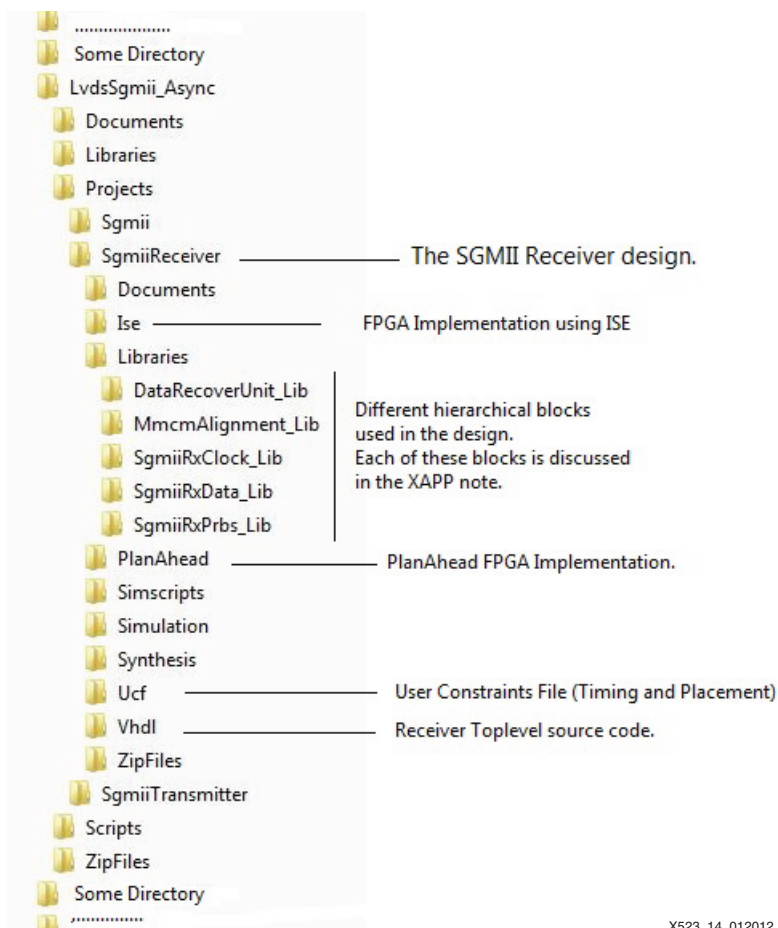
図 12：デザインの最上位セットアップ

図 13 および図 14 に、Common と SgmiiReceiver フォルダのディレクトリ構造をそれぞれ示します。



X23_13_012012

図 13: Common のディレクトリ構造



X523_14_012012

図 14: ライブラリのディレクトリ構造を含む SgmiiReceiver デザイン

SgmiiReceiver は、デザインの中で唯一カスタム インプリメンテーションに必要な部分です。これについては、このアプリケーション ノートでも説明されています。

まとめ

ザイリンクスの FPGA は、SelectIO インターフェイス リソースを使用して非同期通信をインプリメントできるため、GT トランシーバーがほかの用途に使用できます。このインプリメンテーションでは、より小型の FPGA を選択することが可能になり、コスト削減につながります。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2012 年 4 月 6 日	1.0	初版リリース

Notice of Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available “AS IS” and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。