



# Zynq UltraScale+ RFSoc データシート: 概要

DS889 (v1.14) 2023 年 6 月 27 日

Production 製品仕様

この資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

## 概要

Zynq™ UltraScale+™ RFSoc ファミリは、高機能な 64 ビット クワッドコア Arm® Cortex®-A53 およびデュアルコア Arm Cortex-R5F ベースのプロセッシングシステムを含む SoC プラットフォームに、マルチバンド/マルチモードのセルラー無線およびケーブル インフラストラクチャ (DOCSIS) 用の主要サブシステムを統合したものです。

プロセッシングシステムを備えた UltraScale™ アーキテクチャのプログラマブル ロジックに RF-ADCs、RF-DACs、SD-FEC (Soft Decision Forward Error Correction) を組み合わせたダイレクト RF サンプリング データ コンバーターを含む Zynq UltraScale+ RFSoc ファミリは、完全なソフトウェア無線を実装でき、CPRI™ およびギガビット イーサネットから RF への変換を 1 個の非常にプログラマブルな SoC で実現できます。

Zynq UltraScale+ RFSoc は、最大 16 チャンネルの RF-ADCs および RF-DACs を統合しており、どの世代の製品においても優れたノイズ スペクトル密度特性を備えています。RF データ コンバーターには、プログラマブルな補間および間引きフィルター、NCO (Numerically Controlled Oscillator)、およびコンプレックス ミキサーを備え電力効率に優れたデジタルダウン コンバーター (DDC) とデジタルアップ コンバーター (DUC) も含まれます。これらの DDC と DUC はデュアルバンド動作もサポートできます。Zynq UltraScale+ RFSoc DFE デバイスは、広く使用されている DFE 処理 IP を搭載し、低消費電力で低コストの 5G 無線ソリューションを実現します。表 1 に、主な機能とサンプルレートを示します。

表 1: RF データ コンバーター サブシステムの機能

		ZU21DR	ZU25DR ZU27DR ZU28DR	ZU29DR	ZU39DR	ZU42DR	ZU43DR	ZU46DR	ZU47DR ZU48DR	ZU49DR	ZU63DR	ZU64DR	ZU65DR	ZU67DR					
		Gen 1				Gen 2	Gen 3					DFE							
12 ビット RF-ADC、DDC あり	ADC 数	0	8	16	16	-	-	-	-	-	-	-	-	-					
	最大レート (GSPS)	0	4.096	2.058	2.220	-	-	-	-	-	-	-	-	-					
14 ビット RF-ADC、DDC あり	ADC 数	-	-	-	-	8	2	4	8	4	8	16	4	2	8	2	6	8	2
	最大レート (GSPS)	-	-	-	-	2.5	5.0	5.0	2.5	5.0	5.0	2.5	2.95	5.9	2.95	5.9	5.9	2.95	5.9
14 ビット RF-DAC、DUC あり	DAC 数	0	8	16	16	8	4	12	8	16	4	8	6	8					
	最大レート (GSPS)	0	6.554	6.554	6.554	9.85 <sup>(2)</sup>	9.85 <sup>(2)</sup>	9.85 <sup>(2)</sup>	9.85 <sup>(2)</sup>	9.85 <sup>(2)</sup>	10.0 <sup>(3)</sup>	10.0 <sup>(3)</sup>	10.0 <sup>(3)</sup>	10.0 <sup>(3)</sup>					
RF-ADC あたりの DDC 数 <sup>(1)</sup>		0	1	1	1	1	2	1	1	1	1	1	1	1					
RF 入力周波数最大 (GHz)		4			5	6					7.125								
間引き/補間		1x, 2x, 4x, 8x			1x, 2x, 4x, 8x	1x, 2x, 3x, 4x, 5x, 6x, 8x, 10x, 12x, 16x, 20x, 24x, 40x					1x, 2x, 3x, 4x, 5x, 6x, 8x, 10x, 12x, 16x, 20x, 24x, 40x								

### 注記:

- この値は、各 RF-ADC タイルにあるすべての RF I/O が使用されている場合に適用されます。
- 10GSPS の RF-DAC 動作については、販売代理店にお問い合わせください。
- 10GSPS の RF-DAC 動作は、2I スピード グレードで利用可能です。

SD-FEC は、LTE などの無線アプリケーションではターボ デコード モード、そして 5G 無線、バックホール、および DOCSIS 3.1 ケーブル モデムでは LDPC エンコード/デコード モードで使用できる非常に柔軟な前方エラー訂正エンジンです。

AMD アダプティブ コンピューティングは、従業員、顧客、パートナーそれぞれが認められ、受け入れられていると実感できる環境作りに取り組んでいます。その一環として、製品資料およびその他関連資料に含まれる非包括的な用語/表現を排除していきます。当社ソフトウェアおよび IP に組み込まれている用語を含め、人を差別、疎外したり、歴史的な偏見を増長する可能性のある表現をなくすための社内的取り組みが始まっています。該当表現を改め、進化する業界標準に則った取り組みを進めていますが、旧製品資料には配慮に欠ける表現が残っている可能性があります。詳細は、この [リンク](#) を参照してください。

DS889 (v1.14) 2023 年 6 月 27 日

Production 製品仕様

## Zynq UltraScale+ RFSoc の主要コンポーネント

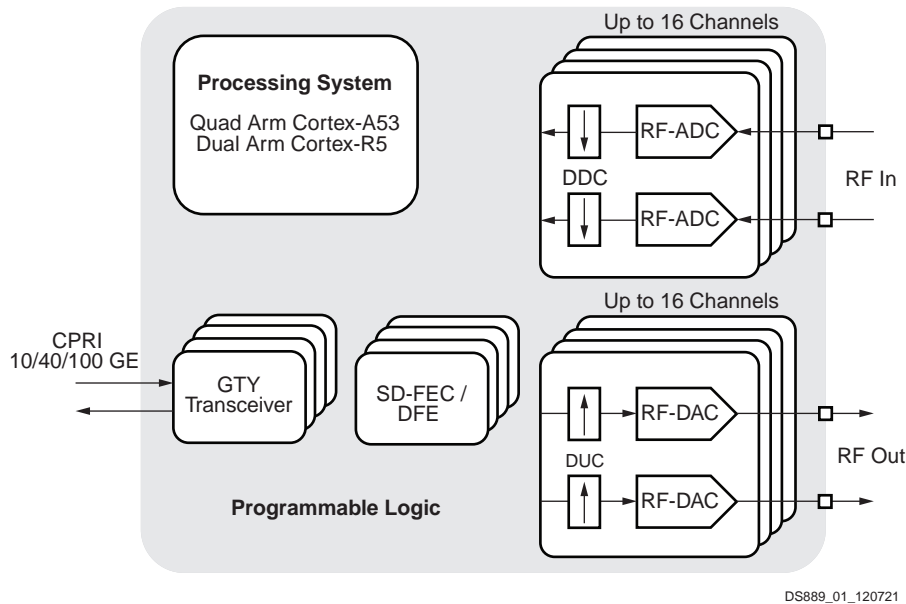


図 1: Zynq UltraScale+ RFSoc

## 機能概要

## RF データ コンバーター サブシステム

ほとんどの Zynq UltraScale+ RFSoc は、高周波 (RF) アナログ/デジタル コンバーター (RF-ADCs) と RF デジタル/アナログ コンバーター (RF-DACs) をそれぞれ複数含む RF データ コンバーター サブシステムを備えています。電力効率に優れた高精度で高速な RF-ADCs および RF-DACs は、real データ用に個別に設定することも I/Q データ用にペアで設定することもできます。

## デジタル フロントエンド (DFE)

Zynq UltraScale+ RFSoc DFE デバイスは、5G 無線で必要とされる多くの DFE 機能を実行する IP コアを統合しています。5G に向けて新しい無線規格が急速に進化する中、統合された DFE IP とプログラマブル ロジックの適応性を組み合わせて使用することで、低リスクで柔軟な 5G 実装が可能になります。

## SD-FEC (Soft Decision Forward Error Correction)

一部の Zynq UltraScale+ RFSoc には、不安定またはノイズの多い通信チャネルでデータを転送する際のエラー抑制手段として、データのデコード/エンコードに使用できる非常に柔軟な SD-FEC ブロックが内蔵されています。SD-FEC ブロックは、5G 無線、バックホール、DOCSIS、および LTE アプリケーションで使用する LDPC (低密度パリティチェック) デコード/エンコードおよびターボデコードをサポートします。

## プロセッシング システム

Zynq UltraScale+ RFSoc は、クワッド コア Arm Cortex-A53 (APU) とデュアル コア Arm Cortex-R5F (RPU) ベースのプロセッシング システム (PS) を備えています。

プロセッサの機能をサポートするため、PS には専用機能を備えた多数のペリフェラルが内蔵されています。データ保存またはコンフィギュレーション格納用の外部メモリとのインターフェイスとして、PS にはマルチプロトコルのダイナミック メモリ コントローラー、DMA コントローラー、NAND コントローラー、SD/eMMC コントローラーおよびクワッド SPI コントローラーがあります。外部メモリへのインターフェイスに加え、APU にはレベル 1 (L1) とレベル 2 (L2) のキャッシュ階層、RPU には L1 キャッシュと密結合メモリ サブシステムがあります。これらは 256KB オンチップ メモリへのアクセスを持ちます。

高速インターフェイスとして、PS には PS-GTR と呼ばれる 4 チャンネルのトランシーバー (TX/RX ペア) があり、最大 6.0Gb/s のデータレートをサポートしています。これらのトランシーバーを高速ペリフェラルと接続することで、5.0GT/s の PCIe® (Gen2) ルート コンプレックスまたはエンドポイント (x1、x2、または x4 コンフィギュレーション)、シリアル ATA (SATA) (データレート 1.5Gb/s、3.0Gb/s または 6.0Gb/s)、最大 2 レーンの DisplayPort (データレート 1.62Gb/s、2.7Gb/s または 5.4Gb/s) をサポートします。PS-GTR トランシーバーは USB 3.0 および SGMII (Serial Gigabit Media Independent Interface) 経由でコンポーネントに接続することもできます。

汎用コネクティビティとして、PS にはホスト、デバイス、On-The-Go (OTG) として設定可能な 2 つの USB 2.0 コントローラー、I2C コントローラー、UART、ISO11898-1 に準拠した CAN2.0B コントローラーが用意されています。このほか、4 つのトライスピード イーサネット MAC、128 ビットの GPIO (うち MIO 経由では 78 ビット、EMIO 経由では 96 ビットを利用可能) もあります。

プロセッシング ユニットとペリフェラルの接続、および PS とプログラマブル ロジック (PL) のインターフェイスには Arm AMBA® AXI4 プロトコルに基づく広帯域コネクティビティを採用しています。

## I/O、トランシーバー、PCIe、100G イーサネット、150G Interlaken

データは、高性能なパラレル SelectIO™ インターフェイスと高速シリアル トランシーバー コネクティビティを共に使用し、オンチップ/オフチップに伝送されます。I/O ブロックは I/O 規格と電圧を柔軟にサポートすることで、最先端のメモリ インターフェイスおよびネットワーク プロトコルを提供します。UltraScale アーキテクチャ デバイスに搭載されるシリアル トランシーバーは、最大 28.21Gb/s でデータを転送し、前世代のトランシーバーと比較してビットあたりの消費電力を大幅に削減しながら、25G+ のバックプレーン デザインを可能にします。PS-GTR を除くすべてのトランシーバーは、8.0GT/s (Gen3) および 16.0GT/s (Gen4) の PCIe に必要なデータレートをサポートします。PCIe 用統合ブロックはエンドポイントまたはルート ポートとして構成でき、ターゲット デバイスのスピード グレードおよびパッケージによって、さまざまなリンク幅とスピードに対応します。150Gb/s Interlaken および 100Gb/s イーサネット (100G MAC/PCS) 用の統合ブロックは、UltraScale デバイスの性能を拡張し、Nx100G スイッチおよびブリッジ アプリケーションをシンプルに、そして高い信頼性でサポートします。

## クロックおよびメモリ インターフェイス

Zynq UltraScale+ RFSoc は、クロック合成、バッファリング、コンポーネントの配線を含む優れたクロック管理回路を備え、さまざまなデザイン要件に対応する高機能なフレームワークを提供します。クロック ネットワークによって非常に柔軟なクロック分散が可能で、クロック信号に関連するスキュー、消費電力、および遅延を最小限に抑えることができます。クロック管理テクノロジーは専用のメモリ インターフェイス回路と密接に統合されているため、DDR4 など高性能な外部メモリがサポートされます。また、Zynq UltraScale+ RFSoc ではパラレル メモリ インターフェイスだけでなく、ハイブリッド メモリ キューブ (HMC) などのシリアル メモリもサポートされます。

## 配線、ロジック、ストレージ、信号処理

コンフィギュラブル ロジック ブロック (CLB) には、6 入力のルックアップ テーブル (LUT) とフリップフロップ、27x18 乗算器を持つ DSP スライス、ビルトイン FIFO を備え ECC をサポートする 36Kb ブロック RAM、4Kx72 UltraRAM ブロックが含まれ、これらはすべて高性能で低レイテンシの豊富なインターコネクで接続されます。CLB はロジック機能以外にも、シフトレジスタ、マルチプレクサー、キャリー ロジック機能を提供します。LUT は分散メモリとして構成でき、高機能でコンフィギュラブルなブロック RAM を補います。96 ビット XOR ファンクション、27 ビット前置加算器、30 ビット A 入力を備える DSP スライスは、乗累算、積和算、パターン検出など多数の独立したファンクションを実行します。

## コンフィギュレーション、暗号化、システム モニター

Zynq UltraScale+ RFSoc は、256 ビット AES-GCM および SHA/384 ブロックによるセキュアブートをサポートする、コンフィギュレーション/セキュリティ ユニット (CSU) 経由でブートします。ブート後は、CSU 内の暗号化エンジンをユーザーによる暗号化に使用できます。システム モニターでは、オンチップの温度および電源センサーによって物理的環境や最大で 17 個の外部アナログ入力をモニタリングできます。

# Zynq UltraScale+ RFSoc の機能一覧

表 2: Zynq UltraScale+ RFSoc の機能一覧

		XCZU21DR	XCZU25DR	XCZU27DR	XCZU28DR	XCZU29DR	XCZU39DR	XCZU42DR	XCZU43DR	XCZU46DR	XCZU47DR	XCZU48DR	XCZU49DR
12 ビット RF-ADC、DDC あり	ADC 数	0	8	8	8	16	16	–	–	–	–	–	–
	最大レート (GSPS)	0	4.096	4.096	4.096	2.058	2.220	–	–	–	–	–	–
14 ビット RF-ADC、DDC あり	ADC 数	–	–	–	–	–	–	8	2	4	8	4	8
	最大レート (GSPS)	–	–	–	–	–	–	2.5	5.0	5.0	2.5	5.0	2.5
14 ビット RF-DAC、DUC あり	DAC 数	0	8	8	8	16	16	8	4	12	8	8	16
	最大レート (GSPS)	0	6.554	6.554	6.554	6.554	6.554	9.85	9.85	9.85	9.85	9.85	9.85
SD-FEC		8	0	0	8	0	0	0	0	8	0	8	0
デジタル フロントエンド		–	–	–	–	–	–	–	–	–	–	–	–
アプリケーション プロセッシング ユニット		クラウド コア Arm Cortex-A53 MPCore (CoreSight™、NEON および単精度/倍精度浮動小数点演算ユニット、32KB/32KB L1 キャッシュ、1MB L2 キャッシュ内蔵)											
リアルタイム プロセッシング ユニット		デュアル コア Arm Cortex-R5F (CoreSight、単精度/倍精度浮動小数点演算ユニット、32KB/32KB L1 キャッシュ、TCM 内蔵)											
エンベデッドおよび外部メモリ		256KB オンチップ メモリ (ECC あり)、外部 DDR4、DDR3、DDR3L、LPDDR4、LPDDR3、外部クラウド SPI、NAND、eMMC											
汎用コネクティビティ		214 本の PS I/O、UART、CAN、USB 2.0、I2C、SPI、32b GPIO、リアルタイムクロック、ウォッチドッグタイマー、トリプルタイマーカウンター											
高速コネクティビティ		4 つの PS-GTR、PCIe® Gen1/2、シリアル ATA 3.1、DisplayPort 1.2a、USB 3.0、SGMII											
システム ロジックセル		930,300	678,318	930,300	930,300	930,300	930,300	489,300	930,300	930,300	930,300	930,300	930,300
CLB フリップフロップ		850,560	620,176	850,560	850,560	850,560	850,560	447,360	850,560	850,560	850,560	850,560	850,560
CLB LUT		425,280	310,088	425,280	425,280	425,280	425,280	223,680	425,280	425,280	425,280	425,280	425,280
分散 RAM (Mb)		13.0	9.6	13.0	13.0	13.0	13.0	6.8	13.0	13.0	13.0	13.0	13.0
ブロック RAM ブロック		1,080	792	1,080	1,080	1,080	1,080	648	1,080	1,080	1,080	1,080	1,080
ブロック RAM (Mb)		38.0	27.8	38.0	38.0	38.0	38.0	22.8	38.0	38.0	38.0	38.0	38.0
UltraRAM ブロック		80	48	80	80	80	80	160	80	80	80	80	80
UltraRAM (Mb)		22.5	13.5	22.5	22.5	22.5	22.5	45.0	22.5	22.5	22.5	22.5	22.5
DSP スライス		4,272	3,145	4,272	4,272	4,272	4,272	1,872	4,272	4,272	4,272	4,272	4,272
CMT		8	6	8	8	8	8	5	8	8	8	8	8
最大 HP I/O		208	299	299	299	312	312	130	299	312	299	299	312
最大 HD I/O		72	48	48	48	96	96	24	48	48	48	48	96
システム モニター		2	2	2	2	2	2	2	2	2	2	2	2
GTY トランシーバー		16	8	16	16	16	16	8	16	16	16	16	16
フラクショナル PLL		8	4	8	8	8	8	4	8	8	8	8	8
PCIe Gen3 x16		2	1	2	2	2	2	–	–	–	–	–	–
PCIe Gen3 x16 / Gen4 x8 /CCIX		–	–	–	–	–	–	0	2	2	2	2	2
150G Interlaken		1	1	1	1	1	1	0	1	1	1	1	1
100G イーサネット (RS-FEC あり)		2	1	2	2	2	2	1	2	2	2	2	2

表 3: Zynq UltraScale+ RFSoc デバイスとパッケージの各組み合わせにおける最大 I/O 数

パッケージ (1)	サイズ (mm)	ZU21DR	ZU25DR	ZU27DR	ZU28DR	ZU29DR	ZU39DR	ZU42DR	ZU43DR	ZU46DR	ZU47DR	ZU48DR	ZU49DR
		PSIO HDIO、HPIO PS-GTR、GTY RF-ADC、RF-DAC											
FFVD1156	35x35	214 72、208 4、16 0、0											
FFVE1156	35x35		214 48、104 4、8 8、8	214 48、104 4、8 8、8	214 48、104 4、8 8、8			214 24、130 4、8 10、8	214 48、104 4、8 4、4		214 48、104 4、8 8、8	214 48、104 4、8 8、8	
FSVE1156	35x35		214 48、104 4、8 8、8	214 48、104 4、8 8、8	214 48、104 4、8 8、8			214 24、130 4、8 10、8	214 48、104 4、8 4、4		214 48、104 4、8 8、8	214 48、104 4、8 8、8	
FFVG1517	40x40		214 48、299 4、8 8、8	214 48、299 4、16 8、8	214 48、299 4、16 8、8				214 48、299 4、16 4、4		214 48、299 4、16 8、8	214 48、299 4、16 8、8	
FSVG1517	40x40		214 48、299 4、8 8、8	214 48、299 4、16 8、8	214 48、299 4、16 8、8				214 48、299 4、16 4、4		214 48、299 4、16 8、8	214 48、299 4、16 8、8	
FFVF1760	42.5x42.5					214 96、312 4、16 16、16	214 96、312 4、16 16、16						214 96、312 4、16 16、16
FSVF1760	42.5x42.5					214 96、312 4、16 16、16	214 96、312 4、16 16、16						214 96、312 4、16 16、16
FFVH1760	42.5x42.5									214 48、312 4、16 12 <sup>(2)</sup> 、12			
FSVH1760	42.5x42.5									214 48、312 4、16 12 <sup>(2)</sup> 、12			

## 注記:

- パッケージコードの最後の文字と番号の並び (例: B900) が同じパッケージは、すべての UltraScale アーキテクチャ デバイス間でフットプリントの互換性があります。このファミリ内で、フットプリントに互換性のあるデバイスは太線で囲まれています。ZU42DR には追加の ADC があり、これらはほかの RFSoc にあるクロック入力にマップされます。パッケージ移行のガイドラインについては、販売代理店にお問い合わせください。
- 12 個の RF-ADC のうち 8 つは最大 2.5GSPS で、4 つは最大 5.0GSPS で動作可能です。

表 4: Zynq UltraScale+ RFSoc の機能一覧

		XCZU63DR		XCZU64DR		XCZU65DR		XCZU67DR	
14ビット RF-ADC、DUCあり	ADC数	4	2	8	2	6	8	2	
	最大レート (GSPS)	2.95	5.9	2.95	5.9	5.9	2.95	5.9	
14ビット RF-DAC、DUCあり	DAC数	4		8		6		8	
	最大レート (GSPS)	10.0		10.0		10.0		10.0	
SD-FEC		0		0		0		0	
デジタルフロントエンド		チャンネルフィルター、DUC/DDC、ミキサー、CFR、複素イコライザー、PQ、リサンプラー、DPD							
Low PHY IP		FFT/iFFT、PRACH		-		チャンネルフィルター、DUC/DDC、ミキサー、CFR、複素イコライザー、PQ、リサンプラー、DPD		チャンネルフィルター、DUC/DDC、ミキサー、CFR、複素イコライザー、PQ、リサンプラー、DPD	
アプリケーションプロセッシングユニット		クワッドコア Arm Cortex-A53 MPCore (CoreSight™、NEON および単精度/倍精度浮動小数点演算ユニット、32KB/32KB L1 キャッシュ、1MB L2 キャッシュ内蔵)							
リアルタイムプロセッシングユニット		デュアルコア Arm Cortex-R5F (CoreSight、単精度/倍精度浮動小数点演算ユニット、32KB/32KB L1 キャッシュ、TCM 内蔵)							
エンベデッドおよび外部メモリ		256KB オンチップメモリ (ECCあり)、外部DDR4、DDR3、DDR3L、LPDDR4、LPDDR3、外部クワッドSPI、NAND、eMMC							
汎用コネクティビティ		214本のPS I/O、UART、CAN、USB 2.0、I2C、SPI、32b GPIO、リアルタイムクロック、ウォッチドッグタイマー、トリプルタイマーカウンター							
高速コネクティビティ		4つのPS-GTR、PCIe@ Gen1/2、シリアルATA 3.1、DisplayPort 1.2a、USB 3.0、SGMII							
システムロジックセル		393,750		328,125		489,300		489,300	
CLB フリップフロップ		360,000		300,000		447,360		447,360	
CLB LUT		180,000		150,000		223,680		223,680	
分散RAM (Mb)		5.4		4.5		6.9		6.9	
ブロックRAMブロック		500		450		648		648	
ブロックRAM (Mb)		17.6		15.8		22.8		22.8	
UltraRAMブロック		130		80		160		160	
UltraRAM (Mb)		37.0		23.0		45.0		45.0	
DSPスライス		1,200		1,872		1,872		1,872	
CMT		5		5		5		5	
最大HP I/O		130		130		130		130	
最大HD I/O		24		24		24		24	
システムモニター		2		2		2		2	
GTY トランシーバー		4		8		8		8	
フラクショナルPLL		4		4		4		4	
100Gイーサネット (RS-FECあり)		1		1		1		1	

表 5: Zynq UltraScale+ RFSoc デバイスとパッケージの各組み合わせにおける最大 I/O 数

パッケージ (1)	サイズ (mm)	ZU63DR	ZU64DR	ZU65DR	ZU67DR
		PSIO HDIO、HPIO PS-GTR、GTY RF-ADC、RF-DAC			
FFVE1156	35x35	214 24、130 4、4 6、4	214 24、130 4、8 10、8	214 24、130 4、8 6、6	214 24、130 4、8 10、8
FSVE1156	35x35	214 24、130 4、4 6、4	214 24、130 4、8 10、8	214 24、130 4、8 6、6	214 24、130 4、8 10、8

## 注記:

- パッケージコードの最後の文字と番号の並び (例: B900) が同じパッケージは、すべての UltraScale アーキテクチャ デバイス間でフットプリントの互換性があります。このファミリー内で、フットプリントに互換性のあるデバイスは太線で囲まれています。

# RF データ コンバーター サブシステム

RF データ コンバーター サブシステムは、タイル状に配置された RF-ADC と RF-DAC で構成されます。表 6 に、サイズと数をデバイス別に示します。

表 6: RF-ADC および RF-DAC タイル構成

	ZU25DR	ZU27DR	ZU28DR	ZU29DR	ZU39DR	ZU42DR	ZU43DR	ZU46DR	ZU47DR	ZU48DR	ZU49DR	ZU63DR	ZU64DR	ZU65DR	ZU67DR
	Gen 1				Gen 2	Gen 3						DFE			
RF トランシーバー	8x8	8x8	8x8	16x16	16x16	8x10	4x4	12x12	8x8	8x8	16x16	4x6	8x10	6x6	8x10
14 ビット クワッド DAC タイル	2	2	2	4	4	2		2			4	1	2	1	2
14 ビット デュアル DAC タイル								2	4	4				1	
14 ビット シングル DAC タイル							4								
12 ビット クワッド ADC タイル				4	4										
14 ビット クワッド ADC タイル						2		2			4	1	2		2
12 ビット デュアル ADC タイル	4	4	4												
14 ビット デュアル ADC タイル						1		2	4	4		1	1	3	1
14 ビット シングル ADC タイル							4								

## RF-ADC の機能

- タイル指向
  - 1 タイルあたり 4 つの RF-ADC と 1 つの PLL
  - 12 ビットまたは 14 ビットの分解能
- 間引きフィルター
  - 全帯域幅のデータ レートをサポート
  - 80% 通過帯域、89dB 阻止帯域の減衰
- Mixer
  - フルコンプレックス ミキサー
  - 各 RF-ADC に 48 ビット NCO
  - $F_s/4$  または  $F_s/2$  に固定された低消費電力モード
- シングル/マルチバンドを柔軟にサポート
  - 4 つの RF-ADC ペアごとに 2x バンド
  - real または I/Q 入力用に設定可能
- 信号振幅しきい値
  - 各 RF-ADC につき 2 つのプログラマブルなフラグ
- 直交変調器の補正
  - RF-ADC ペアごとにゲイン/位相/オフセットを補正
- 複数チップの同期
- 柔軟なインターコネクト ロジック インターフェイス
  - N ワード x 周波数を選択可
- オンチップ クロック フォワーディング (Gen 3 デバイス)

## RF-DAC の機能

- タイル指向
  - 1 タイルあたり 4 つの RF-DAC と 1 つの PLL
  - 14 ビット分解能
  - 最大 7.125GHz の RF 出力周波数
- 補間
  - 全帯域幅のデータ レートをサポート
  - 80% 通過帯域、89dB 阻止帯域の減衰
- ミキサー機能
  - フルコンプレックス ミキサー
  - 各 RF-DAC に 48 ビット NCO
  - $F_s/4$  または  $F_s/2$  に固定された低消費電力モード
  - 第 1、第 2 ナイキスト ゾーンでの RF-DAC の動作をサポート
- シングル/マルチバンドを柔軟にサポート
  - RF-DAC ペアごとに 2x バンド
  - real または I/Q 出力用に設定可能
- 直交変調器の補正
  - RF-DAC ペアごとにゲイン/位相/オフセットを補正

- $\sin x/x$  補正
- サンプル遅延補正
- 複数チップの同期
- 柔軟なインターコネクト ロジック インターフェイス
  - Nワード x 周波数を選択可
- オンチップ クロック フォワーディング (Gen 3 デバイス)

## デジタル フロントエンド (DFE) の機能

DFE サブシステムには、次の DFE ブロックのインスタンスが複数含まれます。これらのブロックはすべて 500MHz 以上で動作するように設計されています。

- 高速フーリエ変換 (FFT) および逆高速フーリエ変換 (iFFT)
  - 256 ~ 4096 のサイズを変換 (2 のべき乗)
  - 低レイテンシのパイプライン ストリーミング モード
- PRACH
  - 最大 128 チャンネルの PRACH 抽出
- DUC/DDC
  - 1x ~ 16x の間引きおよび補間
  - フラクショナル NCO
  - 最大入力/出力サンプリング レート: 500MHz
- CFR
  - マルチ RAT のサポート
  - パルス キャンセル モードで 400MHz の最大送信帯域幅
  - ウィンドウ モードで 800MHz を超える送信帯域幅
  - 最大 8 アンテナをサポート
  - 複数回の反復をサポート
- 有理数 P/Q 変換
  - 柔軟なデジタルシステム サンプリング プランニング
  - ダウンリンクとアップリンクに個別の P 値と Q 値を選択可能
- RX 複素イコライザー
  - プログラム可能な係数
  - 最大 8 アンテナをサポート
  - ダウンリンクまたはアップリンクに使用可能
- デジタルプリディストーション (DPD)
  - マルチ RAT のサポート
  - 低消費電力
  - 最大 8 アンテナをサポート
- チャンネル フィルター
  - 完全にプログラム可能な係数
  - 複数の係数セットを選択可能

## SD-FEC (Soft Decision Forward Error Correction)

SD-FEC は非常に柔軟な軟判定 FEC デコーダーおよび LDPC エンコーダーで、次の機能を備えています。

### LDPC デコード/エンコード

- 柔軟な設定が可能な符号
  - AXI4-Lite インターフェイス経由で幅広い擬巡回符号を設定可能
  - 符号パラメーター メモリは最大 128 符号で共有可能
  - 符号はブロック単位で選択可能
  - エンコーダーは適切なデコーダー コードを再利用可能
- 正規化した min-sum デコード アルゴリズム
  - レイヤーに対する正規化係数を 0.0625 ~ 1 の範囲で 0.0625 の倍数としてプログラム可能
- 1 ~ 63 回の反復
  - 符号語ごとに指定
- 反復の早期打ち切り (ET)
  - 符号語ごとに次に示す 2 つのうち両方、片方、またはどちらもなしを指定
    - パリティ チェック合格
    - 前回の反復後、ハード情報またはパリティ ビットに変化なし
- 軟出力または硬出力
  - 符号語ごとに情報とオプションのパリティを含めるように指定
  - 6 ビットの軟対数尤度比 (LLR) 入力と 8 ビット出力 (8 ビット インターフェイス、2 小数ビット、入力前に  $-7.75 \sim +7.75$  の対称範囲に外部で飽和)
- ユーザー指定の ID でブロックを識別し、ブロックをイン オーダーまたはアウト オブ オーダーで実行

### ターボ デコード

- Max、Max Scale (スケール係数は 0.0625 の倍数としてプログラム可能)、または Max Star
- 1 ~ 63 回の反復
  - ストリーミング制御インターフェイスによりブロックごとに指定
- 反復の早期打ち切り (ET)
  - 符号語ごとに次に示す 2 つのうち両方、片方、またはどちらもなしを指定
    - 前回の反復後、硬判定に変化なし
    - CRC 合格
- 軟出力または硬出力
  - 符号語ごとに組織符号とオプションのパリティ 0 およびパリティ 1 を含めるように指定
  - 8 ビット LLR 入力および出力 (8 ビット インターフェイス、2 小数ビット、入力前に  $-31.75 \sim +31.75$  の対称範囲に外部で飽和)

### インターフェイス

- インターフェイスごとにクロックが異なり、統合が容易
- 幅の広い入力および出力データ インターフェイス。1、2、または 4 レーンのサポートを設定可能
- 各レーンの LLR の値をブロック単位または転送単位で指定可能
- 制御パラメーターを指定する入力とステータスを受信する出力をブロックごとに分離

# プロセッシング システム

## アプリケーション プロセッシング ユニット (APU)

APU の主な特長は次のとおりです。

- 64 ビット クワッド コア Arm Cortex-A53 MPCore。各コアの機能は次のとおりです。
  - Arm v8-A アーキテクチャ
  - ターゲット動作周波数: 最大 1.3GHz
  - 単精度および倍精度の浮動小数点:  
4 SP/2 DP FLOP
  - 単精度および倍精度の浮動小数点命令で NEON Advanced SIMD サポート
  - 64 ビットの動作モードで A64 命令セット、32 ビット動作モードで A32/T32 命令セット
  - レベル 1 キャッシュ (命令とデータが独立、各 Cortex-A53 CPU に 32KB)
    - 2 ウェイ (連想度) セット アソシエイティブ方式のパリティ付き命令キャッシュ
    - 4 ウェイ (連想度) セット アソシエイティブ方式のパリティ付きデータ キャッシュ
  - 各プロセッサ コアにメモリ管理ユニット (MMU) を内蔵
  - TrustZone によるセキュア モード動作
  - 仮想化をサポート
- 動作モード: シングルプロセッサ、対称クワッド プロセッサ、非対称クワッド プロセッサ
- 16 ウェイ (連想度) セット アソシエイティブ レベル 2 の ECC 付きキャッシュを統合
- 割り込みおよびタイマー
  - ジェネリック割り込みコントローラー (GIC-400)
  - Arm ジェネリック タイマー (各 CPU に 4 つのタイマー)
  - 1 つのウォッチドッグ タイマー (WDT)
  - 1 つのグローバル タイマー
  - 2 つのトリプル タイマー/カウンタ (TTC)
- CoreSight によるデバッグおよびトレースをサポート
  - エンベデッド トレース マクロセル (ETM) での命令トレース
  - クロストリガー インターフェイス (CTI) によって、ハードウェア ブレークポイントおよびトリガーが可能
- PL への ACP インターフェイスには I/O コヒーレンシがあり、レベル 2 キャッシュ割り当て
- PL への ACE インターフェイスには完全なコヒーレンシ
- 各プロセッサ コアごとに電源アイランドのゲーティング
- コアごとに eFUSE を無効化するオプション

## リアルタイム プロセッシング ユニット (RPU)

- Arm Cortex-R5F MPCore が 2 個含まれており、各コアの機能は次のとおりです。
  - Arm v7-R アーキテクチャ (32 ビット)
  - ターゲット動作周波数: 最大 600MHz
  - A32/T32 命令セットをサポート
  - レベル 1 で 4 ウェイ (連想度) セット アソシエイティブ方式の ECC 付きキャッシュ (命令とデータは別々、32KB)
  - 各プロセッサにメモリ保護ユニット (MPU) を内蔵
  - 128KB 密結合メモリ (TCM)、ECC サポートあり
  - ロックステップ モードでは TCM を組み合わせて 256KB を構築可能
- シングル プロセッサまたはデュアル プロセッサ モードで動作可能 (スプリットおよびロックステップ)
- 専用 SWDT およびトリプル タイマー カウンター (TTC)
- CoreSight によるデバッグおよびトレースをサポート
  - エンベデッド トレース マクロセル (ETM) での命令およびトレース
  - クロストリガー インターフェイス (CTI) によって、ハードウェア ブレークポイントおよびトリガーが可能
- eFUSE の無効化オプション

## フル電力ドメイン DMA (FPD-DMA) 低電力ドメイン DMA (LPD-DMA)

- 2 つの汎用 DMA コントローラー (1 つはフル電力ドメイン (FPD-DMA)、もう 1 つは低電力ドメイン (LPD-DMA))
- 各 DMA に 8 つの独立チャンネル
- 複数の伝送タイプ
  - メモリ間
  - メモリからペリフェラル
  - ペリフェラルからメモリ
  - スキャッター ギャザー
- 各 DMA に 8 つのペリフェラル インターフェイス
- 各 DMA の TrustZone によりセキュア動作オプション

## ザイリンクス メモリ保護ユニット (XMPU)

- 領域ベースのメモリ保護ユニット
- 最大 16 個の領域
- 各領域は 1MB または 4KB のアドレス アライメントをサポート
- 領域は重複可、領域番号が大きいほど高い優先度
- 各領域は個別に有効化/無効化できる
- 各領域に開始アドレスおよび終了アドレスがある

## ダイナミック メモリ コントローラー (DDRC)

- DDR3、DDR3L、DDR4、LPDDR3、LPDDR4
- ターゲット データ レート: 最大 2400Mb/s の DDR4 動作
- DDR4、DDR3、DDR3L、LPDDR3 メモリで 32 ビットまたは 64 ビットのバス幅をサポートし、LPDDR4 メモリで 32 ビットのバス幅をサポート
- ECC サポート (追加ビットを使用)
- 最大 32GB の DRAM 総容量
- 低消費電力モード
  - アクティブ/プリチャージ パワー ダウン
  - セルフ リフレッシュ (コントローラー パワー サイクル後のセルフ リフレッシュからのクリーンな終了を含む)
- ソフトウェアが読み出し/書き込みアイを計測して遅延を動的に調整できることで強化された DDR トレーニング
- 読み出しパスおよび書き込みパスに別々のパフォーマンス モニター
- テスト用に PHY デバッグ アクセス ポート (DAP) を JTAG に統合

DDR メモリ コントローラーには複数のポートが接続されているため、PS と PL が同じメモリへのアクセスを共有できます。この際、DDR コントローラーは、次に示す 6 つの AXI スレーブ ポートを使用します。

- Arm Cortex-A53 CPU、RPU (Arm Cortex-R5F および LPD ペリフェラル)、高速ペリフェラル (USB3、PCIe、SATA)、PL から キャッシュ コヒーレント インターコネクト (CCI) を経由する高性能ポート (HP0 と HP) からの 128 ビット AXI ポートが 2 つ
- Arm Cortex-R5F CPU 専用の 64 ビット ポートが 1 つ
- DisplayPort および PL の HP2 ポートからの 128 ビット AXI ポートが 1 つ
- PL の HP3 および HP4 ポートからの 128 ビット AXI ポートが 1 つ
- 汎用 DMA および PL の HP5 ポートからの 128 ビット AXI ポートが 1 つ

## 高速コネクティビティ ペリフェラル

### PCIe

- PCI Express Base 仕様 2.1 に準拠
- PCI Express のトランザクション オーダリング規則に完全に準拠
- レーン幅: Gen1 または Gen2 レートで x1、x2、x4
- 1 つの仮想チャネル
- 全二重 PCIe ポート
- エンドポイントおよびシングル PCIe リンク ルート ポート
- ルート ポートがエンハンスト コンフィギュレーション アクセス メカニズム (ECAM) をサポート、コンフィギュレーション トランザクションの生成
- INTx および MSI のルート ポート サポート
- MSI または MSI-X のエンドポイント サポート
  - 1 つの物理的機能、または SR-IOV
  - リラックス オーダリングまたは ID オーダリングなし
  - 完全にコンフィギュラブルな BAR
  - INTx は推奨されていないが、生成可能
  - ターゲット/スレーブ アパーチャーのアドレス トランザクションおよび割り込み性能が設定可能なエンドポイント

## SATA

- SATA 3.1 仕様に準拠
- SATA ホスト ポートは最大 2 つの外部デバイスをサポート
- Advanced Host Controller Interface (AHCI) ver. 1.3 に準拠1.3
- 1.5Gb/s、3.0Gb/s、6.0Gb/s のデータ レート
- 電力管理機能: パーシャルおよび休止モードをサポート

## USB 3.0

- 2 つの USB コントローラー (USB 2.0 または USB 3.0 として構成可能)
- 最大 5.0Gb/s データ レート
- ホストおよびデバイス モード
  - 超高速、高速、フル、低速の各スピード モード
  - 最大 12 個のエンドポイント
  - USB ホスト コントローラー レジスタおよびデータ構造は Intel xHCI 仕様に準拠
  - 内蔵 DMA を備える 64 ビットの AXI マスター ポート
  - 電力管理機能: ハイバーネート モード

## DisplayPort コントローラー

- DisplayPort 出力を使用した 4K ディスプレイ処理
  - 最大解像度は 4K x 2K-30 (30Hz ピクセル レート)
  - DisplayPort AUX チャンネル、および出力にホット プラグ検出 (HPD)
  - 6、8、10、および 12 ビット/カラーで RGB YCbCr 4:2:0、4:2:2、4:4:4
  - 6、8、10、および 12 ビット/カラー コンポーネントで Y のみ、xvYCC、RGB 4:4:4、YCbCr 4:4:4、YCbCr 4:2:2、YCbCr 4:2:0 のビデオ フォーマット
  - 256 カラーパレット
  - 複数のフレーム バッファ フォーマット
  - パレットによる 1、2、4、8 ビット/ピクセル (bpp) の色深度
  - 16、24、32bpp
  - RGBA8888、RGB555 などのグラフィックス フォーマット
- PL または専用 DMA コントローラーからのストリーミング ビデオを受け取る
- グラフィックスのアルファブレンドおよびクロマキーが可能
- オーディオ サポート
  - シングル ストリームでは 192kHz、24 ビットの解像度で最大 8 LPCM チャンネルをサポート
  - DRA、Dolby MAT、DTS HD を含む圧縮フォーマットをサポート
  - マルチストリーム伝送によってオーディオ チャンネル数を拡張
  - オーディオ コピー防止
  - PL からの 2 チャンネルのストリーミングまたは入力
  - メモリ オーディオ フレーム バッファからのマルチチャンネルの非ストリーミング オーディオ
- ISO/IEC 13818-1 に準拠するシステム タイム クロック (STC) を含む
- 最小限のリソースでブート時間表示

## プラットフォーム管理ユニット (PMU)

- ブート中にシステムの初期化を実行
- スリープ状態中はアプリケーションおよびリアルタイムプロセッサへを代表するものとして動作する
- 電源投入とウェークアップ要求後の再動作を開始する
- システムの電力状態を常に維持管理する
- アイランドおよびドメインの電源投入、電源切断、リセット、クロックゲーティング、電力ゲーティングに必要な下位イベントのシーケンスを管理する
- エラー処理およびレポートなどのエラー管理
- メモリスクラブなどの安全性チェック機能

PMU には、次のブロックがあります。

- プラットフォーム管理プロセッサ
- 固定 ROM によるデバイスのブートアップ
- ECC 付き 128KB RAM によるオプションのユーザー/ファームウェアコード
- ローカルおよびグローバルレジスタで電源切断、電源投入、リセット、クロックゲーティング、電力ゲーティングを管理
- ほかのモジュールからの 16 の割り込みに対応する割り込みコントローラーおよび内部プロセッサ通信インターフェイス (IPI)
- PS I/O と PL との間の GPI および GPO インターフェイス
- JTAG インターフェイスを介した PMU のデバッグ
- ユーザー定義のファームウェアオプション

## コンフィギュレーションセキュリティユニット (CSU)

- ECC 内蔵のトリプル冗長セキュアプロセッサブロック (SPB)
- 暗号インターフェイスブロック
  - 256 ビット AES-GCM
  - SHA-3/384
  - 4096 ビット RSA
- キー管理ユニット
- 内蔵 DMA
- PCAP インターフェイス
- コンフィギュレーションの前段階で ROM の検証をサポート
- セキュアまたは非セキュアモードで第 1 段階ブートローダー (FSBL) を OCM にロード
- コンフィギュレーション後の電圧、温度、周波数の監視をサポート

## ザイリンクス ペリフェラル保護ユニット (XPPU)

- ペリフェラルの保護機能を提供
- 同時に最大 20 のマスター
- 多様なアパーチャサイズ
- マスターごとに特定のアドレスアパーチャのアクセス制御
- ペリフェラルごとの 64KB ペリフェラルアパーチャおよび制御アクセス

## I/O ペリフェラル

IOP ユニットには、データ通信ペリフェラルが含まれます。IOP の主な特長は次のとおりです。

### トリプルスピード ギガビット イーサネット

- IEEE 802.3 に準拠し、10/100/1000Mb/s の転送レート (全二重および半二重) をサポート
- ジャンボ フレームをサポート
- スキャッター ギャザー DMA 機能を内蔵
- RMON/MIB 用の統計カウンター レジスタ
- 外部 PHY を使用し、RGMII インターフェイスで複数の I/O タイプ (1.8、2.5、3.3V)
- PL への GMII インターフェイスで次をサポート: TBI、SGMII、RGMII v2.0
- 送信フレームでパッドおよび巡回冗長検査 (CRC) の自動生成
- トランスミッターおよびレシーバー IP、TCP、UDP チェックサムのおフロード
- 物理層を管理するための MDIO インターフェイス
- 入力ポーズ フレームの認識と送信ポーズ フレームのハードウェア生成の全二重フロー制御
- 入力 VLAN と優先度タグの付いたフレームを認識する 802.1Q VLAN タグ
- IEEE 1588 v2 をサポート

### SD/SDIO 3.0 コントローラー

セキュア デジタル (SD) デバイスだけでなく eMMC 4.51 をサポートします。

- ホスト モードのサポートのみ
- 内蔵 DMA
- 1/4 ビット SD 仕様、バージョン 3.0
- 1/4/8 ビット eMMC 仕様、バージョン 4.51
- SD カードおよび eMMC からのプライマリ ブートをサポート (Managed NAND)
- 高速、デフォルト、低速のレートをサポート
- 1 ビットと 4 ビットのデータ インターフェイス
  - 低速クロック 0 ~ 400kHz
  - デフォルト クロック 0 ~ 25MHz
  - 高速クロック 0 ~ 50MHz
- 高速インターフェイス
  - SD UHS-1: 208MHz
  - eMMC HS200: 200MHz
- メモリ、I/O、SD カード
- 電力制御モード
- 最大 512B データ FIFO インターフェイス

## UART

- プログラム可能なボーレート生成回路
- 6、7、または8データビット
- 1、1.5、または2ストップビット
- 奇数、偶数、スペース、マーク、パリティなし
- パリティ、フレーミング、およびオーバーランエラーの検出
- 改行生成および検出
- 自動エコー、ローカルループバック、およびリモートループバックチャンネルモード
- モデム制御信号: CTS、RTS、DSR、DTR、RI、DCD (EMIOからのみ)

## SPI

- 全二重動作によって送信と受信の同時実行が可能
- 深さが128Bの読み出しおよび書き込みFIFO
- マスター/スレーブSPIモード
- 最大3つのチップセレクトライン
- マルチマスター環境
- 2つ以上のマスターが検知されたら、エラー状態を特定
- 選択可能なマスタークロックリファレンス
- ソフトウェアはステートをポーリングするか、割り込み駆動にできる

## I2C

- 128ビットバッファサイズ
- 標準(100kHz)および高速(400kHz)両方のバスデータレート
- マスターまたはスレーブモード
- 標準または拡張アドレス
- 低速ホストサービスにはI2Cバスホールド

## GPIO

- 最大128GPIOビット
  - MIOから最大78ビット、EMIOから最大96ビット
- 各GPIOビットは入力または出力として動的にプログラム可能
- 全レジスタの各ビットに独立したリセット値
- 各GPIO信号に割り込み要求生成
- 全制御レジスタ(データ出力レジスタ、方向制御レジスタ、割り込みクリアレジスタを含む)にシングルチャンネル(ビット)書き込み性能
- 出力モードでリードバック

## CAN

- ISO 11898 -1、CAN2.0A、CAN 2.0B 規格に準拠
- 標準 (11 ビット識別子) と拡張 (29 ビット識別子) の両フレーム
- 最大 1Mb/s のビット レート
- 64 メッセージの深さの送信および受信メッセージ FIFO
- TXFIFO および RXFIFO の透かし割り込み
- 通常モード時のエラーまたはアービトレーション損失での自動再伝送
- 4 つの受信フィルターによる受信フィルタリング
- 自動ウェークアップ付きのスリープ モード
- スヌープ モード
- 受信メッセージの 16 ビット タイムスタンプ
- 内部生成された基準クロックと MIO からの外部基準クロック入力
- 24MHz の基準クロック入力で 80 ~ 83% のクロック サンプリング エッジを保証
- ポートごとに eFUSE を無効化するオプション

## USB 2.0

- 2 つの USB コントローラー (USB 2.0 または USB 3.0 として構成可能)
- ホスト、デバイス、On-The-Go (OTG) モード
- 高速、フル、低速の各スピード モード
- 最大 12 個のエンドポイント
- 外部 PHY の接続用の 8 ビット ULPI インターフェイス
- USB ホスト コントローラー レジスタおよびデータ構造は Intel xHCI 仕様に準拠
- 内蔵 DMA を備える 64 ビットの AXI マスター ポート
- 電力管理機能: ハイバーネート モード

## スタティック メモリ インターフェイス

スタティック メモリ インターフェイスは外部のスタティック メモリをサポートします。

- 最大 24 ビット ECC の ONFI 3.1 NAND フラッシュをサポート
- 1 ビット SPI、2 ビット SPI、4 ビット SPI (クワッド SPI)、または 2 つのクワッド SPI (8 ビット) シリアル NOR フラッシュ
- Manage NAND フラッシュをサポートする 8 ビット eMMC インターフェイス

## NAND ONFI 3.1 フラッシュ コントローラー

- ONFI 3.1 準拠
- ONFI 3.1 仕様によってチップ セレクト数を削減
- SLC NAND でのブート/コンフィギュレーションおよびデータ格納
- SLC NAND に基づく ECC オプション
  - 512+ スペア バイトごとに 1、4、または 8 ビット
  - 1024+ スペア バイトごとに 24 ビット
- 最大スループットは次のとおり
  - 非同期モード (SDR) 24.3MB/s
  - 同期モード (NV-DDR) 112MB/s (100MHz フラッシュ クロック)
- 8 ビット SDR NAND インターフェイス
- 2 つのチップ セレクト
- プログラム可能なアクセス タイミング
- 1.8V および 3.3V I/O
- 内蔵 DMA による性能向上

## Quad-SPI コントローラー

- 4 バイト (32 ビット) と 3 バイト (24 ビット) のアドレス幅
- 150MHz の最大 SPI クロック (マスター モード)
- シングル、デュアル パラレル、デュアル スタック モード
- 読み出し動作の 32 ビット AXI リニア アドレス マッピング インターフェイス
- 最大 2 つのチップ セレクト信号
- 書き込み防止信号
- ホールド信号
- 4 ビットの双方向 I/O 信号
- x1/x2/x4 読み出しレート要件
- x1 書き込みレート要件のみ
- 深さが 64 バイトのエントリ FIFO による QSPI 読み出し効率の向上
- 内蔵 DMA による性能向上

---

## インターコネクト

すべてのブロックは、マルチレイヤーの Arm Advanced Microprocessor Bus Architecture (AMBA) AXI インターコネクトを介して互いに、そして PL に接続されています。このインターコネクトは、ノンブロッキング型で同時に複数のマスター/スレーブ トランザクションをサポートします。

Arm CPU などのレイテンシの影響を受けやすいマスター デバイスはメモリへの最短パスを割り当て、PL マスター デバイスとなる可能性がある帯域幅が重視されるマスター デバイスにはスレーブ デバイスとの接続が高スループットとなるようにインターコネクトは設計されています。

このインターコネクトを通過するトラフィックは、インターコネクト内の QoS (Quality of Service) ブロックで制御されます。QoS 機能を使用して、CPU、DMA コントローラー、および IOP のマスターに相当する統合されたエンティティで生成されたトラフィックを制御します。

## PS インターフェイス

PS インターフェイスには、チップ外への外部インターフェイスまたは PS から PL への信号が含まれます。

### PS の外部インターフェイス

Zynq UltraScale+ RFSoc の外部インターフェイスは、PL ピンとして割り当てることのできない専用ピンを使用します。これらのピンは次のとおりです。

- クロック、リセット、ブート モード、基準電圧
- 最大 78 の専用多目的 I/O (MIO) ピン (内部の I/O ペリフェラルやスタティック メモリ コントローラーへ接続するためにソフトウェアで設定を変更できる)
- オプションで ECC 付きの 32 ビットまたは 64 ビットの DDR4/DDR3/DDR3L/LPDDR3 メモリ
- オプションで ECC 付きの 32 ビット LPDDR4 メモリ
- トランシーバーに 4 チャンネル (TX と RX のペア)

### MIO の概要

IOP ペリフェラルは、共有リソースである最大 78 ピンの専用多目的 I/O (MIO) を介して外部デバイスと通信します。各ペリフェラルは、あらかじめ定義されたピン グループの 1 つに割り当てることができ、同時に複数のデバイスを柔軟に割り当てることが可能です。すべての I/O ペリフェラルを同時に使用するには 78 ピンでは不十分ですが、ほとんどの IOP インターフェイス信号は PL で使用可能なため、適切に電源投入してコンフィギュレーションすれば、標準の PL I/O ピンが利用できます。EMIO によってマップされていない PS ペリフェラルから PL I/O へのアクセスが可能です。

ポート マッピングは複数の位置に割り当てることができます。たとえば、CAN ピンの場合は最大 12 箇所のポート マッピングが可能です。PS コンフィギュレーション ウィザード (PCW) は、ペリフェラルおよびスタティック メモリのピン マッピングに役立ちます。

表 7: MIO ペリフェラル インターフェイスのマッピング

ペリフェラル インターフェイス	MIO	EMIO
クワッド SPI NAND	あり	なし
USB2.0: 0、1	あり: 外部 PHY	なし
SDIO 0、1	あり	あり
SPI: 0、1 I2C: 0、1 CAN: 0、1 GPIO	CAN: 外部 PHY GPIO: 最大 78 ビット	CAN: 外部 PHY GPIO: 最大 96 ビット
GigE: 0、1、2、3	RGMII v2.0: 外部 PHY	プログラマブル ロジックで GMII、RGMII v2.0 (HSTL)、RGMII v1.3、MII、SGMII、1000BASE-X をサポート
UART: 0、1	簡易 UART: 2 ピンのみ (TX と RX)	フル機能 UART (TX、RX、DTR、DCD、DSR、RI、RTS、CTS) は、次のいずれかの使用が必要 <ul style="list-style-type: none"> <li>• MIO を介す 2 つのプロセッシング システム (PS) ピン (RX、TX) と 6 つのプログラマブル ロジック (PL) ピン、または</li> <li>• 8 つのプログラマブル ロジック (PL) ピン</li> </ul>
デバッグ トレース ポート	あり: 最大 16 トレース ビット	あり: 最大 32 トレース ビット
プロセッサ JTAG	あり	あり

## トランシーバー (PS-GTR)

フル電力ドメイン (FPD) にある 4 つの PS-GTR トランシーバーは、最大 6.0Gb/s のデータ レートをサポートします。すべてのプロトコルを同時に割り当てることはできません。トランシーバーを使用して常時 4 つの差動ペアを割り当てるのが可能です。これは、高速 I/O マルチプレクサーを介してユーザー プログラマブルです。

- 1 つのクワッド トランシーバー PS-GTR (TX/RX ペア) は次の規格を同時にサポートできます。
  - Gen1 (2.5Gb/s) または Gen2 (5.0Gb/s) の PCIe で x1、x2、または x4 レーン
  - 1.62Gb/s、2.7Gb/s、または 5.4Gb/s の DisplayPort (TX のみ) で 1 または 2 レーン
  - 1.5Gb/s、3.0Gb/s、6.0Gb/s で 1 または 2 SATA チャンネル
  - 5.0Gb/s で 1 または 2 USB3.0 チャンネル
  - 1.25Gb/s で 1 ~ 4 イーサネット SGMII チャンネル
- トランシーバー リソースを PS マスター (DisplayPort、PCIe、Serial-ATA、USB3.0、GigE) に接続するために、柔軟でホストがプログラマブルなマルチプレクス機能を提供

## HS-MIO

HS-MIO は、PS 内の高速ペリフェラルから PS-GTR トランシーバーの差動ペアへ、コンフィギュレーションレジスタで定義されたとおりに多重アクセスする役割を果たします。PS 内の高速インターフェイスが利用可能なトランシーバー チャンネルは、最大 4 つです。

表 8: HS-MIO ペリフェラル インターフェイスのマッピング

ペリフェラル インターフェイス	レーン 0	レーン 1	[Lane2]	[Lane3]
PCIe (x1、x2、x4)	PCIe0	PCIe1	PCIe2	PCIe3
SATA (1 または 2 チャンネル)	SATA0	SATA1	SATA0	SATA1
DisplayPort (TX のみ)	DP1	DP0	DP1	DP0
USB0	USB0	USB0	USB0	-
USB1	-	-	-	USB1
SGMII0	SGMII0	-	-	-
SGMII1	-	SGMII1	-	-
SGMII2	-	-	SGMII2	-
SGMII3	-	-	-	SGMII3

## PS-PL インターフェイス

PS-PL インターフェイスの特長は次のとおりです。

- プライマリ データ通信用の AMBA AXI4 インターフェイス
  - PL から PS への 128 ビット/64 ビット/32 ビット ハイパフォーマンス (HP) スレーブ AXI インターフェイス x 6
    - PL から PS DDR への 128 ビット/64 ビット/32 ビット HP AXI インターフェイス x 4
    - PL から キャッシュ コヒーレント インターコネクタ (CCI) への 128 ビット/64 ビット/32 ビット ハイパフォーマンス コヒーレント (HPC) ポート x 2
  - PS から PL への 128 ビット/64 ビット/32 ビット HP マスター AXI インターフェイス x 2
  - OCM への低レイテンシ アクセスを可能にする、PL から PS 内の RPU (PL\_LPD) への 128 ビット/64 ビット/32 ビット インターフェイス x 1
  - PL への低レイテンシ アクセスを可能にする、PS 内の RPU から PL (LPD\_PL) への 128 ビット/64 ビット/32 ビット AXI インターフェイス x 1
  - I/O コヒーレンシの取れたアクセスを可能にする、PL から Cortex-A53 キャッシュ メモリへの 128 ビット AXI インターフェイス (ACP ポート) x 1。このインターフェイスは、ハードウェアで Cortex-A53 キャッシュ メモリのコヒーレンシを提供。
  - 完全にコヒーレンシの取れたアクセスを可能にする、PL から Cortex-A53 への 128 ビット AXI インターフェイス (ACP ポート) x 1。このインターフェイスは、ハードウェアで Cortex-A53 キャッシュ メモリおよび PL のコヒーレンシを提供。
- クロックおよびリセット
  - PL への PS クロック出力 (開始/停止制御付き) x 4
  - PL への PS リセット出力 x 4

## 高性能 AXI ポート

高性能 AXI4 ポートは、PL から PS の DDR および高速インターコネクタへのアクセスに利用できます。PL から PS への 6 つの専用 AXI メモリ ポートは、128 ビット、64 ビット、または 32 ビットのインターフェイスとして構成可能です。これらのインターフェイスは FIFO インターフェイスを介して PL とメモリ インターコネクタを接続します。2 つの AXI インターフェイスは、APU キャッシュへの I/O コヒーレントなアクセスをサポートします。

各高性能 AXI ポートの特長は次のとおりです。

- PL とプロセッシング システム メモリ間のレイテンシを削減
- 深さ 1KB の FIFO
- 128 ビット、64 ビット、または 32 ビットの AXI インターフェイスとして設定可能
- DDR へ複数の AXI コマンドを発行

## アクセラレータ コヒーレンシ ポート (ACP)

Zynq UltraScale+ アクセラレータ コヒーレンシ ポート (ACP) は、64 ビットの AXI スレーブ インターフェイスであり、APU と PL 内のアクセラレータ機能を接続します。ACP は、PL を Arm Cortex-A53 プロセッサのスヌープ制御ユニット (SCU) へ直接接続するため、L2 キャッシュの CPU データへ整合性の取れたアクセスが可能になります。また、従来の方法でキャッシュをフラッシュまたはロードする場合よりも低いレイテンシで PS と PL ベースのアクセラレータ間の転送が可能です。ACP は CPU 内のアクセスのみスヌープし、ハードウェアにおけるコヒーレンシを提供します。PL 側でのコヒーレンシはサポートしていません。つまり、このインターフェイスは DMA または CPU のキャッシュ メモリにのみコヒーレンシを必要とする PL のアクセラレータに理想的です。たとえば、PL にある MicroBlaze™ プロセッサが ACP インターフェイスに接続されている場合、MicroBlaze プロセッサのキャッシュと Cortex-A53 のキャッシュに整合性はありません。

## AXI コヒーレンシ拡張 (ACE)

Zynq UltraScale+ AXI コヒーレンシ拡張 (ACE) は、64 ビットの AXI4 スレーブ インターフェイスであり、APU と PL 内のアクセラレータ機能を接続します。ACE は、PL を Arm Cortex-A53 プロセッサのスヌープ制御ユニット (SCU) へ直接接続するため、キャッシュ コヒーレント インターコネクト (CCI) へ整合性の取れたアクセスが可能になります。また、従来の方法でキャッシュをフラッシュまたはロードする場合よりも低いレイテンシで PS と PL ベースのアクセラレータ間の転送が可能です。ACE は CCI および PL 側へのアクセスをスヌープするため、ハードウェアにおける完全なコヒーレンシを提供します。このインターフェイスを使用することで、PL 内のキャッシュされたインターフェイスを両方の Cortex-A53 メモリのキャッシュとして PS に接続でき、PL マスターがスヌープされるため、完全なコヒーレンシが提供されます。たとえば、PL にある MicroBlaze プロセッサが ACE インターフェイスを用いて接続されている場合、Cortex-A53 と MicroBlaze プロセッサのキャッシュは互いに整合性があります。

## 入力/出力

すべての Zynq UltraScale+ RFSoc が、外部コンポーネントとの通信用の I/O ピンを備えています。これ以外に、PS には I/O ペリフェラルと外部コンポーネントの通信用に MIO (多目的 I/O) と呼ばれる 78 本の I/O があります。I/O ペリフェラルに必要なピンが 78 本を超える場合、PL の I/O ピンを使用して RFSoc のインターフェイス機能を拡張できます。これを EMIO (Extended MIO) と呼びます。

PL にある I/O ピンの数はデバイスおよびパッケージにより異なります。各 I/O ピンはコンフィギュレーション可能で、多数の規格に準拠しています。I/O には HP (High-Performance) と HD (High-Density) の種類があります。HP I/O は最高性能の動作向けに最適化されており、1.0V ~ 1.8V の電圧をサポートします。HD I/O は 24 バンク構成で機能を絞った I/O で、1.2V ~ 3.3V の電圧をサポートします。

I/O ピンはすべてバンクに構成されており、HP I/O ピンは 1 バンクに 52 本、HD I/O ピンは 1 バンクに 24 本あります。各バンクには 1 つの共通  $V_{CCO}$  出力バッファ電源があり、これは特定の入力バッファにも電源を供給します。一部のシングルエンドの入力バッファには、内部生成の、または外部に基準電圧 ( $V_{REF}$ ) が必要です。 $V_{REF}$  ピンは PCB から直接駆動するか、各バンク内部にある  $V_{REF}$  生成回路を使用して内部生成できます。

## I/O 電気特性

シングルエンド出力は従来型の CMOS プッシュ/プル出力構造を使用するもので、 $V_{CCO}$  は High を、グランドは Low を駆動し、ハイインピーダンス状態も可能です。システム設計者はスルーレートおよび駆動能力を指定できます。入力は常にアクティブですが、出力がアクティブの間は通常無視されます。また、各ピンはオプションとして、弱いプルアップまたはプルダウン抵抗を付けることができます。

ほとんどの信号ピンペアが、差動入力ペアまたは出力ペアとして構成できます。さらに、差動入力ピンのペアを  $100\Omega$  の内部抵抗で終端できるオプションもあります。すべての UltraScale デバイスは LVDS 以外に RSDS、BLVDS、差動 SSTL、差動 HSTL の差動規格をサポートします。また、各 I/O はシングルエンドおよび差動の HSTL、SSTL などのメモリ I/O 規格をサポートします。Zynq UltraScale+ RFSoc は I/O バンクに専用 D-PHY を備え、MIPI もサポートしています。

## トライステート型デジタル制御インピーダンスおよび低消費電力 I/O 機能

トライステート型デジタル制御インピーダンス ( $T_{DCI}$ ) は、出力駆動インピーダンス (直列終端) を制御したり、または  $V_{CCO}$  に対する入力信号の並列終端や  $V_{CCO}/2$  に対する分割 (テブナン) 終端を構成できます。 $T_{DCI}$  を使用した信号には、オフチップの終端は不要です。これはボードスペースを節約するだけでなく、出力モードまたはトライステートの場合に終端が自動的にオフになるため、オフチップ終端の消費電力も大幅に削減されます。さらに、I/O の IBUF および IDELAY には低電力モードがあり、特にメモリインターフェイスの実装時に、低消費電力化を図ることができます。

## I/O ロジック

### 入力および出力遅延

すべての入力および出力は組み合わせ、またはレジスタ付きとして設定でき、ダブルデータレート (DDR) が全入力および出力でサポートされています。入力と出力はすべて、5 ~ 15ps 単位で最大 1,250ps まで個別に遅延させることができ、この遅延は IDELAY および ODELAY としてインプリメントされます。遅延ステップ数はコンフィギュレーションで設定できますが、使用中にも増加または減少させることが可能です。IDELAY および ODELAY をカスケード接続することで、一方向の遅延量を 2 倍にできます。

### ISERDES および OSERDES

アプリケーションの多くは、デバイス内部で高速なビット シリアル I/O とより低速なパラレル動作を組み合わせます。これには、I/O ロジック内にシリアライザーおよびデシリアライザー (SerDes) が必要です。各 I/O ピンには IOSERDES (ISERDES と OSERDES) があり、2、4、8 ビットの幅 (プログラム可能) でシリアルからパラレル、またはパラレルからシリアルへデータを変換します。I/O ロジックのこのような機能により、トランシーバーではなく SelectIO インターフェイスでギガビット イーサネット/1000BaseX/SGMII などの高性能インターフェイスが可能になります。

## 高速シリアル トランシーバー

同一 PCB 上のデバイス間、バックプレーン経由、または長距離間のシリアル データ転送は、100Gb/s や 400Gb/s まで拡張するカスタム ライン カードを実現する上でその重要性を増しています。このような転送には、高データ レートでのシグナル インテグリティの問題に対応する専用のオンチップ回路および差動 I/O が必要です。

Zynq UltraScale+ RFSoc には、PL の GTY および PS の PS-GTR という 2 種類のトランシーバーがあります。これらのトランシーバーは 4 つのグループ (トランシーバー クワッド) にグループ化されています。各シリアル トランシーバーは、トランスミッターとレシーバーの組み合わせで構成されています。表 9 に、各トランシーバーの性能を示します。

表 9: トランシーバーの性能

種類	Zynq UltraScale+RFSoc	
	PS-GTR	GTY
数	4	8 ~ 16
最大データレート	6.0Gb/s	28.21Gb/s
最小データレート	1.25Gb/s	0.5Gb/s
主要アプリケーション	<ul style="list-style-type: none"> <li>• PCIe Gen2</li> <li>• USB</li> <li>• イーサネット</li> </ul>	<ul style="list-style-type: none"> <li>• 100G+ 光</li> <li>• チップ間</li> <li>• 25G+ バックプレーン</li> <li>• HMC</li> </ul>

以降の説明は GTY にのみ該当します。

シリアル トランスミッターおよびレシーバーは高度な位相ロック ループ (PLL) アーキテクチャを使用する独立した回路で、基準周波数入力をプログラム可能な 4 ~ 25 の値で逡倍することでビット シリアル データ クロックを生成します。トランシーバーそれぞれに、ユーザー定義可能な多数の機能およびパラメーターがあります。これらはすべてデバイス コンフィギュレーション中に定義でき、その多くは動作中にも変更できます。

### トランスミッター

トランスミッターは基本的に、変換比率が 16、20、32、40、64、80、128、または 160 のパラレル/シリアル コンバーターです。これにより、データパス幅とタイミング マージンのバランスの取れた高性能が求められるデザインにも対応できます。トランスミッターの出力は、シングルチャネルの差動出力信号で PC ボードを駆動します。TXOUTCLK は適切に分周されたシリアル データ クロックで、内部ロジックからのパラレル データを直接ラッチするために使用できます。入力されるパラレル データはオプションの FIFO を通り、十分なデータ遷移が生じるようハードウェアでの 8B/10B、64B/66B、または 64B/67B エンコードがサポートされています。ビット シリアル出力信号は、差動信号によって 2 つのパッケージ ピンを駆動します。この出力信号ペアは、信号振幅幅とプリおよびポスト エンファシスがプログラム可能で、PC ボードでの信号ロスやほかのインターコネクト特性を補います。より短いチャネルでは、振幅幅を小さくすることで低消費電力化が可能です。

## レシーバー

レシーバーは基本的に、入力ビット シリアル差動信号をそれぞれ 16、20、32、40、64、80、128、または 160 ビット幅の平行ストリームワードに変換するシリアル/パラレルコンバーターです。これにより、内部データ幅とさまざまなロジックのタイミングマージンのバランスの取れた設計が可能になります。レシーバーは基準クロック入力を使用してクロックの認識を開始し、入力差動データストリームを受け取ってそれを DC 自動ゲイン制御、リニア イコライザー、DFE (Decision Feedback Equalizer) を介することで、PC ボード、ケーブル、光インターコネクトやほかのインターコネクト特性を補います。別のクロックラインは不要です。データパターンは NRZ (Non-Return-to-Zero) エンコードを使用し、オプションとして選択したエンコード方式を用いることで十分なデータ遷移が生じるようにします。パラレルデータは RXUSRCLK クロックを使用してデバイスロジックに転送されます。短いチャンネルの場合、トランシーバーを特別な低電力モード (LPM) で使用することで、消費電力が約 30% 削減されます。レシーバーの DC 自動ゲイン制御、リニア イコライザー、DFE はオプションで自動適合に設定でき、さまざまなインターコネクトの特性を自動的に判断して補正できます。これによって、10G+ や 25G+ のバックプレーンにもより多くのマージンを確保できるようになります。

## Out-of-Band 信号

トランシーバーは、高速シリアルデータ転送がアクティブでないときに、トランスミッターからレシーバーへ低速の信号を転送するためによく使用される Out-of-Band (OOB) 信号を提供します。通常、リンクがパワーダウンステートにあるか初期化されていない場合がこれに該当し、この機能は PCIe、SATA/SAS、QPI のアプリケーションで有用です。

## PCI Express デザイン用統合インターフェイスブロック

Zynq UltraScale+ RFSoc には PCIe4 と PCIe4C の 2 つのタイプの統合ブロックがあります。XCZU21DR ~ XCZU39DR デバイスでは PCIe4 ブロックが使用されます。PCIe4 ブロックは PCI Express Base Specification v3.1 に準拠し、最大で Gen3 x16 をサポートしますが、より低いレーン幅およびスピード用にも構成可能です。このブロックは Gen4 の動作はサポートしません。

XCZU43DR ~ XCZU49DR デバイスでは PCIe4C ブロックが使用されます。PCIe4C ブロックが PCI Express および CCIX の両方を実装可能であるのに対し、PCIe4 ブロックが実装できるのは PCI Express のみです。

PCIe4C ブロックは PCI Express Base Specification v3.1 に準拠し、最大で 8.0GT/s (Gen3) をサポートするだけでなく、最大で 16.0GT/s (Gen4) をサポートする PCI Express Base Specification v4.0 と互換性があります。また、最大 16.0GT/s のスピードをサポートする CCIX Base Specification v1.0 Version 0.9 と互換性があります。このブロックは、Gen3 で最大 16 レーン、Gen4 で最大 8 レーンをサポートしますが、リソースおよび消費電力の削減を目的としてより低いレーン幅用にも構成できます。

UltraScale アーキテクチャが備える PCIe 統合ブロックはすべて、エンドポイントまたはルートポートとして構成可能です。ルートポートは、ルートコンプレックス相当の機能を提供し、PCI Express プロトコルを用いたチップ間のカスタム通信を可能にするだけでなく、イーサネットコントローラーやファイバーチャネル HBA などの ASSP エンドポイントデバイスを FPGA、MPSoc、または RFSoc に接続します。

表 10 に、最大レーン幅およびデータレートを示します。

表 10: PCIe のデータレート別最大レーン幅

	XCZU21DR~XCZU39DR	XCZU43DR~XCZU49DR
Gen1 (2.5GT/s)	x16	x16
Gen2 (5GT/s)	x16	x16
Gen3 (8GT/s)	x16	x16
Gen4 (16GT/s)		x8

高性能アプリケーション向けには、ブロックを高度にバッファーすることで、1,024 バイトまでの柔軟性に優れた最大ペイロードサイズを提供します。また、シリアルコネクティブリティ用に統合された高速トランシーバーと、データバッファー用にはブロック RAM とインターフェイスします。全体として、これらのエレメントは PCI Express プロトコルの物理層、データリンク層、そしてトランザクション層をインプリメントします。

AMD は、UltraScale および UltraScale+ デバイスの PCIe 統合ブロックのコンフィギュレーション用に LogiCORE™ IP を提供しています。これらには、PCIe パケットレベルの AXI ストリーミングインターフェイスから AXI と PCIe のブリッジや DMA エンジンなど、より高度な IP ままで含まれます。これらの IP を使用する場合、リンク幅とスピード、最大ペイロードとサイズ、基準クロック周波数など多くのパラメーターが設計者によって制御されます。各 IP で設定可能な機能の一覧は、それぞれの製品ガイドを参照してください。

## Interlaken 用統合ブロック

Interlaken は 10Gb/s ~ 150Gb/s の通信速度に対応するよう設計された、拡張可能なチップ間インターコネクト プロトコルです。Zynq UltraScale+ RFSoc の Interlaken 用統合ブロックは、Interlaken 仕様リビジョン 1.2 に準拠し、1 レーンから 12 レーンに渡るデータストライプ/デストライプをサポートします。可能な構成は、12.5Gb/s までで 1 ~ 12 レーン、25.78125Gb/s までで 1 ~ 6 レーンで、各統合ブロックあたり最大 150Gb/s をサポートする柔軟性を備えています。

## 100G イーサネット用統合ブロック

100G イーサネット用統合ブロックは IEEE Std 802.3ba に準拠し、ユーザーによるカスタマイズと統計集計をサポートする、低レイテンシの 100Gb/s イーサネット ポートを提供します。10x10.3125Gb/s (CAUI) および 4x25.78125Gb/s (CAUI-4) のコンフィギュレーションが可能なこの統合ブロックには、100G MAC と PCS ロジックの両方が含まれ、IEEE Std 1588v2 1-step および 2-step ハードウェア タイムスタンプに準拠します。

100G イーサネット ブロックには IEEE Std 802.3bj に準拠した RS-FEC (Reed Solomon Forward Error Correction) ブロックが含まれています。この RS-FEC ブロックは、ユーザー アプリケーションでイーサネット ブロックと組み合わせて使用することも、単独で使用することもできます。これらのファミリーは、PCS を MAC なしで動作可能な OTN マッピング モードもサポートしています。

## クロック管理

クロック生成および分散コンポーネントは、メモリ インターフェイスと入力/出力回路を含むカラムに隣接した位置にあります。クロックと I/O が近くに配置されていることにより、メモリ インターフェイスの I/O やその他の I/O プロトコルへのクロッキングが低レイテンシになります。各 CMT (クロック マネージメント タイル) には、MMCM (ミックスド モード クロック マネージャー) が 1 つ、PLL が 2 つ、クロック分散バッファと配線、そして外部メモリ インターフェイスの実装専用の回路が含まれています。

### MMCM (ミックスド モード クロック マネージャー)

MMCM は、入力クロックの広範な周波数の合成回路およびジッター フィルターとしての機能を提供します。この MMCM の中心は、PFD (位相周波数検出回路) からの入力電圧に従って、それを高速化または低速化する VCO (電圧制御オシレーター) です。

さらに、DRP を介してコンフィギュレーションおよび通常動作でプログラム可能な 3 つの周波数分周器 (D、M、O) があります。前置分周器 D は入力周波数を低減させ、位相/周波数コンパレータの入力 1 つを供給します。フィードバック分周器 M は、位相コンパレータのその他の入力を供給する前に VCO 出力を分周するため、乗算器として機能します。D および M は、VCO が指定された周波数範囲内となるように適切に選択する必要があります。VCO には等分された 8 つの出力位相 (0°、45°、90°、135°、180°、225°、270°、315°) があり、それぞれが出力分周器の 1 つを駆動するよう選択できます。分周器はそれぞれ、1 ~ 128 の任意の整数で分周するようにコンフィギュレーションでプログラム可能です。

MMCM には入力ジッターのフィルター モードとして、狭帯域モード、広帯域モード、最適化モードの 3 つがあります。狭帯域モードではジッターの減衰が優先され、広帯域モードでは位相オフセットが優先されます。最適化モードの場合、ツールによって最適な設定が指定されます。

MMCM は、フィードバックパス (乗算器として機能) または出力パスの 1 つに分数カウンターを持つことができます。これらのカウンターは 1/8 という整数以外の増分をサポートするため、周波数を 8 の倍数で合成できます。MMCM は、小さな単位で増分させる固定位相シフトまたは動作中に変更可能な位相シフトもサポートします。増分は VCO 周波数に依存し、たとえば 1,600MHz では 11.2ps となります。

### PLL

MMCM の一部の機能を持つ PLL は各クロック マネージメント タイルに 2 つ含まれ、メモリ インターフェイス専用回路に必要なクロックを提供することを主な役割としています。PLL の中心となる回路は MMCM と同様で、PFD から VCO とプログラム可能な M、D、O カウンターに信号を入力します。各 PLL にはデバイス ファブリックへの分周出力が 2 つと、メモリ インターフェイス回路へのクロックおよびイネーブル信号が各 1 つあります。

Zynq UltraScale+ RFSoc は PS に 5 つの PLL が追加されており、PS の 4 つのプライマリ クロック ドメイン (APU、RPU、DDR コントローラー、および I/O ペリフェラル) を個別に設定できます。

## クロック分配

クロックは、多数の水平トラックと垂直トラックを駆動するバッファを介してプログラマブル ロジック全体に分配されます。各クロック領域には水平および垂直それぞれの方向にクロック配線が 24 本あり、さらに隣接する MMCM および PLL への垂直クロック配線が 24 本あります。クロック領域内では、クロック信号が 16 個のゲート制御可能なリーフ クロックを経由してデバイス ロジック (CLB など) に配線されます。

クロック バッファにはいくつかのタイプがあります。BUFGCE および BUFCE\_LEAF バッファはそれぞれ、グローバル レベルとリーフレベルのクロック ゲーティング機能を提供します。BUFGCTRL はグリッチのないクロック マルチプレクサーおよびゲーティング機能を提供します。BUFGCE\_DIV にはクロック ゲーティングに加えて、入力クロックを 1 ~ 8 分周する機能があります。BUFG\_GT ではトランシーバー クロックを 1 ~ 8 分周できます。クロックは専用バッファを用いて PS から PL へ転送できます。

## メモリ インターフェイス

メモリ インターフェイスに求められるデータ レートは増加の一途で、現在そして次世代のメモリ テクノロジーに対応する、高性能で信頼性の高いインターフェイスを実現するための専用回路が必要となっています。すべての UltraScale デバイスは CMT と I/O カラムの間に専用の PHY ブロックを備え、外部メモリ (DDR4、DDR3、QDRII+、RLDRAM3 など) への高性能 PHY ブロックの実装をサポートします。各 I/O バンクにある PHY ブロックは、アドレス/制御およびデータ バスの信号プロトコルを生成するだけでなく、高性能なメモリ規格との信頼性の高い通信を確立するために不可欠なクロック/データの正確なアライメントを担います。複数の I/O バンクを使用して、ビット数の多いメモリ インターフェイスを構築することも可能です。

Zynq UltraScale+ RFSoc では外部パラレル メモリ インターフェイスだけでなく、ハイブリッド メモリ キューブ (HMC) などの外部シリアル メモリとも高速シリアル トランシーバーを介して通信できます。UltraScale アーキテクチャのトランシーバーはすべて、HMC プロトコルを、最大 15Gb/s のラインレートでサポートします。

## ブロック RAM

Zynq UltraScale+ RFSoc には、完全に独立した 2 つのポートを持ち、格納したデータのみを共有する 36Kb のブロック RAM が含まれます。各ブロック RAM は、1 つの 36Kb RAM または 2 つの独立した 18Kb RAM として構成可能です。読み出しまたは書き込みのメモリ アクセスは、クロックによって制御されます。ブロック RAM カラム内の接続により、垂直方向に隣接するブロック RAM 間で信号をカスケードできるため、サイズが大きく、高速なメモリ アレイや消費電力が大幅に削減された FIFO を簡単に作成できます。

すべての入力、データ、アドレス、クロック イネーブル、書き込みイネーブルはレジスタが付きません。入力アドレスは常にクロックされ (アドレスのラッチが無効でない限り)、次の動作までデータを保持します。オプションとしての出力データのパイプラインレジスタは、1 サイクル分のレイテンシが増加する代わりに、より高いクロック レートでの動作を可能にします。書き込み動作中、データ出力は前に保存されたデータまたは新たに書き込まれたデータを反映させるか、変更なしでそのまま維持できます。また、ユーザー デザインで使用されていないブロック RAM サイトへの電源供給は自動的に切断されるため、総消費電力が削減されます。ブロック RAM すべてに、電力のゲーティングを動的に制御するためのピンが追加されました。

## プログラム可能なデータ幅

各ポートは 32K×1、16K×2、8K×4、4K×9 (または 8)、2K×18 (または 16)、1K×36 (または 32)、512×72 (または 64) のいずれかに構成できます。ブロック RAM と FIFO のどちらとして構成しているかにかかわらず、2 つのポートには別々の比率を指定でき、これに対する制限はありません。各ブロック RAM は完全に独立した 2 つの 18Kb ブロック RAM に分割でき、それぞれを 16K×1 ~ 512×36 の任意のアスペクト比で構成できます。36Kb ブロック RAM について説明した内容は、分割した各 18Kb ブロック RAM にも当てはまります。シンプルデュアルポート (SDP) モードでのみ、18 ビット (18Kb RAM の場合) または 36 ビット (36Kb RAM の場合) を超えるデータ幅がサポートされます。このモードでは、一方のポートが読み出し専用、もう一方のポートが書き込み専用となります。そして、1 つ (読み出しまたは書き込み) のデータ幅がプログラム可能で、もう 1 つが 32/36 または 64/72 に固定されます。デュアルポート 36Kb RAM の場合は両方の幅がプログラム可能です。

## エラー検出および訂正機能

64ビット幅のブロック RAM は、追加で 8 つのビットのハミング コード ビットを生成、格納、そして使用でき、読み出し中にシングルビット エラーの訂正、ダブルビット エラーの検出 (ECC) を実行します。ECC ロジックは 64 ~ 72 ビット幅の外部メモリへの書き込み、またはそのメモリからの読み出しにも使用できます。

## FIFO コントローラー

各ブロック RAM は 36Kb または 18Kb の FIFO として構成できます。シングルクロック (同期) またはデュアルクロック (非同期/マルチレート) 動作に対応する内蔵型の FIFO コントローラーは、内部アドレス値を増分させ、Full、Empty、Programmable Full、Programmable Empty の 4 つのフラグを提供します。プログラム可能なフラグに対しては、フラグをアクティブにする FIFO カウンター値をユーザーが指定できます。FIFO の幅とワード数もプログラム可能で、1 つの FIFO で読み出しポートと書き込みポートに異なる幅を指定できます。また、よりワード数の大きな FIFO を簡単に作成するための専用カスケードパスがあります。

## UltraRAM

Zynq UltraScale+ RFSocs には、UltraRAM と呼ばれる高集積度のデュアルポート同期メモリブロックがあります。2 つのポートは同じクロックを共用し、4K x 72 ビットのすべてをアドレス指定できます。各ポートはそれぞれ独立してメモリアレイへの読み書きを実行できます。UltraRAM は 2 種類のライト イネーブル モードをサポートしています。1 つは、ブロック RAM のバイト ライト イネーブルモードと同じです。もう 1 つは、データバイトとパリティバイトの書き込みを個別にゲーティングできるモードです。複数の UltraRAM ブロックを連結して大容量のメモリアレイを構築することもできます。UltraRAM カラムには専用の配線があり、カラムの高さ全体を連結できます。さらに高い集積度が必要な場合、わずかなロジックリソースを使用するだけですべての UltraRAM を連結できます。これにより、1 インスタンスのサイズが約 22Mb の RAM を構築できます。このため、UltraRAM は SRAM など外部メモリの置き換えとして理想的なソリューションとなります。288Kb ~ 22Mb の範囲でカスケード接続が可能な UltraRAM は、多岐にわたるメモリ要件に柔軟に対応します。

## エラー検出および訂正機能

64 ビット幅の UltraRAM は、追加で 8 つのビットのハミング コード ビットを生成、格納、そして使用でき、読み出し中にシングルビット エラーの訂正、ダブルビット エラーの検出 (ECC) を実行します。

## コンフィギャラブル ロジック ブロック

コンフィギャラブル ロジック ブロック (CLB) はすべて、8 つの LUT と 16 個のフリップフロップを含みます。LUT は、出力が 1 つの 6 入力 LUT として、または出力は別々でアドレスまたはロジック入力が共通の 2 つの 5 入力 LUT として構成可能です。各 LUT はオプションとしてフリップフロップでラッチできます。CLB には LUT およびフリップフロップ以外にも、演算キャリー ロジックおよびマルチプレクサーが含まれ、これらを使用することでよりビット数の大きなロジックファンクションが作成できます。

1 つの CLB には 1 つのスライスが含まれ、スライスには SLICEL および SLICEM の 2 つの種類があります。SLICEM の LUT は、64 ビット RAM、32 ビット シフトレジスタ (SRL32)、または 2 つの SRL16 として構成可能です。UltraScale アーキテクチャの CLB は従来世代のデバイスの CLB に比べ配線と接続が増加しています。また、制御信号も追加されていることからレジスタのパッキング効率が向上し、結果として全体的なデバイス使用率が改善されます。

## インターコネクト

UltraScale アーキテクチャはさまざまな長さ (CLB 1、2、4、5、12、または 16 個分) の垂直および水平方向の配線リソースを備えているため、すべての信号をソースからデスティネーションへ容易に転送できます。このため、最も集積度の高いデバイスにおいても次世代の広いデータバスをサポートでき、結果の品質とソフトウェアランタイムが同時に向上します。

## デジタル信号処理

DSP アプリケーションは、専用の DSP スライスに最適に実装された多数のバイナリ乗算器およびアキュムレータを使用します。Zynq UltraScale+ RFSoc はいずれも専用の低消費電力 DSP スライスを数多く装備し、システム設計の柔軟性を維持しながら、高速処理と小型化を同時に実現しています。

各 DSP スライスは基本的に、専用の  $27 \times 18$  ビット 2 の補数乗算器および 48 ビット アキュムレータで構成されます。乗算器は動作中にバイパスでき、2つの 48 ビット入力は SIMD (単一命令複数データ) 演算ユニット (デュアルの 24 ビット加算/減算/累算、またはクワッドの 12 ビット加算/減算/累算)、またはオペランドが 2つの 10 個の異なるロジック ファンクションから任意の 1つを作成可能なロジックユニットに入力できます。

DSP には、通常対称フィルターに使用される前置加算器が追加されています。この加算器により、高密度に実装されたデザインの性能が向上し、DSP スライス数が最大 50% 削減されます。96 ビット幅の専用 XOR ファンクション (ビット幅は 12、24、48、または 96 にプログラム可能) により、前方エラー訂正や CRC アルゴリズムをインプリメントする際の性能が向上します。

さらに、収束丸め (偶数丸めとも呼ばれる) または対称丸めに使用できる 48 ビット幅のパターン検出回路も備えています。パターン検出回路をロジックユニットと併用する場合には、96 ビット幅のロジック ファンクションが実装可能です。

DSP スライスは多数のパイプラインおよび拡張性能を提供し、デジタル信号処理だけでなくその他多くのアプリケーションで速度と効率性を向上させます。このようなアプリケーションには、バス幅の広いダイナミック シフター、メモリ アドレス ジェネレーター、多入力マルチプレクサー、メモリ マップされた I/O レジスタ ファイルが含まれます。また、アキュムレータは同期のアップ/ダウン カウンターとしても使用可能です。

## システム モニター

システム モニターは、オンチップの温度と電源センサーおよび ADC までの外部チャネルによって物理的環境をモニタリングすることで、システム全体の安全性、セキュリティ、信頼性を向上させるために使用されます。Zynq UltraScale+ RFSoc の PS には、追加のシステム モニター ブロックがあります。表 11 を参照してください。

表 11: システム モニターの主な機能

	Zynq UltraScale+ RFSoc PL	Zynq UltraScale+ RFSoc PS
ADC	10 ビット 200kSPS	10 ビット 1MSPS
インターフェイス	JTAG、I2C、DRP、PMBus	APB

PL のシステム モニターでは、センサー出力と最大 17 のユーザー割り当てによる外部アナログ入力は、10 ビット 200kSPS の ADC でデジタル化され、その計測値が内部 DRP、JTAG、PMBus、または I2C インターフェイスを介してアクセス可能なレジスタに格納されます。I2C および PMBus インターフェイスの場合、デバイス コンフィギュレーション前後に System Manager/Host でオンチップ モニタリングに簡単にアクセスできます。

RFSoc PS のシステム モニターは、10 ビット 1MSPS の ADC でセンサー出力をデジタル化します。この計測値はレジスタに格納され、PS のプロセッサおよびプラットフォーム管理ユニット (PMU) を用いて APB (Advanced Peripheral Bus) インターフェイスを介してアクセスされます。

## RFSoc のブート

Zynq UltraScale+ RFSoc は複数ステージのブート プロセスを使用し、非セキュア ブートおよびセキュア ブートをサポートしています。PS は、ブート プロセスとコンフィギュレーション プロセスのマスターとなります。セキュア ブートの場合は、AES-GCM、SHA-3/384 復号/認証、および 4096 ビット RSA ブロックによってイメージが復号および認証されます。

リセット時にデバイス モード ピンが読み出されて、使用されるプライマリ ブート デバイス (NAND、クワッド SPI、SD、eMMC、JTAG) が判定されます。JTAG は非セキュア ブート ソースとしてのみ使用可能で、デバッグを目的としています。Cortex-A53 または Cortex-R5F のいずれか一方の CPU がオンチップ ROM からのコードを実行し、ブート デバイスから OCM (オンチップ メモリ) へ FSBL (第 1 段階ブートローダー) をコピーします。

FSBL が OCM へコピーされると、プロセッサが FSBL を実行します。AMD はサンプル FSBL を提供していますが、ユーザーが独自の FSBL を作成することも可能です。FSBL によって PS のブートが開始し、PL のロードまたはコンフィギュレーションを実行できるようになります。PL コンフィギュレーションは、後に実行することもできます。FSBL は通常、ユーザー アプリケーションをロードするか、オプションとして U-Boot などの SSBL (第 2 段階ブートローダー) をロードします。SSBL は AMD またはサードパーティからサンプルを入手できますが、独自のものを作成することも可能です。SSBL は、いずれかのプライマリ ブート デバイス、または USB、イーサネットなどその他のソースからコードをロードすることでブート プロセスを継続します。FSBL で PL をコンフィギュレーションしなかった場合は SSBL でそれを実行できますが、ここでも先延ばしにしておくことができます。

スタティック メモリ インターフェイス コントローラー (NAND、eMMC、またはクワッド SPI) は、デフォルト設定でコンフィギュレーションされます。デバイスのコンフィギュレーション速度を上げるために、ブート イメージ ヘッダーにある情報でこれらの設定を変更可能です。ブート後に ROM のブート イメージをユーザーが読み出したり実行することはできません。

## パッケージ

Zynq UltraScale+ RFSoc は高性能な有機フリップチップおよびリッドレス フリップチップ パッケージで提供され、サポートする I/O、トランシーバー、RF-ADC および RF-DAC の数はパッケージごとに異なります。デカップリング キャパシタがパッケージ上に分散して搭載されており、これによって同時スイッチング出力 (SSO) が生じる条件下でのシグナル インテグリティが最適化されます。パッケージおよびスピード グレード別のパフォーマンス仕様は該当デバイスのデータシートを参照してください。

## 注文情報

表 12 に、Zynq UltraScale+ RFSoc デバイス ファミリで提供されるスピード グレード、温度範囲、および動作電圧を示します。

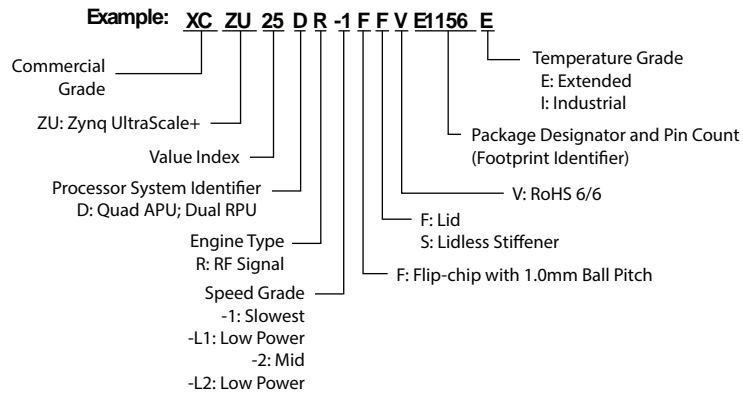
表 12: スピード グレード、温度範囲、動作電圧

デバイス ファミリ	XC デバイス	スピード グレード、温度範囲、および V <sub>CCINT</sub> 動作電圧		
		拡張 (E)		インダストリアル (I)
		0°C ~ +100°C	0°C ~ +110°C	-40°C ~ +100°C
Zynq UltraScale+ RFSoc	XCZU21DR	-2E (0.85V)		-2I (0.85V)
	XCZU25DR		-2LE <sup>(1)(2)</sup> (0.85V または 0.72V)	-2LI (0.72V) <sup>(3)</sup>
	XCZU27DR			
	XCZU28DR	-1E (0.85V)		-1I (0.85V)
	XCZU29DR			-1LI <sup>(2)</sup> (0.85V または 0.72V)
	XCZU39DR			-2I (0.85V)
				-2LI (0.72V) <sup>(3)</sup>
	XCZU42DR	-2E (0.85V)		-2I (0.85V)
	XCZU43DR			-2LI (0.72V) <sup>(3)</sup>
	XCZU46DR			
	XCZU47DR	-1E (0.85V)		-1I (0.85V)
	XCZU48DR			
XCZU49DR			-1LI (0.72V)	
Zynq UltraScale+ RFSoc DFE	XCZU63DR			-2I (0.85V)
	XCZU64DR			-2LI (0.72V) <sup>(3)</sup>
	XCZU65DR			-1I (0.85V)
	XCZU67DR			-1LI (0.72V)

### 注記:

- 2LE スピード/温度グレードでは、デバイスは 110°C のジャンクション温度で限られた時間動作できます。動作電圧 (標準の 0.85V または低電圧の 0.72V) に関係なく、タイミング パラメーターは 110°C を下回る温度でのスピード ファイルと同じように 110°C のスピード ファイルに準拠します。110°C T<sub>j</sub> での動作はデバイスの寿命期間の 1% に限定されます。この 1% を越えなければ連続または一定間隔でデバイスを動作させることができます。
- PL が低電圧 (0.72V) で動作している場合、PS は公称電圧 (0.85V) で動作します。
- 2LI スピード/温度グレードと表記されているデバイスは、110°C のジャンクション温度で限られた時間動作できます。タイミング パラメーターは 110°C を下回る温度でのスピード ファイルと同じように 110°C のスピード ファイルに準拠します。110°C T<sub>j</sub> での動作はデバイスの寿命期間の 5% に限定されます。この 5% を越えなければ連続または一定間隔でデバイスを動作させることができます。

図 2 に示す注文情報は、Zynq UltraScale+ RFSoc ファミリのすべてのパッケージに適用されます。



- 1) -L1 and -L2 are the ordering codes for the low power -1L and -2L speed grades, respectively.
- 2) For 10GSPS RF-DAC operation, contact your local sales representative.

DS889\_03\_062723

図 2: Zynq UltraScale+ RFSoc の注文情報

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2023年6月27日	1.14	文書全体に ZU63DR および ZU64DR の記述を追加。表 4 および表 5 を追加。表 1、表 2、表 6、および表 12 を更新。「デジタルフロントエンド (DFE)」および「デジタルフロントエンド (DFE) の機能」を追加。
2022年1月7日	1.13	文書全体に ZU65DR および ZU67DR の記述を追加。表 1、表 2、表 3、表 12、図 1-1、および「RF-ADC の機能」を更新。
2021年4月8日	1.12	表 1、表 2、表 3、および図 2 を更新。
2020年12月2日	1.11	表「RF-ADC および RF-DAC タイル構成」(表 6) を追加。
2020年9月14日	1.10	表 1、表 2、表 3 および表 12 に ZU42DR を追加。
2019年8月27日	1.9	表 1、表 2、表 3 および表 12 に ZU43DR を追加。表 1 を更新。
2019年5月13日	1.8	表 1、表 2、および「RF-ADC の機能」の ZU39DR を更新。
2019年2月20日	1.7	表「RF データ コンバーター サブシステムの機能」(表 1) を追加。「概要」、「プロセッシング システム」、「I/O、トランシーバー、PCIe、100G イーサネット、150G Interlaken」、表 2、表 3、「RF-ADC の機能」、「RF-DAC の機能」、「PCI Express デザイン用統合インターフェイスブロック」、表 10、および表 12 を更新。
2018年11月12日	1.6	文書全体で PCIe に関する説明を更新。該当箇所は、「プロセッシング システム」、「I/O、トランシーバー、PCIe、100G イーサネット、150G Interlaken」、表 2、および「PCI Express デザイン用統合インターフェイスブロック」。「アプリケーションプロセッシングユニット (APU)」の動作ターゲット周波数を更新。表 9 の GTY の最大ターゲット レートを更新。
2018年7月23日	1.5	図 1 を更新。
2018年5月17日	1.4	「概要」、「RF データ コンバーター サブシステム」、表 2、「RF-ADC の機能」、表 12 (-3E を削除し、-2LI と注記 3 を追加)、および図 1-1 を更新。
2018年1月23日	1.3	「パッケージ」にリッドレス フリップチップ パッケージを追加。
2017年12月19日	1.2	文書全体で RF-ADC/DAC レートを更新。該当箇所は、「概要」、「RF データ コンバーター サブシステム」、表 2、「RF-ADC の機能」、および「RF-DAC の機能」。
2017年11月15日	1.1	表 3 の FSVE1156、FSVG1517、および FSVF1760 パッケージの情報を更新。図 2 でスティフナー付きリッドなしパッケージの情報を追加。「アプリケーションプロセッシングユニット (APU)」および「リアルタイムプロセッシングユニット (RPU)」を更新。
2017年10月3日	1.0	初版

## お読みください: 重要な法的通知

本資料に掲載されている情報は情報提供のみを目的としており、技術的に不正確な情報、省略、誤植を含む可能性があります。ここに記載の情報は、製品およびロードマップの変更、コンポーネントとマザーボードのバージョン変更、新しいモデルや製品のリリース、製造業者の違いによる製品の差異、ソフトウェア変更、BIOS のフラッシュ、ファームウェア アップグレードなどを含む (ただしこれに限定されない) 多くの理由によって変更される場合があります、不正確となる可能性があります。いかなるコンピューター システムにも完全に防止または軽減できないセキュリティの脆弱性のリスクが存在します。AMD は、情報の更新、または修正や改訂について一切の義務を負わないものとします。ただし AMD は本情報を改訂してその内容を随時変更する権利を有し、その改訂または変更に関して通知する義務を負いません。本情報は「現状有姿」で提供されます。AMD は本書の内容について一切の表明も保証も行わないものとし、本情報の不正確さ、誤り、省略について一切の責任を負いません。また、AMD は非侵害性、商品性、または特定目的適合性に関する黙示的保証を行わないものとします。AMD は本資料に含まれる情報の使用に起因する依存、直接、間接、特別、または結果的な損害に対して、AMD が当該の損害の可能性を知らされていた場合であっても、責任を負うことはありません。

### 自動車用アプリケーションの免責条項

オートモーティブ製品 (製品番号に「XA」が含まれる) は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能 (「セーフティ設計」) がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション (「セーフティアプリケーション」) における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとし、セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品責任の制限を規定する適用法令および規則にのみ従うものとし、

© Copyright 2017–2023 Advanced Micro Devices, Inc.、AMD、AMD の矢印形のロゴ、Zynq UltraScale+、UltraScale、およびその組み合わせは、Advanced Micro Devices, Inc. の商標です。AMBA、AMBA Designer、Arm、Arm1176JZ-S、CoreSight、Cortex、および PrimeCell は、EU およびその他各国の Arm 社の登録商標です。PCI、PCIe、および PCI Express は PCI-SIG の商標であり、ライセンスに基づいて使用されています。CPRI は、Siemens AG の商標です。この資料で使用されているその他の製品名は識別のみを目的としたものであり、各社の商標である可能性があります。

この資料に関するフィードバックおよびリンクなどの問題につきましては、[jpn\\_trans\\_feedback@amd.com](mailto:jpn_trans_feedback@amd.com) まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。フィードバックは日本語で入力可能です。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。