Spartan-3AN インシステム フラッシュ ユーザー ガイド

Spartan™-3 AN FPGA のコンフィギュレーション後におけるインシステム フラッシュ メモリへのデータ読み出し/書き込み方法

UG333 (v1.1.1) 2007 年 9 月 24 日

本資料は英語版 (v1.1.1) を翻訳したものです。英語の更新バージョンがリリースされている場合には、最新の英語版を必ずご参照ください。

XILINX®

Xilinx (以下「ザイリンクス」といいます) では、ザイリンクス FPGA におけるデザインの開発目的のみにこの文書を開示します。この文書に明記されている場合を除き、電子、機械、複写、録音を含め、いかなる形態または手段においても、ザイリンクスの書面による事前の許可なく資料をコピー、複製、配布、再発行、ダウンロード、表示、掲載、転送することはできません。この文書に含まれている資料を許可なく使用すると、著作権法、商標法、秘密保護と公示の法律、通信規定と法規の違反となる可能性があります。

ザイリンクスでは、この文書の適用および使用により生じる損害の責任を一切負いません。また、ここに明記されている場合を除き、この法定通知のいずれの部分も、黙示、禁反言、その他の法律論理による特許、商標、著作権、その他の知的資産権のライセンスや権利の付与とは見なされません。この文書の内容の使用および実施に必要ないかなる権利の取得もユーザー個人の責任となります。文書中のエラーの訂正や、ユーザーに提供されるエンジニアリングのソフトウェア サポートおよびヘルプの正確性や正当性については責任を負いかねます。また、文書をアップデートする確約もいたしません。ザイリンクスはこれらの条件および条項を独自の判断によって変更する権利を有します。

この文書は「現状のまま」で提供され、ユーザーは自己責任でこの文書を使用することに同意したものとみなされます。ザイリンクス、ザイリンクスの従業員、およびザイリンクスの販売特約店の従業員によるその他の口頭または書面によるいかなる情報、アドバイス等によっても、新たな内容の保証が創設されたり上記の制限保証の範囲を拡大させたりするものではありません。ザイリンクスでは、特許や著作権その他の知的資産権の不侵害、商品性、および特定目的への適合性は明示黙示を問わず保証いたしません。

ザイリンクスでは、文書の使用または使用不能の結果生じた間接的、懲罰的、特別、または付随的ないかなる損害 (利益の損失、業務の中断、交換品の費用、情報の消失や破損を含む) については、その可能性を事前に通告されていた場合でも一切責任を負いません。ユーザーに対するザイリンクスの損害賠償責任総額は、いかなる場合にもユーザーがザイリンクスに支払った文書の代金を上限とします。たとえいかなる救済手段もその実質的目的を達せない場合でも、上記の制限責任および免責条項が法律上最大限認められる限度で適用されます。

この文書は、安全装置が必要となるような危険な環境でのオンライン制御装置としての使用を目的にしたものではありません。原子力施設、航空機操縦・通信システム、航空管制、生命維持装置、武器の作動・運転等（以下高リスク行為とします）、安全装置が必要となるような危険な環境でのオンライン制御装置としての使用、再販売を意図しての設計・製造または停止・誤作動対策措置がなされたものではありません。ザイリンクスは、高リスク行為用途への適性に関する明示的・黙示的を問わず一切の保証を、ここに明確に排除します。

Copyright © 2007 Xilinx, Inc. All Rights Reserved. 本文書に記載されている「Xilinx」、ザイリンクスのロゴ、およびザイリンクスが所有する製品名等は、米国 Xilinx Inc. の米国における登録商標です。その他に記載されている会社名および製品名等は、各社の商標または登録商標です。

変更履歴

本書の改訂履歴は以下のとおりです。

日付	バージョン	変更内容
2007/02/26	1.0	初版リリース
2007/08/29	1.1	全体を変更。デザインで推奨されていないレガシ コマンドを削除。「MultiBoot コンフィギュレーション ビットストリーム格納のガイドライン」を追加。第 7 章 ： 「電力管理」の説明を簡潔化。
2007/09/24	1.1.1	第 1 章 ： 「概要および SPI_ACCESS インターフェイス」に注意書きとして、現在 SPI_ACCESS はシミュレーションでサポートされていないことを追加。

第 1 章： 概要および SPI_ACCESS インターフェイス

インシステム フラッシュの概要 . . . 9
コンフィギュレーション後のインシステム フラッシュ メモリへのアクセス . . . 11
SPI_ACCESS プリミティブ . . . 11
HDL インストールの例 . . . 12
VHDL . . . 12
Verilog . . . 13
SPI トランザクション . . . 13
コマンド シーケンスの詳細例 . . . 15

第 2 章： インシステム フラッシュ メモリのアーキテクチャ

ブロック図 . . . 17
フラッシュ メモリ アレイ . . . 17
アドレス指定の概要 . . . 19
アドレス指定モード . . . 19
デフォルトのアドレス指定モード . . . 22
出荷時のステート . . . 23
メモリ割り当て表 . . . 23
MultiBoot コンフィギュレーション ビットストリーム格納のガイドライン . . . 29
フラッシュのセクタ バウンダリにアライン . . . 29
DCM_WAIT 用の追加メモリ スペース . . . 29
ユーザー データ格納のガイドライン . . . 30

第 3 章： 読み出しコマンド

Fast Read . . . 32
Random Read . . . 34
Page to Buffer Transfer . . . 35
Buffer Read . . . 37

第 4 章： 書き込みおよびプログラム コマンド

Buffer Write . . . 42
Buffer to Page Program with Built-in Erase . . . 44
Buffer to Page Program without Built-in Erase . . . 44
Page Program Through Buffer . . . 47
Page to Buffer Compare (プログラム検証) . . . 49
SRAM ページ バッファの初期化 . . . 50
EEPROM のようなバイト レベルの書き込み動作 . . . 51
ランダム ページ プログラミングの場合での累積動作回数の制限 . . . 51
Auto Page Rewrite . . . 52

第 5 章： 消去コマンド

Sector Protect および Sector Lockdown による消去回避 . . . 55
消去ステート . . . 55

Page Erase 56
Block Erase 58
Sector Erase 61
セクタ アドレス指定 62
デフォルトのアドレス指定モード 62
動作時間 65

第 6 章： ステータスおよびインフォメーション コマンド

ステータス レジスタ 67
READY/BUSY 68
COMPARE 69
ISF メモリ サイズ 69
SECTOR PROTECT 70
PAGE SIZE 70
Status Register Read 70
Information Read 71
製造者の識別子 73
ファミリ コード / メモリ集積度コード 73
メモリ タイプ / 製品バージョン コード 74
追加のデバイス情報フィールド 74

第 7 章： 電力管理

アクティブ モード 75
スタンバイ モード 75
熱管理 76

第 8 章： セクタ単位のプログラム保護および消去保護機能

セクタの保護機能 78
電源投入時のセクタ保護機能のステータス 79
セクタ プロテクション レジスタ 79
Sector Protection Register Erase 80
Sector Protection Register Program 80
全セクタの保護機能が有効な場合に特定のセクタのみ保護機能を解除 82
セクタ プロテクション レジスタのプログラム / 消去サイクルは最大 10,000 回までに制限82
Sector Protection Register Read 82
Sector Protection Enable 83
Sector Protection Disable 84
セクタのロックダウン機能 84
Sector Lockdown Program 84
セクタ ロックダウン レジスタ 85
Sector Lockdown Register Read 86

第 9 章： セキュリティ レジスタ

セキュリティ レジスタ 89
Security Register Program 90

Security Register Read 91

付録 10： オプションの 2 の累乗アドレス指定モード

現在のアドレス指定モードを確認する 94
2 の累乗アドレス指定モードへ変更 94
2 の累乗アドレス指定モード 94
2 の累乗アドレス指定 95
2 の累乗ページ アドレス指定 95
2 の累乗ブロック アドレス指定 96
2 の累乗セクタ アドレス指定 96

XILINX®

第 1 章

概要および SPI_ACCESS インターフェイス

メモ：本ユーザー ガイドは、コンフィギュレーション後にインシステム フラッシュへアクセスまたは修正を行う Spartan™-3AN FPGA デザインを対象としています。FPGA のコンフィギュレーションだけにインシステム フラッシュを使用するアプリケーションは、本ユーザー ガイドを参照する必要はありません。Spartan-3AN FPGA のコンフィギュレーションの詳細は、**UG332：『Spartan-3 ジェネレーション コンフィギュレーション ユーザー ガイド』**を参照してください。

Spartan-3AN FPGA には、多数のインシステム フラッシュ (ISF) メモリが含まれています。ISF メモリ アレイは、SPI ベースのシリアル フラッシュ メモリとして Spartan-3AN FPGA アプリケーションに配置されています。ISF メモリは、主に電源投入時や PROG_B ピンが Low 駆動したときに自動的に FPGA をコンフィギュレーションするために使用されますが、実際、次のようなデータも格納できます。

- 未圧縮の FPGA コンフィギュレーション ビットストリームを 2 つ格納できる。したがって、MultiBoot 機能を使用して、FPGA アプリケーションで 2 種類のデザインからいずれかを選択、あるいは一方のデザインをフェイル セーフとして保管し、インシステム フラッシュをライブでアップデートできる。
- MicroBlaze™ プロセッサ コード、シリアル番号、Ethernet MAC ID、グラフィック画像、メッセージ テンプレートなどの FPGA アプリケーション用の追加的な不揮発性データを格納できる。

インシステム フラッシュの概要

10 ページの表 1-1 に、ISF メモリの主な属性および機能を示します。本ユーザー ガイドでは、これらの特徴と機能について詳しく説明します。

また、この表は、FPGA アプリケーションで使用可能なフラッシュ メモリ数を示します。これは、デザインのオプション数によって異なります。

- ISF アレイには FPGA コンフィギュレーション ビットストリームを何個格納できるか。
  - 通常のアプリケーションでは、コンフィギュレーション ビットストリームを 1 個のみ格納し、残りのスペースは不揮発性ユーザー データを格納する。
  - オプションとして、1 個の Spartan-3AN FPGA には圧縮されていない MultiBoot コンフィギュレーション イメージを最大 2 個まで格納できる。この場合、アプリケーションで使用可能なフラッシュ メモリの容量は減少する。
- FPGA アプリケーションは Sector Protect 機能および Sector Lockdown 機能を使用して、ISF メモリの内容を保護できるか。
  - セクタ ベースのデータ保護機能を使用しない場合、ユーザー アプリケーションは FPGA ビットストリームの次に空いているページへデータをアラインして格納する (ページ アライン)。

- セクタ ベースのデータ保護機能を使用する場合、ユーザー アプリケーションは次のセクタ バウンダリへデータをアラインして格納する (セクタ アライン)。

表 1-1 : インシステム フラッシュ メモリの概要

説明		Spartan-3AN FPGA				
		3S50AN	3S200AN	3S400AN	3S700AN	3S1400AN
インシステム フラッシュ (ISF) メモリ ビット		1,081,344 (1M+)	4,325,376 (4M+)	4,325,376 (4M+)	8,650,752 (8M+)	17,301,504 (16M+)
SRAM ページ バッファ		1	2	2	2	2
デフォルトのアドレス指定モードのページ サイズ (バイト)		264	264	264	264	528
オプションの 2 の累乗アドレス指定モードのページ サイズ (バイト)		256	256	256	256	512
ページ数		512	2,048	2,048	4,096	4,096
ブロック数		64	256	256	512	512
セクタ数		4	8	8	16	16
各ブロックのページ数		8	8	8	8	8
各ブロックのセクタ数		128	256	256	256	256
各ブロックのバイト数		2,112	2,112	2,112	2,112	4,224
各セクタのバイト数		33,792	67,584	67,584	67,584	135,168
FPGA コンフィギュレーション ビットストリーム サイズ (未圧縮)		437,312	1,196,128	1,886,560	2,732,640	4,755,296
FPGA ビットストリームに必要なページ数 (常に 0 から開始)	デフォルト	208	567	894	1,294	1,126
	2 の累乗	214	585	922	1,335	1,161
ページ アラインされたユーザー データ (データ スペースは最大、ただし Sector Protect 機能および Sector Lockdown 機能は制限される場合)						
FPGA コンフィギュレーション以外でユーザー アプリケーション用に使用可能なページ数。データは次のページ バウンダリへアラインされる。デフォルト のアドレス指定モード		304	1,481	1,154	2,802	2,970
ユーザー アプリケーションで使用可能なフラッシュ メモリ ビットの総数。デフォルトのアドレス指定モード		642,048 (627K) (0.61M)	3,127,872 (3,054K) (2.98M)	2,437,248 (2,380K) (2.32M)	5,917,824 (5,779K) (5.64M)	12,545,280 (12,251K) (11.96M)
セクタ アラインされたユーザー データ (Sector Protect 機能および Sector Lockdown 機能を使用して、ユーザー データはセクタ アラインされる場合)						
未圧縮の各 FPGA ビットストリームで必要なセクタ数		2	3	4	6	5
FPGA ビットストリーム以外のユーザー アプリケーションで使用可能なセクタ数。次のセクタ バウンダリにアライン		2	5	4	10	11
残りのセクタでユーザー アプリケーション用に使用可能なビット数。デフォルトのアドレス指定モード		540,672 (528K) (0.51M)	2,703,360 (2,640K) (2.57M)	2,162,688 (2,112K) (2.06M)	5,406,720 (5,280K) (5.15M)	11,894,784 (11,616K) (11.34M)
MultiBoot FPGA コンフィギュレーション						
未圧縮の MultiBoot FPGA コンフィギュレーション イメージの最大数		2	2	2	2	2

表 1-1 : インシステム フラッシュ メモリの概要 (続き)

説明	Spartan-3AN FPGA				
	3S50AN	3S200AN	3S400AN	3S700AN	3S1400AN
MultiBoot FPGA コンフィギュレーション ビットストリーム以外のユーザー アプリケーションで使用可能なセクタ数	0	2	0	4	6
MultiBoot FPGA コンフィギュレーション ビットストリーム以外のユーザー アプリケーションで使用可能なフラッシュ メモリ ビット数。セクタ アライン。 デフォルトのアドレス指定モード	0	1,081,344 (1,056K) (1.03M)	0	2,162,688 (2,112K) (2.06M)	6,488,064 (6,336K) (6.18M)

コンフィギュレーション後のインシステム フラッシュ メモリへのアクセス

SPI_ACCESS プリミティブ

FPGA コンフィギュレーション後、FPGA へロードされたアプリケーションは SPI_ACCESS という特殊なデザイン プリミティブ (図 1-1 を参照) を使用して ISF メモリへアクセスできます。ISF メモリとのすべてのデータ アクセスは、SPI シリアル プロトコルを使用して実行されます。Spartan-3AN FPGA および SPI_ACCESS プリミティブには専用の SPI マスタ コントローラがありません。その代わりとして、FPGA のプログラム可能なロジック リソースを使用して、制御ロジックがインプリメントされます。SPI_ACCESS プリミティブは、FPGA アプリケーションとインシステム フラッシュ メモリ アレイを接続します。

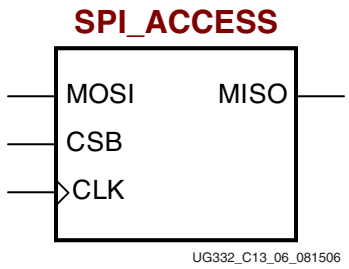

図 1-1 : SPI_ACCESS プリミティブ (Spartan-3AN FPGA のみ)

表 1-2 では、SPI_ACCESS プリミティブの接続について説明します。これらのシリアル データ ライン名は、データを駆動するロジックに由来しています。FPGA アプリケーションは、常に各 SPI トランザクションのマスタ デバイスとなります。したがって、ISF メモリは常にスレーブになります。

表 1-2 : SPI_ACCESS プリミティブの接続

ポート名	方向	機能
MISO	出力	(**M**aster **I**nput **S**lave **O**utput) ISF メモリ アレイから FPGA ロジックへのシリアル データ出力。
MOSI	入力	(**M**aster **O**utput **S**lave **I**nput) FPGA ロジックから ISF メモリ アレイへのシリアル データ入力。

表 1-2 : SPI_ACCESS プリミティブの接続 (続き)

ポート名	方向	機能
CSB	入力	FPGA ロジックで駆動される ISF メモリ アレイのアクティブ Low のチップ イネーブル。
CLK	入力	FPGA ロジックで駆動される ISF メモリ アレイのクロック入力。

表 1-3 に、SPI_ACCESS プリミティブで使用可能な属性について示します。

表 1-3 : SPI_ACCESS プリミティブの属性

属性	タイプ	許容値	デフォルト	説明
SIM_DEVICE	文字列	3S50AN、3S200AN、3S400AN、3S700AN、3S1400AN	未定義	ターゲット デバイスを指定すると、適切なサイズの ISF メモリが使用される。必須。
SIM_FACTORY_ID	64 ビットのビット ベクタ	64 ビット値	すべて 0	工場でプログラムされたセキュリティ レジスタに含まれる独自の識別子を指定する。オプション。
SIM_USER_ID	64 ビットのビット ベクタ	64 ビット値	すべて 0	セキュリティ レジスタに含まれるユーザー定義フィールドを指定する。オプション。
SIM_MEM_FILE	文字列	ファイルおよびディレクトリ名	なし	ISF メモリのメモリ内容を含む 16 進数ファイルを指定する。オプション。

HDL インストールの例

SPI_ACCESS プリミティブを HDL デザインにインスタンシエートする必要があります。このプリミティブは、ロジック合成ソフトウェアでは推論されません。

注意 : 現在、SPI_ACCESS インシステム フラッシュ メモリの動作は、シミュレーションではサポートされていません。

VHDL

SPI_ACCESS プリミティブは、ザイリンクスの Unisim ライブラリ宣言が必要です。SPI_ACCESS コンポーネントをインスタンシエートして、デザイン内のほかの信号へ接続します。

ザイリンクスの Unisim ライブラリ

ザイリンクスの Unisim ライブラリには、SPI_ACCESS プリミティブなどすべての Spartan-3AN FPGA プリミティブの定義が含まれています。**entity** 宣言の前に Unisim ライブラリを宣言してください。

```
library UNISIM;
use UNISIM.VComponents.all;
entity XXXX is
```

SPI_ACCESS プリミティブのインスタンシエーション

architecture 宣言の後に SPI_ACCESS プリミティブをインスタンシエートします。4 つの SPI_ACCESS ポートと FPGA アプリケーションの各信号を接続します。

```
architecture Behavioral of XXXX is
begin
...
SPI_ACCESS_inst: SPI_ACCESS
generic map (
   SIM_DEVICE => "3S700AN"
)
port map (
   MISO => MISO_signal,  -- 1-bit SPI output data
   MOSI => MOSI_signal,  -- 1-bit SPI input data
   CSB  => CSB_signal,   -- 1-bit SPI chip enable
   CLK  => CLK_signal    -- 1-bit SPI clock input
);
-- End of SPI_ACCESS_inst instantiation
```

Verilog

Verilog を使用して、SPI_ACCESS プリミティブと FPGA アプリケーションの各信号を接続します。

```
SPI_ACCESS #(
.SIM_DEVICE("3S700AN")
) SPI_ACCESS_inst (
   .MISO(MISO_signal),  // 1-bit SPI output data
   .MOSI(MOSI_signal),  // 1-bit SPI input data
   .CSB(CSB_signal),    // 1-bit SPI chip enable
   .CLK(CLK_signal)     // 1-bit SPI clock input
);
// End of SPI_ACCESS_inst instantiation
```

SPI トランザクション

SPI_ACCESS プリミティブは、標準の SPI シリアル トランザクション プロトコルを使用します。このインターフェイスは、デフォルトで SPI の 「モード 3」をサポートしています。

注意 ：現在、SPI_ACCESS SPI シリアル トランザクション プロトコルは、シミュレーションでサポートされていません。

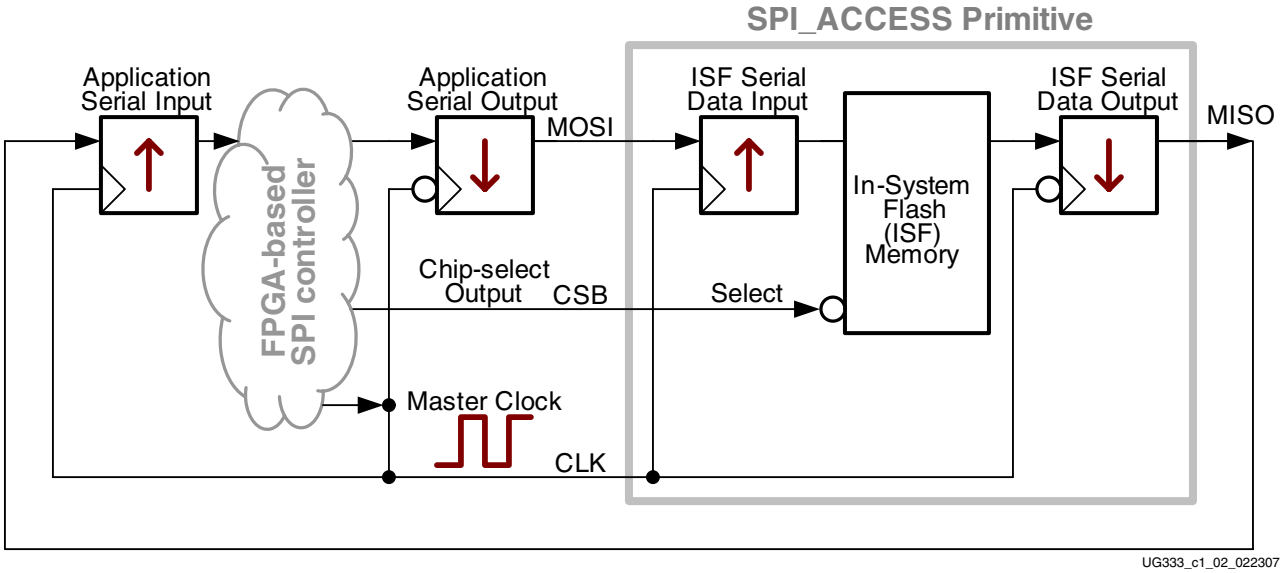

図 1-2 : FPGA から SPI_ACCESS へのインターフェイスおよびアクティブ クロック エッジ

- すべてのトランザクションは、FPGA ロジックで構築された SPI マスタ コントローラで制御される。
- すべてのトランザクションは、SPI_ACCESS プリミティブの CLK 入力によって同期化される。FPGA アプリケーションは、CLK 信号を生成する。
- SPI プロトコルは、CLK 信号の立ち上がりエッジおよび立ち下がりエッジの両方を使用する。
- CLK 入力が High になり、CSB 入力を Low 駆動して ISF メモリの選択を解除したとき、SPI_ACCESS CSB 入力を Low 駆動すると FPGA アプリケーションが ISF メモリを選択する。
- CSB が High に戻ると、現在のコマンドが終了する。
- FPGA アプリケーションの SPI マスタは、コマンド コードまたはコマンド シーケンスを SPI_ACCESS の MOSI 入力へ与えることによって、各トランザクションを開始する。
- CSB セレクト入力は、トランザクション中は常に Low を保持する必要がある。動作中に変更しない。ページやセクタの消去など特定の ISF メモリ動作は、SPI トランザクション完了後も自動継続する。
- FPGA アプリケーションは、SPI_ACCESS の MOSI 入力を介して CLK の立ち下がりエッジで ISF メモリへデータを供給する。
- ISF メモリは、SPI_ACCESS の MOSI 入力に供給されたデータを CLK の立ち上がりエッジですべてキャプチャする。
- ISF メモリは、CLK の立ち下がりエッジで SPI_ACCESS MISO 出力にデータまたはステータスを出力する。
- FPGA アプリケーションは、SPI_ACCESS MISO 出力に ISF メモリから供給されるすべてのデータを CLK の立ち上がりエッジでキャプチャする。
  - MISO 出力データは CLK の立ち下りエッジごとに変化するため、FPGA も CLK の立ち下がりエッジでデータをキャプチャして FPGA アプリケーションを簡素化する。
- すべてのデータ、コマンドおよびアドレス情報は、MSB から順に連続して送信される。
- CSB セレクト入力が High になり ISF メモリの選択が解除されると、SPI_ACCESS MISO 出力が High になる。

コマンド シーケンスの詳細例

図 1-3 に、ステータス レジスタを読み出すコマンド シーケンスの例を詳しく示します。この例は、さまざまな制御信号およびデータが現れてキャプチャされる際のクロック エッジの関係を示します。

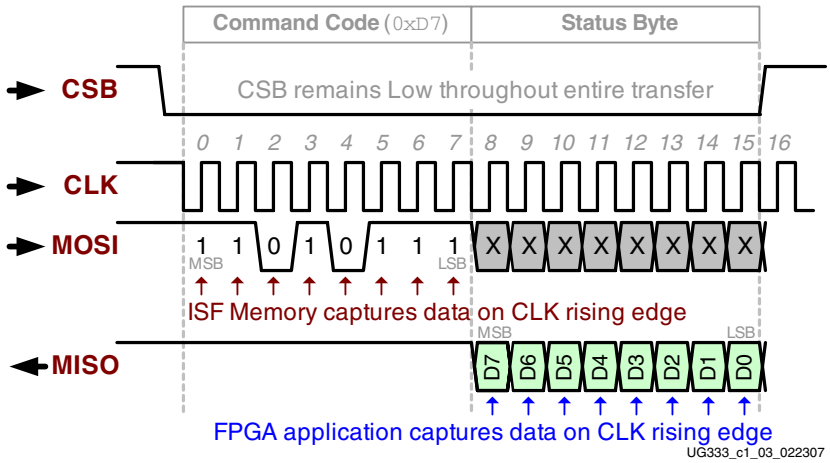

図 1-3 : ステータス レジスタの読み出しコマンド シーケンス

1. FPGA アプリケーションは、CLK 入力が High のとき、SPI_ACCESS の CSB 入力を Low 駆動することによってコマンドを開始する。そして、コマンド送信中は常に CSB 入力が Low を保持する必要がある。
2. Status Register Read コマンド コードは 0xD7 (71 ページの表 6-7 参照)。「SPI トランザクション」で説明したように、すべてのデータは MSB から順に送信される。その後、FPGA アプリケーションは CLK の立ち下がりエッジに同期して、MOSI 入力へバイナリ パターン “11010111” を送信する。
3. ISF メモリは、図に示すように CLK の立ち上がりエッジでコマンド シーケンスをキャプチャする。
4. データが現れるまで、MISO 出力は High を保持する。
5. 8 ビットのコマンドすべてが送信された後、ISE メモリは現在のステータス レジスタの内容を SPI_ACCESS の MISO から出力する。この場合も、CLK の立ち下がりエッジに同期して、データが MSB から順に出力される。
6. FPGA アプリケーションは、CLK の立ち上がりエッジで ISF のステータス情報をキャプチャする。
7. ステータス情報の最後のビットを受信すると、FPGA アプリケーションは CSB 入力を High 駆動し、トランザクションを終了する。

第 2 章

インシステム フラッシュ メモリのアーキテクチャ

ブロック図

Spartan™-3AN FPGA のインシステム フラッシュ (ISF) メモリは、不揮発性の再プログラム可能なフラッシュ メモリ アレイと 1 個または 2 個の SRAM ページ バッファで構成されています (図 2-1 を参照)。フラッシュ メモリ アレイは、ページ、ブロックおよびセクタで構成されています。消去可能な最小単位はページです。ページ サイズは、デバイスおよびアドレッシング モードによって異なります。1 個または 2 個の SRAM ページ バッファによって、システム インターフェイスやデータ プログラミングが簡素化されます。すべての Spartan-3AN FPGA (XC3S50AN FPGA を除く) には SRAM ページ バッファが 2 個あり、XC3S50AN FPGA には 1 個あります。

FPGA アプリケーションから ISF へのすべてのアクセスには、11 ページの「SPI_ACCESS プリミティブ」で説明する 4 つの書き込み SPI インターフェイスを介します。

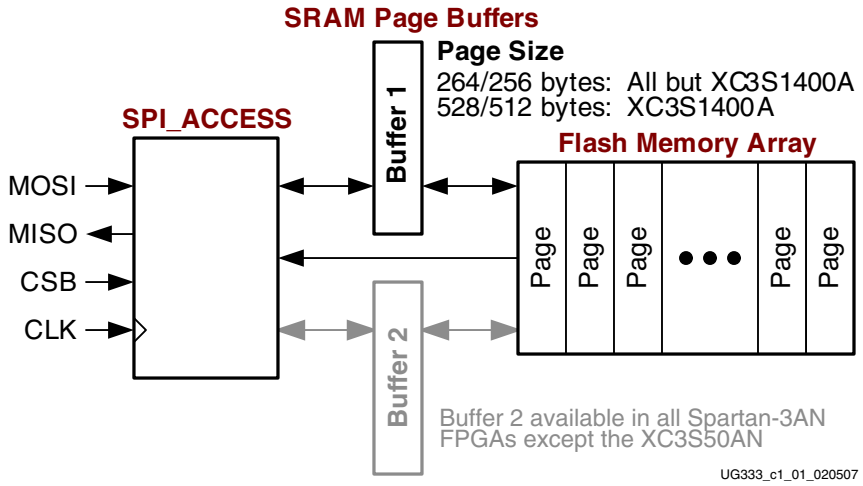

図 2-1 : SPI フラッシュ ブロックの内部図

フラッシュ メモリ アレイ

インシステム フラッシュ (ISF) メモリは、柔軟性を持たせるため 図 2-2 で示すように 3 段階の粒度に分けられています。図 2-2 は、XC3S700AN の例を示しています。その他の Spartan-3AN FPGA ファミリ デバイスは、これと類似していますがセクタ数またはページ サイズが異なります。その他の Spartan-3AN FPGA のセクタ数およびページ サイズの詳細は、18 ページの表 2-1 を参照してください。

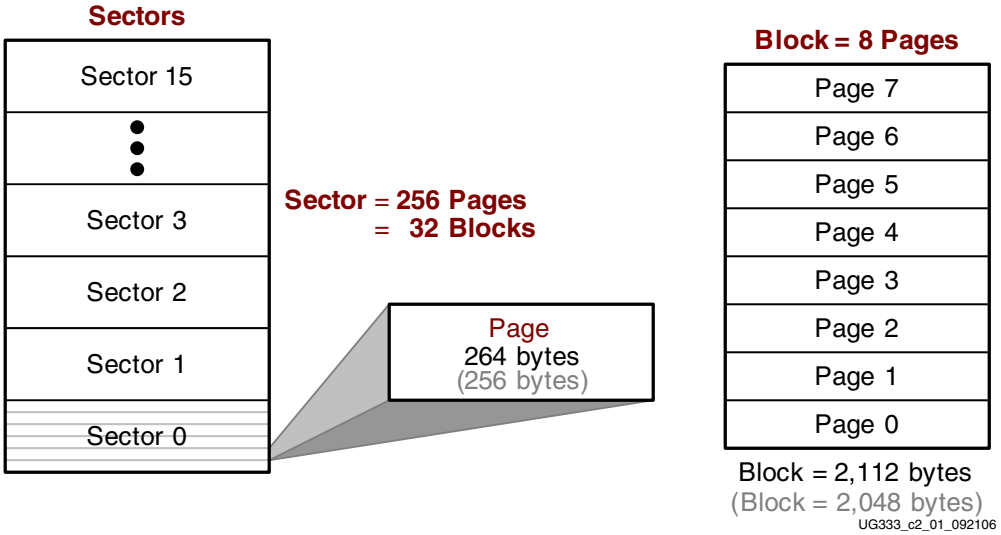

図 2-2 : XC3S700AN の SPI フラッシュ メモリ階層

表 2-1 : Spartan-3AN FPGA メモリ アーキテクチャ

デバイス	フラッシュの総ビット数	セクタ	セクタ サイズ	各セクタのページ数	総ページ数	ページ サイズ (バイト)
XC3S50AN	1,081,344	4	33K	128	512	264
XC3S200AN	4,325,376	8	66K	256	2,048	264
XC3S400AN	4,325,376	8	66K		2,048	264
XC3S700AN	8,650,752	16	66K		4,096	264
XC3S1400AN	17,301,504	16	132K		4,096	528

メモリ階層内の最小単位は 「Page (ページ)」です。デフォルトで、1 ページのサイズは 264 バイトです (XC3S1400AN FPGA を除く)。XC3S1400AN FPGA のページ サイズは 528 バイトです。「オプションの 2 の累乗アドレス指定モード」 を選択した場合、ページ サイズは減少します (図 2-2 を参照)。図 2-1 に示す SRAM ページ バッファは、すべてのページ イメージを格納するのに十分な容量があります。ISF メモリ内で消去可能な最小単位はページであり、SRAM ページ バッファ内で読み出しおよび書き込み可能な最小単位はバイトです。

ページはブロックと呼ばれるさらに大きな構造にグループ化され、各ブロックには 8 ページ含まれます。「Block Erase」コマンドは、高速で小規模な「Page Erase」コマンドと低速で大規模な「Sector Erase」 コマンドの中間ソリューションを実行できます。最後に、ページとブロックはさらに大きなセクタと呼ばれる構造へグループ化されます。通常、1 セクタは連続する 256 ページまたは連続する 32 ブロックで構成されています (XC3S50AN を除く)。XC3S50AN は、1 セクタに 128 ページ含まれます。セクタには制御オプションが付いています。つまり、FPGA アプリケーションは、選択的にセクタを書き込みから保護 (「セクタの保護機能」) できます。また、「セクタのロックダウン機能」を使用すると、セクタの内容を消去または変更できないように永久的に固定することも可能です。このようなセクタでの制御は、セクタ内のデータ バイト、ページおよびブロックにも影響します。

次のセクションで説明するように、ISF メモリの階層は、ISF コマンドおよびアドレス指定に直接影響を与えます。

セクタ 0 はさらに 2 つのサブ セクタに分割され、各サブ セクタは個別に保護されています (図 2-3 を参照)。2 つのサブセクタを結合したセクタ 0 のサイズは、その他のセクタと同じです。セクタ 0a は常に 8 ページとなるため、セクタ 0 の残りのページはすべてセクタ 0b に属します。したがって、セクタ 0 の動作は、ほかのセクタで使用されるコマンドとは異なるアドレス指定および制御となります。

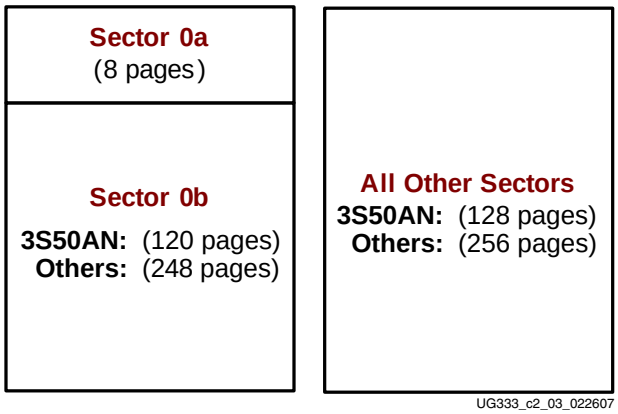

図 2-3 : セクタ 0 は 2 つのサブ セクタに分割される

通常、Spartan-3AN FPGA アプリケーションでは、分割したセクタ 0 構造を活用することはありませんが、セクタ 0 を消去または保護するために、このような構造が存在することを理解しておく必要があります。

アドレス指定の概要

アドレスを必要とするすべてのコマンドは、24 ビットのアドレス フィールドを使用してセクタ、ブロック、ページ、またはページ内のバイト ロケーションを指定します。ただし、インシステム フラッシュ メモリは、2 つのアドレス指定モードをサポートしています。

アドレス指定モード

- すべての Spartan-3AN FPGA は、出荷された状態の「デフォルト のアドレス指定モード」を使用する (表 2-2)。すべてのザイリンクス ソフト ウェアではこのモードがサポートされている。
- 付録 10 の「オプションの 2 の累乗アドレス指定モード」で説明しているように、特殊な手順を必要とするアドレス指定モードがある。Spartan-3AN FPGA では、このように多少異なるアドレス指定モードがサポートされており、アプリケーションによってはこちらのモードの方が最適な場合もある。

「デフォルトのアドレス指定モード」の場合、合計ビット数が約 3 % 増加します。20 ページの図 2-4 に、XC3S700AN FPGA のフラッシュ メモリ アレイおよびフラッシュ アレイ内にあるページの拡大詳細図を示します。また、この図では、コマンド アドレス フィールドの 24 ビットが、どのようにしてセクタ、ブロック、ページまたはメモリ ページ内のバイトを選択するのかを示しています。図 2-5 では、さらに大規模なページ サイズを使用する XC3S1400AN の図を示しています。

「デフォルトのアドレス指定モード」を使用する場合、各メモリ ページはほかのメモリにある標準的な 2 の累乗ページ サイズよりも多少大きくなります。たとえば、すべての Spartan-3AN FPGA (XC3S1400AN を除く) は 264 バイト ページを使用しますが、XC3S1400AN のメモリ ページは 2

倍の 528 バイトあります。したがって、これらの追加的なビットはさまざまなアプリケーションで有効活用されます。

- FPGA コンフィギュレーション用またはデータ ストレージ アプリケーション用の不揮発性メモリ スペースを増加。
- フラッシュ ベースのファイル システム用のページ ポインタ、リンク付きアドレス指定ポインタ、属性、ステータス インジケータ。
- 最先端アプリケーションのためのエラー検出/修正ビット。
- 各ページのプログラム/消去サイクル数をトラッキングするためのカウンタ。

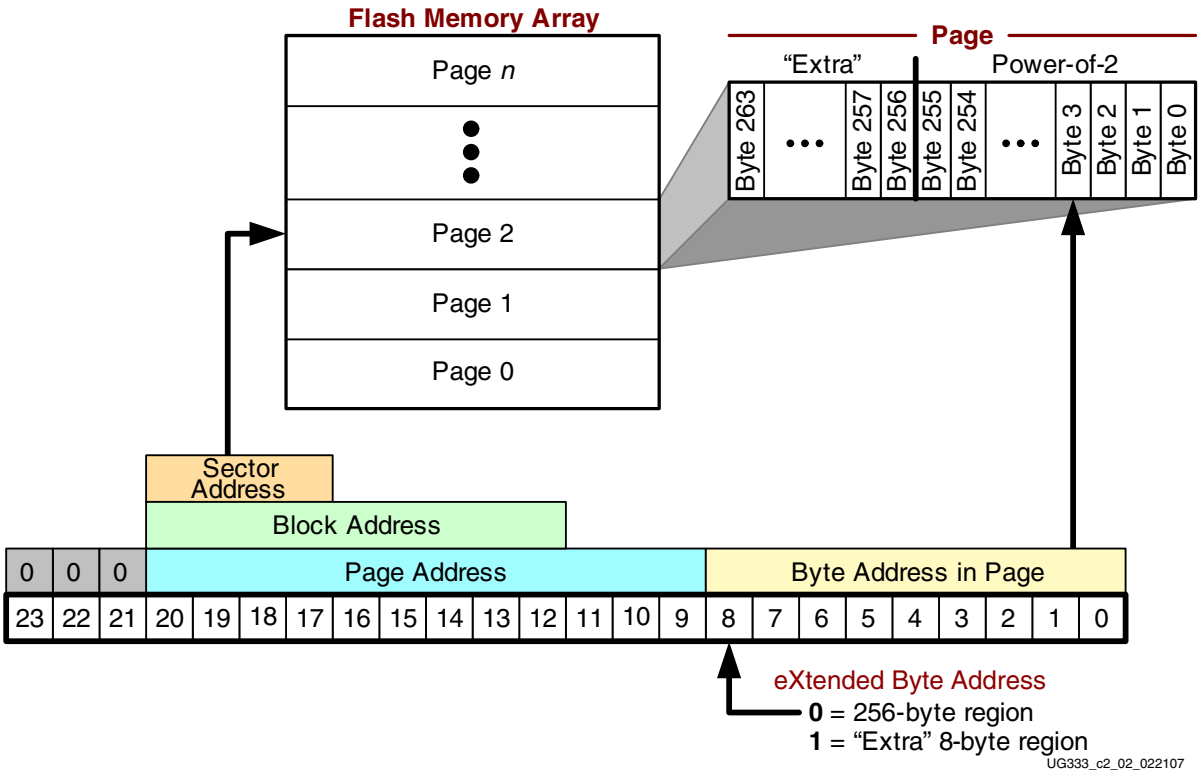

図 2-4 : XC3S700AN FPGA のデフォルトのアドレス指定モード

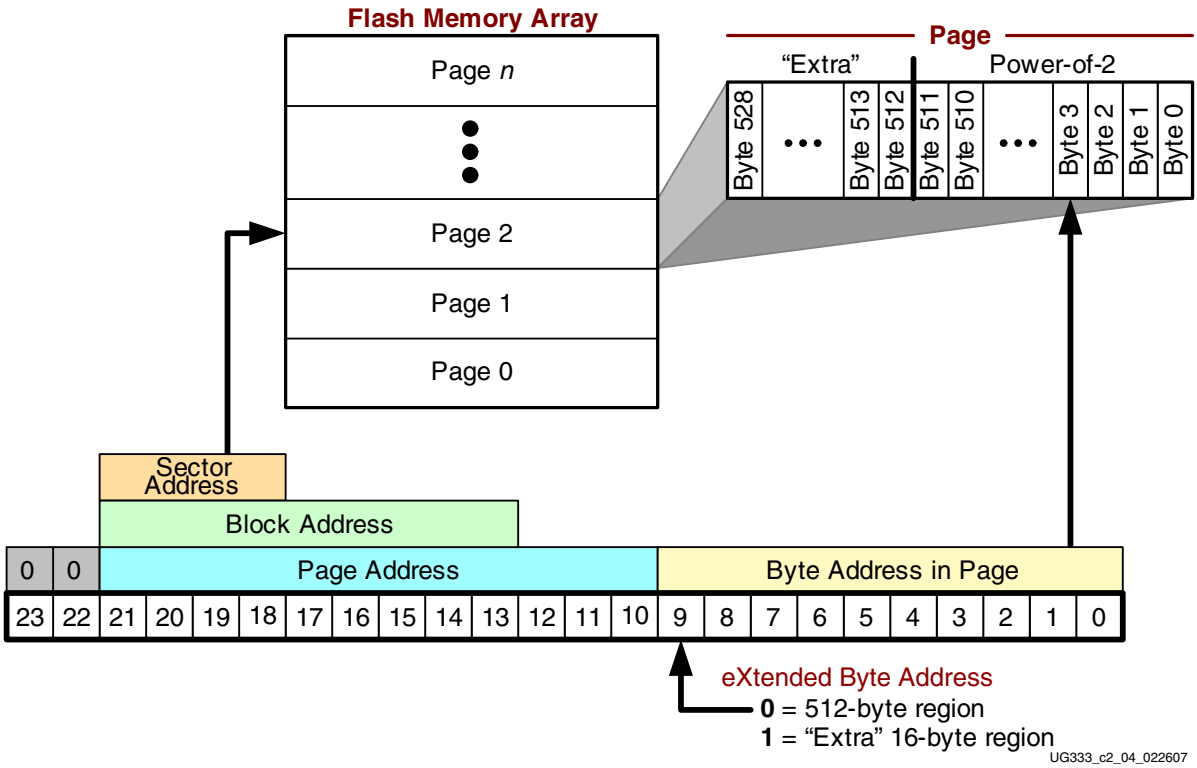

図 2-5 : XC3S1400AN FPGA **のデフォルトのアドレス指定モード**

デフォルトのアドレス指定モード

デフォルトのアドレス指定モードの場合、メモリ バイトはページおよびページ内のバイトで指定されます。表 2-2 で示すように、ページ数およびページ サイズは FPGA の製品番号によって異なります。

表 2-2 : デフォルトのアドレス指定モード

FPGA	上位アドレス								中間アドレス								下位アドレス							
	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
3S50AN	0	0	0	0	0	0	セクタ		Don't Care ビット															
							SA1	SA0	セクタ 0a セクタ 0b				X	X	X	X	X	X	X	X	X	X	X	X
							ブロック アドレス						Don't Care ビット											
							BL5	BL4	BL3	BL2	BL1	BL0	X	X	X	X	X	X	X	X	X	X	X	X
							ページ アドレス (512 ページ)										バイト アドレス (264 バイト)							
							PA8	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	BA8	BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
3S200AN 3S400AN	0	0	0	0	セクタ				Don't Care ビット															
					SA2	SA1	SA0		セクタ 0a セクタ 0b				X	X	X	X	X	X	X	X	X	X	X	X
					ブロック アドレス								Don't Care ビット											
					BL7	BL6	BL5	BL4	BL3	BL2	BL1	BL0	X	X	X	X	X	X	X	X	X	X	X	X
					ページ アドレス (2,048 ページ)												バイト アドレス (264 バイト)							
					PA10	PA9	PA8	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	BA8	BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
ビット ロケーション	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
3S700AN	0	0	0	セクタ					Don't Care ビット															
				SA3	SA2	SA1	SA0		セクタ 0a セクタ 0b				X	X	X	X	X	X	X	X	X	X	X	X
				ブロック アドレス									Don't Care ビット											
				BL8	BL7	BL6	BL5	BL4	BL3	BL2	BL1	BL0	X	X	X	X	X	X	X	X	X	X	X	X
				ページ アドレス (4,096 ページ)													バイト アドレス (264 バイト)							
				PA11	PA10	PA9	PA8	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	BA8	BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0

表 2-2 : デフォルトのアドレス指定モード(続き)

FPGA	上位アドレス								中間アドレス								下位アドレス							
	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
3S1400AN	0	0	セクタ				Don't Care ビット																	
			SA3	SA2	SA1	SA0	セクタ 0a セクタ 0b					X	X	X	X	X	X	X	X	X	X	X	X	X
			ブロック アドレス									Don't Care ビット												
			BL8	BL7	BL6	BL5	BL4	BL3	BL2	BL1	BL0	X	X	X	X	X	X	X	X	X	X	X	X	X
			ページ アドレス (4,096 ページ)												バイト アドレス (528 バイト)									
			PA11	PA10	PA9	PA8	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	BA9	BA8	BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
ビット ロケーション	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

出荷時のステート

Spartan-3AN FPGA の各 ISF メモリは消去された状態で出荷されます。エンジニアリング サンプル デバイスを使用時は、あらかじめプログラムされている場合があるため、まず消去してからアプリケーションで使用される FPGA ビットストリームを再プログラムする必要があります。

- フラッシュ メモリの全ロケーションは消去されており、バイト ロケーションには 0xFF が含まれる。
- Spartan-3AN FPGA は、22 ページの「デフォルトのアドレス指定モード」を使用する。
- 79 ページの「セクタ プロテクション レジスタ」には、0x00 がプログラムされており、すべてのメモリ セクタは保護されていないことを示す。
- 89 ページの「セキュリティ レジスタ」の固有識別子フィールドには、各 Spartan-3AN FPGA で固有の値が工場でプログラムされている。
- 89 ページの「セキュリティ レジスタ」のユーザー定義フィールドは消去されており、すべてのロケーションには 0xFF が含まれる。

メモリ割り当て表

次に指定する表では、ISF メモリがどのように FPGA コンフィギュレーション ビットストリームへ割り当てられるか、またページ アラインやセクタ アライン機能が使用できる部分について説明しています。これらの表は、ISF メモリに 2 つの FPGA コンフィギュレーション ビットストリームが含まれることが前提とされ、電源投入時にロードされるプライマリ ビットストリームと次のセクタ バウンダリから開始するセカンダリの MultiBoot ビットストリームがあります。MultiBoot ビットストリームを必要としないアプリケーションの場合は、その分の ISF メモリ スペースをデータ格納に使用できます。物理的なアドレス指定モードは、「デフォルトのアドレス指定モード」および「オプションの 2 の累乗アドレス指定モード」の両方で示しています。したがって、FPGA コンフィギュレーション ビットストリームの最後とセクタを共有するユーザー データの開始ページの番号は、アドレス指定モードによって異なります。

- XC3S50AN FPGA の ISF メモリ の割り当ては、24 ページの表 2-3 を参照。
- XC3S200AN FPGA の ISF メモリ の割り当ては、25 ページの表 2-4 を参照。
- XC3S400AN FPGA の ISF メモリ の割り当ては、26 ページの表 2-5 を参照。
- XC3S700AN FPGA の ISF メモリ の割り当ては、27 ページの表 2-6 を参照。
- XC3S1400AN FPGA の ISF メモリ の割り当ては、28 ページの表 2-7 を参照。

表 2-3 : XC3S50AN のインシステム フラッシュ メモリの割り当て

割り当て	セクタ		「デフォルトのアドレス指定モード」		「オプションの 2 の累乗アドレス指定モード」	
			ページ	アドレス	ページ	アドレス
ビットストリーム	0	a	0	0x00_0000	0	0x00_0000
		b	...	0x00_1000	...	0x00_0800
	1		207	0x01_9E00	213	0x00_D500
プライマリ ユーザー データ スペース (ページ アライン)	1		208	0x01_A000	214	0x00_D600
			...	. . .	...	. . .
			255	0x01_FE00	255	0x00_FF00
MultiBoot 使用時のセカンダリ ビットストリームまたは ユーザー データ スペース	2		256	0x02_0000	256	0x01_0000
	...		...	. . .	...	. . .
	3		463	0x03_9E00	469	0x01_D500
セカンダリ ユーザー データ スペース (ページ アライン)	3		464	0x03_A000	470	0x01_D600
			...	. . .	...	. . .
			511	0x03_FE00	511	0x01_FF00

表 2-4 : XC3S200AN インシステム フラッシュ メモリの割り当て

割り当て	セクタ		「デフォルトのアドレス指定モード」		「オプションの 2 の累乗アドレス指定モード」	
			ページ	アドレス	ページ	アドレス
ビットストリーム	0	a	0	0x00_0000	0	0x00_0000
		b	...	0x00_1000	...	0x00_0800
	...		...	...	...	...
	2		566	0x04_6C00	584	0x02_4800
プライマリ ユーザー データ スペース (ページ アライン)	2		567	0x04_6E00	585	0x02_4900
			...	...	...	...
			767	0x05_FE00	767	0x02_FF00
MultiBoot 使用時のセカンダリ ビットストリームまたはユーザー データ スペース	3		768	0x06_0000	768	0x03_0000
	...		...	...	...	...
	5		1,334	0x0A_6C00	1,352	0x05_4800
セカンダリ ユーザー データ スペース (ページ アライン)	5		1,335	0x0A_6E00	1,353	0x05_4900
			...	...	...	...
			1,535	0x0B_FE00	1,535	0x05_FF00
ユーザー データ スペース (セクタ アライン)	6		1,536	0x0C_0000	1,536	0x06_0000
			...	...	...	...
			1,791	0x0D_FE00	1,791	0x06_FF00
	7		1,792	0x0E_0000	1,792	0x07_0000
			...	...	...	...
			2,047	0x0F_FE00	2,047	0x07_FF00

表 2-5 : XC3S400AN のインシステム フラッシュ メモリの割り当て

割り当て	セクタ		「デフォルトのアドレス指定モード」		「オプションの 2 の累乗アドレス指定モード」	
			ページ	アドレス	ページ	アドレス
ビットストリーム	0	a	0	0x00_0000	0	0x00_0000
		b	...	0x00_1000	...	0x00_0800
	...		...	...	...	...
	3		893	0x06_FA00	921	0x03_9900
プライマリ ユーザー データ スペース (ページ アライン)	3		894	0x06_FC00	922	0x03_9A00
			...	...	...	...
			1,023	0x07_FE00	1,023	0x03_FF00
MultiBoot 使用時のセカンダリ ビットストリームまたはユーザー データ スペース	4		1,024	0x08_0000	1,024	0x04_0000
	...		...	...	...	...
	7		1,917	0x0E_FA00	1,945	0x07_9900
セカンダリ ユーザー データ スペース (ページ アライン)	7		1,918	0x0E_FC00	1,946	0x07_9A00
			...	...	...	...
			2,047	0x0F_FE00	2,047	0x07_FF00

表 2-6 : XC3S700AN のインシステム フラッシュ メモリの割り当て

割り当て	セクタ		「デフォルトのアドレス指定モード」		「オプションの 2 の累乗アドレス指定モード」	
			ページ	アドレス	ページ	アドレス
ビットストリーム	0	a	0	0x00_0000	0	0x00_0000
		b	...	0x00_1000	...	0x00_0800
	...		...	...	...	...
	5		1,293	0x0A_1A00	1,334	0x05_3600
プライマリ ユーザー データ スペース (ページ アライン)	5		1,294	0x0A_1C00	1,335	0x05_3700
			...	...	...	...
			1,535	0x0B_FE00	1,535	0x05_FF00
MultiBoot 使用時のセカンダリ ビットストリームまたはユーザー データ スペース	6		1,536	0x0C_0000	1,536	0x06_0000
	...		...	...	...	...
	11		2,829	0x16_1A00	2,890	0x0B_4A00
セカンダリ ユーザー データ スペース (ページ アライン)	11		2,830	0x16_1C00	2,871	0x0B_4B00
			...	...	...	...
			3,071	0x17_FE00	3,071	0x0B_FF00
ユーザー データ スペース (セクタ アライン)	12		3,072	0x18_0000	3,072	0x0C_0000
			...	...	...	...
			3,327	0x19_FE00	3,327	0x0C_FF00
	13		3,328	0x1A_0000	3,328	0x0D_0000
			...	...	...	...
			3,583	0x1B_FE00	3,583	0x0D_FF00
	14		3,584	0x1C_0000	3,584	0x0E_0000
			...	...	...	...
			3,839	0x1D_FE00	3,839	0x0E_FF00
	15		3,840	0x1E_0000	3,840	0x0F_0000
			...	...	...	...
			4,095	0x1F_FE00	4,095	0x0F_FF00

表 2-7 : XC3S1400AN のインシステム フラッシュ メモリの割り当て

割り当て	セクタ		「デフォルトのアドレス指定モード」		「オプションの 2 の累乗アドレス指定モード」	
			ページ	アドレス	ページ	アドレス
ビットストリーム	0	a	0	0x00_0000	0	0x00_0000
		b	...	0x00_2000	...	0x00_1000
	...		...	...	...	...
	4		1,125	0x11_9400	1,160	0x09_1000
プライマリ ユーザー データ スペース (ページ アライン)	4		1,126	0x11_9800	1,161	0x09_1200
			...	...	...	...
			1,279	0x13_FC00	1,279	0x09_FE00
MultiBoot 使用時のセカンダリ ビットストリームまたはユーザー データ スペース	5		1,280	0x14_0000	1,280	0x0A_0000
	...		...	...	...	...
	9		2,405	0x25_9400	2,440	0x13_1000
セカンダリ ユーザー データ スペース (ページ アライン)	9		2,406	0x25_9800	2,441	0x13_1200
			...	...	...	...
			2,559	0x27_FC00	2,559	0x13_FE00

表 2-7 : XC3S1400AN のインシステム フラッシュ メモリの割り当て(続き)

割り当て	セクタ	「デフォルトのアドレス指定モード」		「オプションの 2 の累乗アドレス指定モード」	
		ページ	アドレス	ページ	アドレス
ユーザー データ スペース (セクタ アライン)	10	2,560	0x28_0000	2,560	0x14_0000
		...	. . .	...	. . .
		2,815	0x2B_FC00	2,815	0x15_FE00
	11	2,816	0x2C_0000	2,816	0x16_0000
		...	. . .	...	. . .
		3,071	0x2F_FC00	3,071	0x17_FE00
	12	3,072	0x30_0000	3,072	0x18_0000
		...	. . .	...	. . .
		3,327	0x33_FC00	3,327	0x19_FE00
	13	3,328	0x34_0000	3,328	0x1A_0000
		...	. . .	...	. . .
		3,583	0x37_FC00	3,583	0x1B_FE00
	14	3,584	0x38_0000	3,584	0x1C_0000
		...	. . .	...	. . .
		3,839	0x3B_FC00	3,839	0x1D_FE00
	15	3,840	0x3C_0000	3,840	0x1E_0000
		...	. . .	...	. . .
		4,095	0x3F_FC00	4,095	0x1F_FE00

MultiBoot コンフィギュレーション ビットストリーム格納のガイドライン

インシステム フラッシュ (ISF) メモリに複数のコンフィギュレーション ファイルを格納する場合は、次のガイドラインに従うことを推奨します。

フラッシュのセクタ バウンダリにアライン

Spartan-3AN FPGA の MultiBoot アドレス指定は柔軟性に優れているため、どのバイト バウンダリからでもビットストリームを開始できますが、セクタ バウンダリにアラインして MultiBoot コンフィギュレーション イメージを配置することが理想的です。このようにすると、FPGA ビットストリームをアップデートする際に、フラッシュ内のほかの部分に影響を与えることがありません。また、ビットストリームを保護または固定することも可能になります。

DCM_WAIT 用の追加メモリ スペース

複数のコンフィギュレーション イメージを格納する場合は、最初のコンフィギュレーション ファイルでプログラムする際にスタート アップが遅延した場合、2 番目のコンフィギュレーション ファイルと干渉しないように、2 つのファイルの間隔を 5ms 以上空ける必要があります。スタート アップ

が遅延する原因は、1 個以上のデジタル クロック マネージャ (DC) がロックするのを待機するため、STARTUP ユーザー クロックが低速や不明の場合、あるいは DONE ピンを Low に保持しているためです。

DCM には、各 DCM の入力クロック周波数が安定状態またはロックするまで、FPGA のコンフィギュレーション プロセスをしないオプション設定があります。『Spartan-3AN FPGA データ シート』に記述されているロックのタイミングは、DCM モードおよび入力クロック周波数によって異なります。

コンフィギュレーション完了前に FPGA が 1 個以上の DCM からのロック信号を待機している場合でも、FPGA コンフィギュレーション コントローラは次の同期ワードを検出し続けます。MultiBoot イメージが 2 つ隣接配置されており、1 つ目の FPGA ビットストリームに DCM_WAIT オプションが設定された DCM が含まれる場合は、コンフィギュレーション問題が生じる可能性があります。1 つ目のコンフィギュレーションが完了する前にコントローラが 2 番目の FPGA ビットストリームにある同期ワードを検出した場合、2 番目のビットストリームからデータ読み出しを開始します。しかし、2 番目のビットストリームからデータ読み出しを開始したにもかかわらず、FPGA のコンフィギュレーション ロジックは 1 つ目のコンフィギュレーションを完了します。

> **注意** DCM の DCM_WAIT オプションを使用している FPGA アプリケーションの場合、MultiBoot コンフィギュレーション イメージの間に十分なスペースが必要です。

メモリ内で MultiBoot コンフィギュレーション イメージ間に十分なスペースを空けることで、FPGA が 2 番目の同期ワードを検出してしまうことを回避できます。詳細は、UG332 : 『Spartan-3 ジェネレーション コンフィギュレーション ユーザー ガイド』の第 14 章「リコンフィギュレーションおよび MultiBoot」を参照してください。

ユーザー データ格納のガイドライン

インシステム フラッシュ (ISF) メモリにユーザー データを格納する場合は、次のガイドラインに従うことを推奨します。

1. FPGA コンフィギュレーション ビットストリーム データの最終ページにユーザー データを配置しない。ユーザー データとコンフィギュレーション データが同一ページに混在すると、FPGA ビットストリームのアップデートが複雑になる。
2. 「セクタの保護機能」または「セクタのロックダウン機能」を使用する場合は、FPGA ビットストリームが含まれるセクタにユーザー データを配置しない。

各 Spartan-3AN FPGA の特定ロケーションおよび両方のアドレス指定モードの詳細は、23 ページの「メモリ割り当て表」を参照してください。

XILINX®

第 3 章

読み出しコマンド

Spartan™-3AN FPGA アプリケーションが インシステム フラッシュ (ISF) メモリのデータを読み出すには、メインのフラッシュ メモリから直接読み出す方法と適切なコマンド コードを実行していずれかの SRAM データ バッファから読み出す方法があります。表 3-1 に、サポートされているさまざまな読み出しコマンドとそれらの比較を示します。いくつかの読み出しコマンドは複数のフォームを提供しています。連続データの大規模ブロックを読み出すのに最適なフォームやランダムなアドレス ロケーションからシングル バイトを読み出すのに最適なフォームがあります。一般的に、高速データ通信をするコマンドは初期レイテンシが長くなり、適切な読み出しコマンドや 24 ビット アドレスを送信後に 1 個以上の 「dont't care」バイトが必要です。

表 3-1 : インシステム フラッシュ メモリの読み出しコマンド

読み出しコマンド	最適アプリケーション	16 進数コマンドコード	最大 CLK 周波数	追加の初期レイテンシ	読み出される場所	最小読み出しサイズ	最大読み出しサイズ	SRAM ページ バッファへの影響
Fast Read	CLK 周波数が 33MHz 以上の 場合、連続データの大規模ブロックを読み出す	0x0B	66	8 サイクル	フラッシュ アレイ	1 バイト	アレイ全部	No
Random Read	すべての読み出し動作は 33MHz 以下の場合、ランダムにアドレス指定したロケーションからバイトを読み出す	0x03	33	なし	フラッシュ アレイ	1 バイト	アレイ全部	No
Page to Buffer Transfer	選択した ISF メモリ ページから指定した SRAM ページ バッファへすべての内容を転送する	Buffer 1 (0x53) Buffer 2 (0x55)	33	なし	SRAM ページ バッファ	1 ページ	1 ページ	Yes
Buffer Read	SRAM ページ バッファから複数の連続バイトを読み出す	Buffer 1 (0xD4) Buffer 2 (0xD6)	66	8 サイクル	SRAM ページ バッファ	1 バイト	1 ページ	No

表 3-1 : インシステム フラッシュ メモリの読み出しコマンド (続き)

読み出しコマンド	最適アプリケーション	16 進数コマンドコード	最大 CLK 周波数	追加の初期レイテンシ	読み出される場所	最小読み出しサイズ	最大読み出しサイズ	SRAM ページバッファへの影響
Buffer Read (低周波数)	SRAM ページ バッファからバイトをランダムに読み出す	Buffer 1 (0xD1) Buffer 2 (0xD3)	33	なし	SRAM ページ バッファ	1 バイト	1 ページ	No

メモ :
1. XC3S50AN には SRAM ページ バッファが 1 つしかないため、Buffer 2 コマンドは使用できません。

Fast Read

Fast Read コマンドは、連続する長い読み出し動作に最適です。これは、コンフィギュレーション中に FPGA が発行するコマンドと同じです。また、FPGA が大量のコードやデータを MicroBlaze™ プロセッサ用の外部 SRAM や DDR SDRAM へコピーするコード シャドーウィング アプリケーションにも最適です。Fast Read コマンドは、Random Read コマンドより初期レイテンシが長くなりますが、CLK クロック周波数は最大 66MHz まで可能になります。

Fast Read コマンドは、SRAM ページ バッファを迂回してフラッシュ メモリから直接連続したデータ ストリームを読み出します (図 3-1 を参照)。コマンドは ISF メモリの開始バイト アドレスを指定します。ISF メモリには各クロック サイクルごとに自動的にインクリメントするアドレス ポインタが組み込まれているため、アドレス シーケンスを追加しなくても継続的な読み出し動作が可能です。

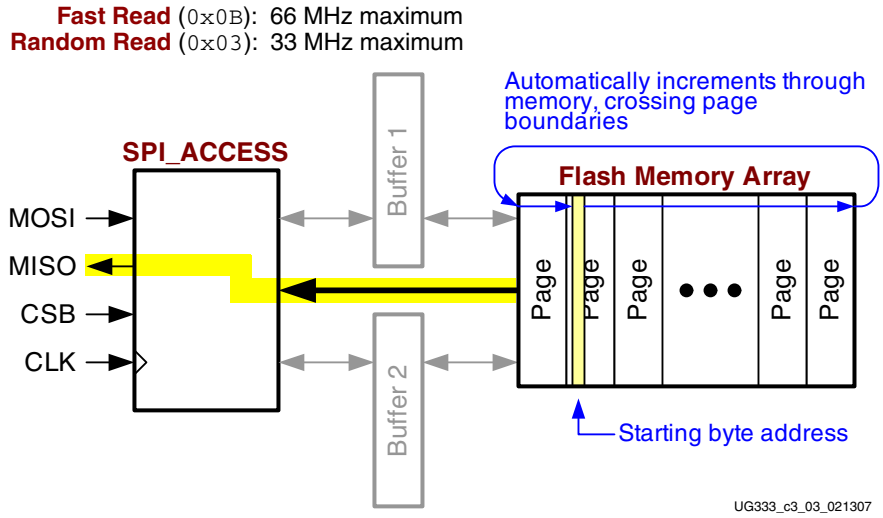

図 3-1 : Fast Read および Random Read コマンド

22 ページの表 2-2 および 図 3-2 で示す Fast Read コマンドを発行するには、FPGA アプリケーションが次の動作を実行する必要があります。

- CLK が High または CLK の立ち上がりエッジで CSB を Low 駆動する。
- CLK の立ち下がりエッジで、Fast Read コマンド コード 0x0B を MSB から順に連続して送信する。

表 3-2 : Fast Read (0x0B) コマンドのサマリ

ピン	コマンド	24 ビットの開始ページおよびバイト アドレス			Don't Care バイト	ISF メモリ データ バイト (MSB 順)		
		上位アドレス	中間アドレス	下位アドレス				
	バイト 1	バイト 2	バイト 3	バイト 4	バイト 5	バイト 6	…	バイト n+6
MOSI	0x0B	デフォルトのアドレス指定 : 22 ページの表 2-2 を参照 オプションの 2 の累乗アドレス指定 : 95 ページの表 10-3 を参照			XX	XX	...	XX
MISO	High					データ バイト+0	...	データ バイト +n

- 同様に、24 ビットのページおよびバイト開始アドレスを連続して送信する。
  - 開始バイト は、ISF メモリ アレイ内のどのページでもよい (図 3-1 を参照)。
  - デフォルトのアドレス指定を使用する場合は、22 ページの表 2-2 を参照。
  - 2 の累乗アドレス指定を使用する場合は、95 ページの表 10-3 を参照。

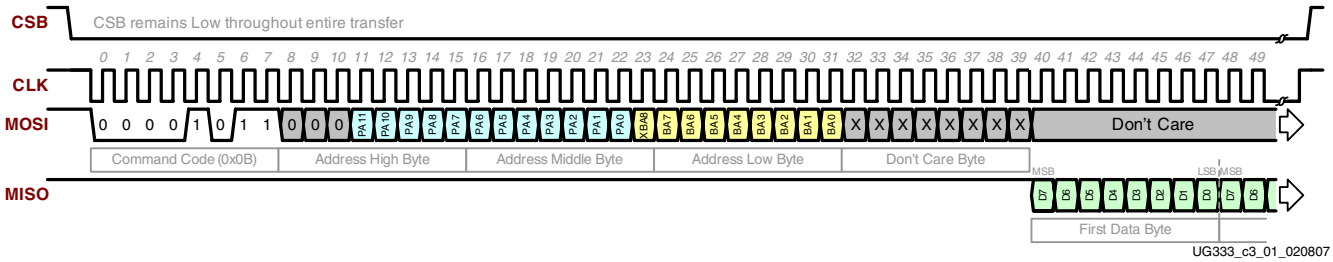

図 3-2 : Fast Read コマンドの波形 (XC3S700AN、デフォルトのアドレス指定モード)

- CLK を 8 サイクル追加する。このとき、MOSI 入力のデータは無視される。
- 次の CLK の立ち下がり エッジで、要求したデータが MISO 出力ポート から連続して出力される。
  - データが MSB から順に連続して出力される。
  - CSB が Low のとき、各 CLK の立ち下がりエッジで新しいデータが MISO 出力ポートから出力される。ISF メモリでは、アドレス指定モードに関係なく、自動的にアドレス カウンタが連続配置したメモリ ロケーション上 (図 3-1 にハイライト) でインクリメントされる。
- データ送信を完了するため、CLK の立ち下がり エッジで CSB 信号を High 駆動する。

CSB 信号は、データ送信 (コマンド コード、24 ビット アドレス、8 ビット don't care の書き込み、およびダミー バイトとデータ バイトの読み出し) 中は Low を保持する必要があります。

メモリ ページの最後に到達すると、ISF メモリは続けて次のページの最初から読み出しを開始します (図 3-1 を参照)。ページの境界を超える際の遅延はありません。メモリ アレイの最後のビットを読み出した後、ISF メモリは引き続きアレイの最初のページへ戻って読み出しを続けます。また、アレイの最後からアレイの最初へ回り込む際の遅延もありません。CSB 信号が Low から High へ遷移すると、読み出し動作が終了して MISO 出力ピンが High になります。

Fast Read コマンドは両方の SRAM ページ バッファを迂回するため、バッファの内容は変更されません。

Random Read

Random Read コマンドは、小規模なランダム読み出し動作に最適です。Fast Read コマンドより初期レイテンシが短くなりますが、最大動作周波数は Fast Read コマンドの半分の 33MHz になります。

Fast Read コマンドは、図 3-1 に示すように SRAM ページ バッファを迂回して直接フラッシュ メモリから連続データ ストリームを読み出します。コマンドは ISF メモリの開始バイト アドレスを指定します。ISF メモリには各クロック サイクルごとに自動的にインクリメントするアドレス ポインタが組み込まれているため、アドレス シーケンスを追加しなくても継続的な読み出し動作が可能です。

表 3-3 および 図 3-3 に示す Random Read コマンドを発行するには、FPGA アプリケーションが次の動作を実行する必要があります。

表 3-3 : Random Read (0x03) コマンドのサマリ

ピン	コマンド	24 ビットの開始ページおよびバイト アドレス			ISF メモリ データ バイト (MSB 順)		
		上位アドレス	中間アドレス	下位アドレス			
	バイト 1	バイト 2	バイト 3	バイト 4	バイト 5		バイト n+5
MOSI	0x03	デフォルトのアドレス指定 : 22 ページの表 2-2 を参照 オプションの 2 の累乗アドレス指定 : 95 ページの表 10-3 を参照			XX	...	XX
MISO	High				データ バイト+0	...	データ バイト +n

- CLK が High または CLK の立ち上がりエッジで CSB を Low 駆動する。
- CLK の立ち下がりエッジで、Random Read コマンド コード 0x03 を MSB から順に連続して送信する。
- 同様に、24 ビットのページおよびバイト開始アドレス コードを連続して送信する。
  - 開始バイトは、ISF メモリ アレイ内のどのページでもよい (図 3-1 を参照)。
  - デフォルトのアドレス指定を使用する場合は、22 ページの表 2-2 を参照。
  - 2 の累乗アドレス指定を使用する場合は、95 ページの表 10-3 を参照。

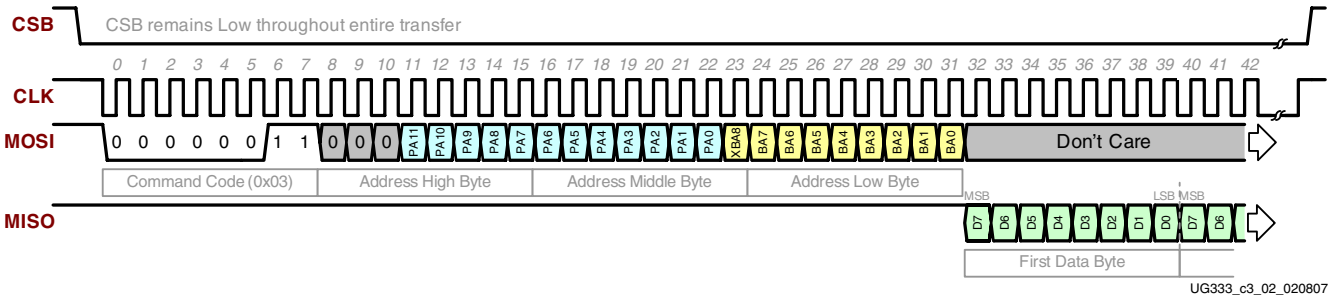

図 3-3 : Random Read コマンドの波形 (XC3S700AN、デフォルトのアドレス指定モード)

- Random Read コマンドにはダミー バイトは不要。このとき、MOSI 入力のデータは無視される。
- 次の CLK の立ち下がりエッジで、要求したデータが MISO 出力ポートから連続して出力される。
  - データが MSB から順に連続して出力される

- CSB が Low のとき、各 CLK の立ち下がりエッジで新しいデータが MISO 出力ポートから出力される。ISF メモリでは、アドレス指定モードに関係なく、連続配置したメモリ ロケーション上 (図 3-1 を参照)で自動的にアドレス カウンタがインクリメントされる。

- データ送信を完了するため、CLK の立ち下がり エッジで CSB 信号を High 駆動する。

CSB 信号は、データ送信 (コマンド コードと 24 ビット アドレスの書き込み、およびデータ バイトの読み出し) 中は Low を保持する必要があります。

メモリ ページの最後に到達すると、ISF メモリは続けて次のページの最初から読み出しを開始します (図 3-1 を参照)。ページの境界を超える際の遅延はありません。メモリ アレイの最後のビットを読み出した後、ISF メモリは引き続きアレイの最初のページへ戻って読み出しを続けます。また、アレイの最後からアレイの最初へ回り込む際の遅延もありません。CSB 信号が Low から High へ遷移すると、読み出し動作が終了して MISO 出力ピンが High になります。

Fast Read コマンドは両方の SRAM ページ バッファを迂回するため、バッファの内容は変更されません。

Page to Buffer Transfer

Page to Buffer Transfer コマンドは、ISF メモリ ページのすべての内容を、指定した SRAM ページ バッファへコピーします (図 3-4 を参照)。ISF メモリ ページの内容は変更されません。

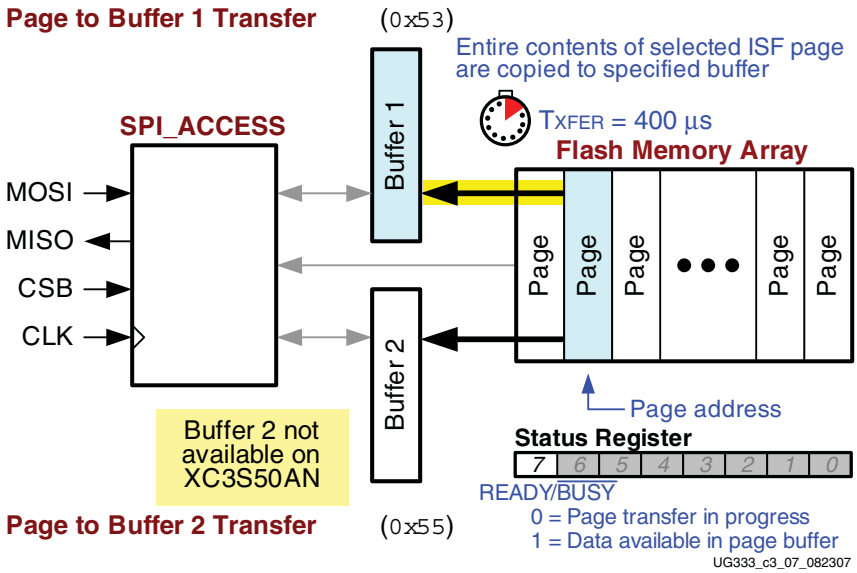

図 3-4 : Page to Buffer Transfer コマンド

Page to Buffer Transfer コマンドを発行するには、FPGA アプリケーションが次の動作を実行する必要があります。

- CLK が High または　CLK の立ち上がりエッジで CSB を Low 駆動する。
- CLK の立ち下がりエッジで、表 3-4 に示す適切な Page to Buffer Transfer コマンド コード を MSB から順に連続して送信する。

表 3-4 : Page to Buffer Transfer コマンドのサマリ

ピン	コマンド	24 ビットのページ アドレス		
		上位アドレス	中間アドレス	下位アドレス
		ISF ページ アドレス		未使用バイト アドレス
	バイト 1	バイト 2	バイト 3	バイト 4
MOSI	**Page to Buffer 1 Transfer** 0x53 **Page to Buffer 2 Transfer**(1) 0x55	**デフォルトのアドレス指定 :** 57 ページの表 5-3 を参照 **2 の累乗アドレス指定 :** 95 ページの表 10-3 を参照		Don't Care XX

メモ :

1. XC3S50AN には SRAM ページ バッファが 1 つしかないため、Buffer 2 コマンドは使用できません。

- 同様に、24 ビットのページ アドレスを連続して送信する。
  - ページ アドレスのみ必要。バイト アドレスの値はすべて無視される。
  - デフォルトのアドレス指定を使用する場合は、22 ページの表 2-2 を参照。
  - 2 の累乗アドレス指定を使用する場合は、95 ページの表 10-3 を参照。
- データ送信を完了するため、CLK の立ち下がり エッジで CSB 信号を High 駆動する。その結果、アドレス指定した ISF メモリ ページのすべての内容が、選択した SRAM ページ バッファへ送信される。

ページ転送動作は内部でセルフ タイミングされるため、CLK をトグルする必要はありません。ページは 400µs 以下で転送され、『Spartan-3AN FPGA データ シート』および 表 3-5 ではシンボル T_{XFER} で表現されています。転送中は、ステータス レジスタの READY/BUSY ビット (ビット 7) が 0 になりますが、転送完了後には 1 に戻ります。FPGA アプリケーションは、このビットをモニタすることで転送完了を認識できます。もしくは、指定した SRAM ページ バッファのデータへアクセスするには、400µs 以上待機する必要があります。

表 3-5 : ページからバッファへの転送 (T_{XFER})

シンボル	説明	FPGA	標準	最大	単位
T_{XFER}	ページからバッファへの転送時間	All	—	400	µs

ページ転送中、FPGA はこの転送に影響しない次のようなコマンドを使用して ISF メモリ エリアへアクセスできます。

- 実行中の動作に影響しない SRAM バッファからの読み出しまたは書き込み動作
  - Buffer Read
  - Buffer Write
- Status Register Read
- Information Read

Buffer Read

FPGA アプリケーションは、図 3-5 に示すように ISF メモリ アレイとは別に SRAM データ バッファへ個別アクセスできます。Buffer Read コマンドは、選択したバッファから直接データを連続的に読み出します。バッファからデータを読み出す場合、まず Page to Buffer Transfer コマンドを使用して、ISF メモリからバッファへデータを転送します。

注意：XC3S50AN には SRAM ページ バッファが 1 つしかないため、Buffer 2 コマンドは使用できません。

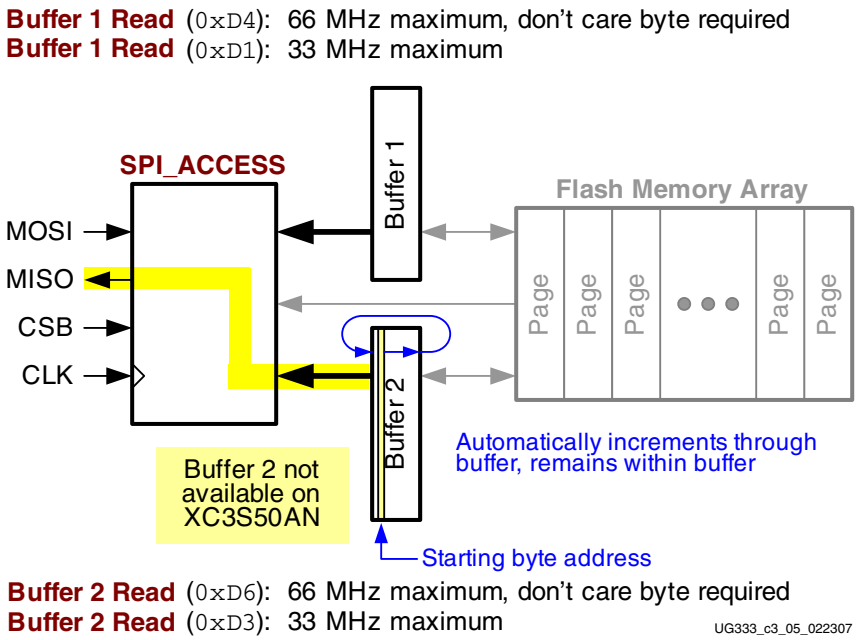

図 3-5 : Buffer Read コマンド

Buffer Read コマンドには 2 つのバージョンがあります。表 3-6 に示す最大周波数が 66MHz の高速動作バージョンは、SRAM ページ バッファから複数の連続バイトを読み出すのに最適です。このコマンドには、24 ビットのアドレス指定の後に 8 ビットの don't care ビットが必要です。

表 3-6 : Buffer Read コマンドのサマリ (高周波数、最大 66MHz)

ピン	コマンド	24 ビットの開始バイト アドレス			Don't Care バイト	ページ バッファ データ バイト(MSB 順)		
		上位アドレス	中間アドレス	下位アドレス				
		未使用	バッファのバイト アドレス					
	バイト 1	バイト 2	バイト 3	バイト 4	バイト 5	バイト 6	...	バイト n+6
MOSI	**Buffer 1 Read** 0xD4 **Buffer 2 Read**(1) 0xD6	0x00	**デフォルトのアドレス指定:** 22 ページの表 2-2 を参照 **2 の累乗アドレス指定:** 95 ページの表 10-3 を参照		XX	XX	...	XX
MISO	High					データ バイト +0	...	データ バイト +*n*

メモ：

1. XC3S50AN には SRAM ページ バッファが 1 つしかないため、Buffer 2 コマンドは使用できません。

表 3-7 で示す 33MHz の低速動作バージョンは、SRAM ページ バッファ内でランダムにアドレス指定したシングル バイトを読み出すのに最適です。このバージョンは、シングル バイト転送用に初期レイテンシが短くなっています。

表 3-7 : Buffer Read コマンドのサマリ (低周波数、最大 33MHz)

ピン	コマンド	24 ビットの開始バイト アドレス			ページ バッファ データ バイト (MSB 順)		
		上位アドレス	中間アドレス	下位アドレス			
		未使用	バッファのバイト アドレス				
	バイト 1	バイト 2	バイト 3	バイト 4	バイト 5	...	バイト 6
MOSI	**Buffer 1 Read** 0xD1 **Buffer 2 Read**(1) 0xD3	0x00	**デフォルトのアドレス指定 :** 22 ページの表 2-2 を参照 **2 の累乗アドレス指定 :** 95 ページの表 10-3 を参照		XX	...	XX
MISO	High				データ バイト +0	...	データ バイト +*n*

メモ :

1. XC3S50AN には SRAM ページ バッファが 1 つしかないため、Buffer 2 コマンドは使用できません。

すでに一方のバッファからメインメモリへデータが転送されている間、FPGA アプリケーションはもう一方の SRAM ページ バッファからデータを読み出すことができます (図 3-6 を参照)。

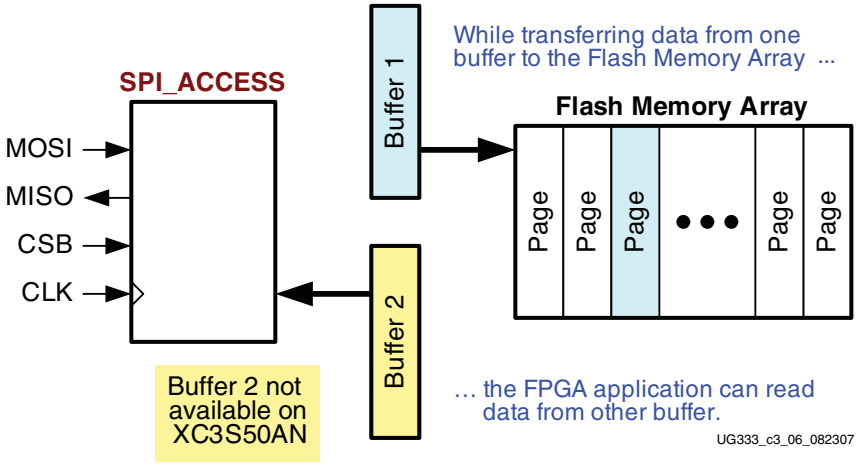

図 3-6 : SRAM ページ バッファが書き込み中、読み出し動作が可能

Buffer Read コマンドを発行するには、FPGA アプリケーションが次の動作を実行する必要があります。

- CLK が High または CLK の立ち上がりエッジで CSB を Low 駆動する。
- CLK の立ち下がりエッジで、Buffer Read コマンド コード (表 3-6 または表 3-7 を参照) を連続して MSB から順に送信する。
- 同様に、24 ビットの開始バイト アドレスを連続して送信する。ページ アドレス ビットは無視される。
  - 開始バイトは、ISF メモリ アレイ内のどのページでもよい (図 3-5 を参照)。

  - デフォルトのアドレス指定を使用する場合は、22 ページの表 2-2 を参照。
  - 2 の累乗アドレス指定を使用する場合は、95 ページの表 10-3 を参照。
- 高速動作バージョンのコマンド (表 3-7) には 8 ビットの don't care が必要ですが、低速動作バージョンのコマンド (表 3-6) には don't care ビットは不要。このとき、MOSI 入力に与えられたデータは無視される。
- 次の CLK 立ち下がり エッジで要求されたデータが MISO 出力ポート に連続して現れる。
  - データは MSB から順に連続して出力される。
  - CSB が Low のとき、各 CLK の立ち下がりエッジで新しいデータが MISO 出力ポートから出力される。ISF メモリでは、アドレス指定モードに関係なく、連続配置したメモリ ロケーション上 (図 3-5 にハイライト) で自動的にアドレス カウンタがインクリメントされる。
- データ送信を完了するため、CLK の立ち下がり エッジで CSB 信号を High 駆動する。

データ送信中、CSB 信号は Low を保持する必要があります。トランザクションがバッファの最後に到達した場合は、バッファの開始点に戻って読み出しを続けます。

XILINX®

第 4 章

書き込みおよびプログラム コマンド

Spartan™-3AN FPGA アプリケーションがインシステム フラッシュ (ISF) メモリへデータをプログラムする際、メインのフラッシュ メモリ アレイへ直接アクセスする方法と、適切なコマンド コードを発行して SRAM ページ バッファのどちらか一方を使用する方法があります。表 4-1 に、サポートされるさまざまな書き込みおよびプログラム コマンドの一覧とそれらの比較を示します。連続する大規模ブロックの書き込みに最適なフォームや、ランダムにアドレス指定したロケーションへのシングル バイトの書き込みに最適なフォームがあります。通常、高速データ通信のコマンドは初期レイテンシが長くなり、また適切な書き込みコマンドと 24 ビットのアドレス送信後に 1 個以上の「don't care」バイトが必要です。

表 4-1 : 書き込みおよびプログラム コマンドのサマリ

コマンド	最適アプリケーション	16 進数コマンド コード	最大 CLK 周波数	ページの消去	書き込む場所	最小書き込みサイズ	最大書き込みサイズ	SRAM ページ バッファへの影響
Buffer Write	SRAM ページ バッファへデータを書き込む。書き込み完了後、Buffer to Page Program コマンドを使用してISF メモリへデータを転送する	Buffer 1 (0x84) Buffer 2(1) (0x87)	66	No	SRAM ページ バッファ	1 バイト	1 ページ	Yes
Buffer to Page Program with Built-in Erase	選択したメモリ ページ内容を消去し、指定したバッファからデータを転送してページをプログラムする	Buffer 1 (0x83) Buffer 2(1) (0x86)	66	Yes	ISF ページ	1 ページ	1 ページ	No
Buffer to Page Program without Built-in Erase	指定したバッファからデータを転送して、すでに消去済みのページをプログラムする	Buffer 1 (0x88) Buffer 2(1) (0x89)	66	No	ISF ページ	1 ページ	1 ページ	No

表 4-1 : 書き込みおよびプログラム コマンドのサマリ (続き)

コマンド	最適アプリケーション	16 進数コマンドコード	最大 CLK 周波数	ページの消去	書き込む場所	最小書き込みサイズ	最大書き込みサイズ	SRAM ページバッファへの影響
Page Program Through Buffer	**Buffer Write** コマンドと **Buffer to Page Program with Built-in Erase** コマンドを両方実行する	Buffer 1 (0x82) Buffer 2(1) (0x85)	66	Yes	選択したバッファが先、次に ISF ページ	1 バイト	1 ページ	Yes
Page to Buffer Compare (プログラム検証)	ISF メモリ アレイが正常にプログラムされているかを検証する	Buffer 1 (0x60) Buffer 2(1) (0x61)	66	No	N/A	N/A	N/A	No
Auto Page Rewrite	セクタのプログラム動作が累積にして 10,000 回に到達するとページをリフレッシュする	Buffer 1 (0x58) Buffer 2(1) (0x59)	66	Yes	バッファが先、次にページ	N/A	N/A	Yes

メモ :

1. XC3S50AN には SRAM ページ バッファが 1 つしかないため、Buffer 2 コマンドは使用できません。

Buffer Write

FPGA アプリケーションは、SRAM ページ バッファのどちらか一方へ直接データを書き込むことが可能です。Buffer Read コマンドと同様に、FPGA アプリケーションは、ISF メモリ アレイへ影響を与えることなく、ランダムにバッファ データを読み出し/書き込みできます。このコマンドでは不揮発性フラッシュ メモリへデータを書き込みできません。バッファ内のデータ処理が完了すると、FPGA アプリケーションは次のコマンドのいずれかを使用してバッファの内容を ISF メモリ アレイへコピーします。

- Buffer to Page Program with Built-in Erase
- Buffer to Page Program without Built-in Erase

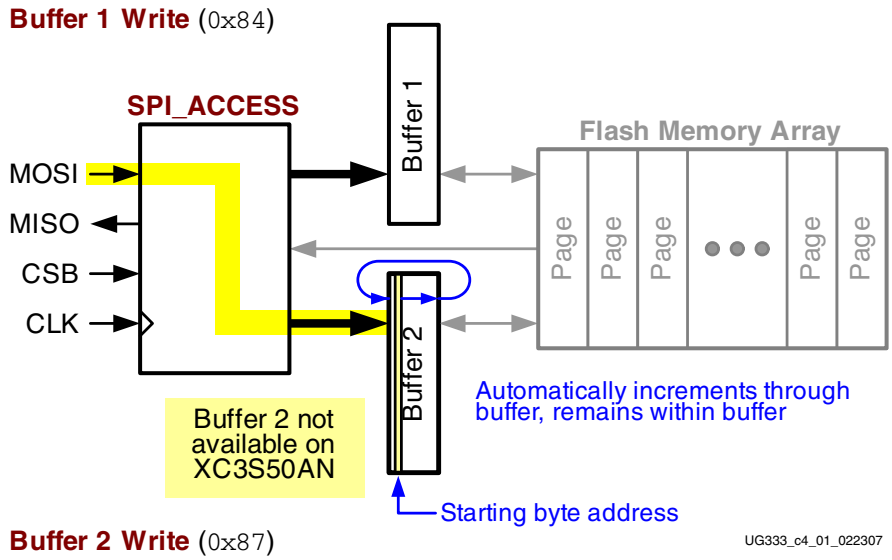

図 4-1 : Buffer Write **コマンド**

Buffer Write コマンドを発行するには、FPGA アプリケーションが次の動作を実行する必要があります。

- CLK が High または　CLK の立ち上がりエッジで CSB を Low 駆動する。
- CLK の立ち下がりエッジで、表 4-2 に示す適切な Buffer Write コマンド コードを MSB から順に連続して送信する。

表 4-2 : Buffer Write **コマンドのサマリ**

ピン	コマンド	24 ビットの開始バイト アドレス			ページ バッファ データ			
		上位アドレス	中間アドレス	下位アドレス				
		未使用	バッファ内のバイト アドレス					
	バイト 1	バイト 2	バイト 3	バイト 4	バイト 5	バイト 6		バイト n+4
MOSI	**Buffer 1 Write** 0x84 **Buffer 2 Write**(1) 0x87	0x00	**デフォルトのアドレス指定 :** 22 ページの表 2-2 を参照 **2 の累乗アドレス指定 :** 95 ページの表 10-3 を参照		データ +0	データ +1	...	データ +*n*

メモ :

1. XC3S50AN には SRAM ページ バッファが 1 つしかないため、Buffer 2 コマンドは使用できません。

- 同様に、24 ビットの開始バイト アドレスを連続して送信する。すべてのページ アドレス情報は無視される。
  - 開始バイトは、選択した SRAM ページ バッファ内のどの場所でもよい (図 4-1 を参照)。
  - デフォルトのアドレス指定を使用する場合は、22 ページの表 2-2 を参照。
  - 2 の累乗アドレス指定を使用する場合は、95 ページの表 10-3 を参照。
- 次の CLK の立ち下がりエッジで、MOSI ポートへ書き込みデータを連続して送信する。
  - データが MSB から順に連続して送信される。

- CSB が Low のとき、各 CLK の立ち下がりエッジで新しいデータが MISO 出力ポートから出力される。ISF メモリでは、自動的にアドレス カウンタが SRAM ページ バッファ上でインクリメントされる (図 4-1 を参照)。
  - 書き込まれた最初のデータは 「バイト アドレス + 0」に格納される
  - 書き込まれた 2 番目のデータ バイトは 「バイト アドレス + 1」に格納される
- トランザクションがバッファの終わりに到達すると、ISF メモリはバッファの始めへ戻って書き込みを続ける。

- データ転送を終了するため、CLK の立ち下がりエッジで CSB 信号を High 駆動する。

データ転送中は、CBS 信号を Low に保持する必要があります。

Buffer to Page Program with Built-in Erase
Buffer to Page Program without Built-in Erase

ISF メモリには、SRAM ページ バッファの内容を選択したメモリ ページへコピーするコマンドが 2 つあります。これらは類似しておりますが、一方は選択したメモリ ページの内容を消去してからページをプログラムするコマンドであり、もう一方はすでに消去されたページを SRAM ページ バッファから転送されるデータでプログラムするコマンドです。

- **Buffer to Page Program with Built-in Erase** コマンドは、まず選択したメモリ ページを消去し、その後、指定された SRAM ページ バッファに格納されているデータでページをプログラムします (図 4-2 を参照)。

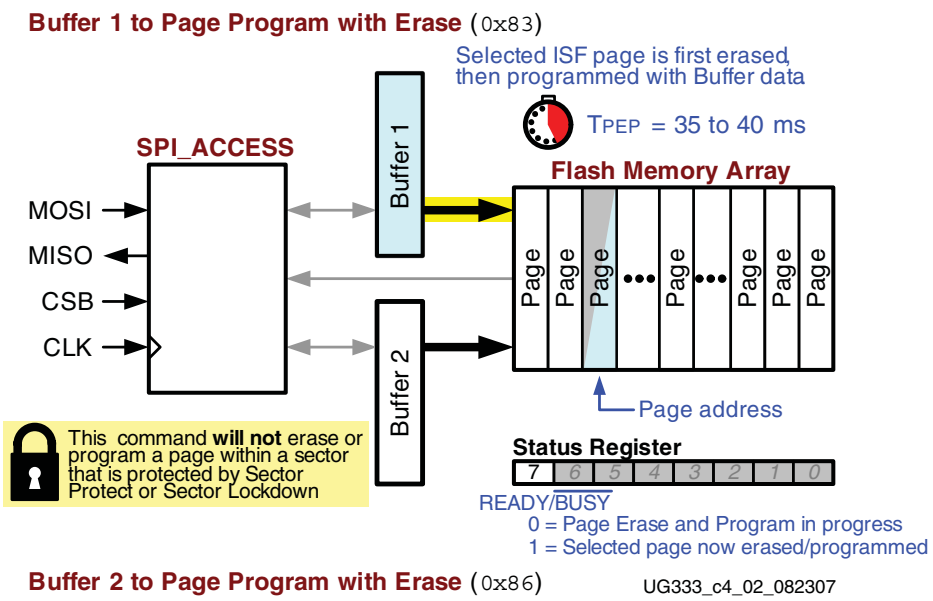

図 4-2 : Buffer to Page Program with Built-in Erase コマンド

- **Buffer to Page Program without Built-in Erase** コマンドは、すでに消去済みのページを指定されたページ バッファに格納されているデータでプログラムします (図 4-3 を参照)。

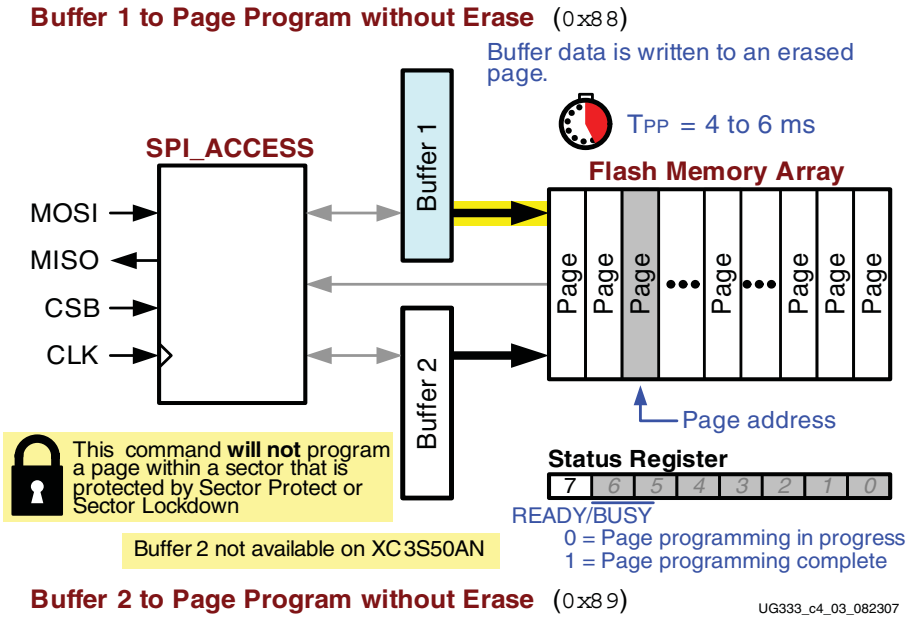

図 4-3 : Buffer to Page Program without Built-in Erase **コマンド**

Buffer to Page Program with Built-in Erase および Buffer to Page Program without Built-in Erase コマンドを発行するには、FPGA アプリケーションが次の動作を実行する必要があります。

- CLK が High または CLK の立ち上がりエッジで CSB を Low 駆動する。
- CLK の立ち下がりエッジで、表 4-3 に示す適切なコマンド コードを MSB から順に連続して送信する。

表 4-3 : Buffer to Page Program **コマンドのサマリ**

ピン	コマンド	24 ビットのページ アドレス		
		上位アドレス	中間アドレス	下位アドレス
		バッファ内のページ アドレス		未使用バイト アドレス
	バイト 1	バイト 2	バイト 3	バイト 4
MOSI	**Buffer 1 to Page Program with Erase** 0x83 **Buffer 2 to Page Program with Erase**(1) 0x86	**デフォルトのアドレス指定 :** 57 ページの表 5-3 を参照 **2 の累乗アドレス指定 :** 95 ページの表 10-4 を参照		Don't Care XX
	Buffer 1 to Page Program without Erase 0x88 **Buffer 2 to Page Program without Erase**(1) 0x89			

メモ :

1. XC3S50AN には SRAM ページ バッファが 1 つしかないため、Buffer 2 コマンドは使用できません。

- 同様に、24 ビットのページ アドレスを連続して送信する。
  - デフォルトのアドレス指定を使用する場合は、22 ページの表 2-2 または 57 ページの表 5-3 を参照。
  - 2 の累乗アドレス指定を使用する場合は、95 ページの表 10-4 を参照。
- データ送信を完了するため、CLK の立ち下がり エッジで CSB 信号を High 駆動する。

データ送信中、CSB 信号は Low を保持する必要があります。

CSB 入力信号が Low から High へ遷移すると動作が完了します。

- Buffer to Page Program with Built-in Erase コマンドを使用した場合、次の動作が実行されます。
  - まず ISF メモリは選択したメモリ ページを消去する。
  - 次に、指定した SRAM ページ バッファに格納されているデータでそのページをプログラムする。
  - この動作は内部でセルフ タイミングされているため、表 4-4 や『Spartan-3AN FPGA データ シート』で定義されている T_{PEP} 時間でページの消去とプログラムが完了する。

表 4-4：ページの消去およびプログラミング時間 (T_{PEP})

シンボル	説明	FPGA	標準	最大	単位
T_{PEP}	ページの消去およびプログラミングにかかる時間	XC3S50AN XC3S200AN XC3S400AN XC3S700AN	14	35	ms
		XC3S1400AN	17	40	ms

- Buffer to Page Program without Built-in Erase コマンドを使用した場合、次の動作が実行されます。
  - ISF メモリは、指定した SRAM ページ バッファに格納されているデータでページをプログラムする。
  - このコマンドは、選択したページを消去しない。
  - この動作は内部でセルフ タイミングされているため、表 4-5 や『Spartan-3AN FPGA データ シート』で定義されている T_{PP} 時間でページのプログラミングが完了する。

表 4-5 : ページのプログラミング時間 (T_{PP})

シンボル	説明	FPGA	標準	最大	単位
T_{PP}	ページのプログラミング時間	XC3S50AN XC3S200AN XC3S400AN	2	4	ms
		XC3S700AN XC3S1400AN	3	6	ms

コマンド実行中、ステータス レジスタの READY/BUSY ビット (ビット 7) で、Page Programming または Page Erase and Programming 動作の進行中または完了を示します。

Page Program Through Buffer

このコマンドは、Buffer Write (図 4-1) および Buffer to Page Program with Built-in Erase (図 4-2) を組み合わせた動作をします。FPGA アプリケーションは、24 ビットのアドレス (ページ アドレスと SRAM ページ バッファ内の開始バイト アドレスの両方を含む) を指定しなければなりません。

Page Program Through Buffer コマンドを発行するには、FPGA アプリケーションが次の動作を実行する必要があります。

- CLK が High または CLK の立ち上がりエッジで CSB を Low 駆動する。
- CLK の立ち下がりエッジで、Page Program Through Buffer コマンド コード (表 4-2 を参照) を連続して MSB から順に送信する。

表 4-6 : Page Program Through Buffer コマンドのサマリ

ピン	コマンド	24 ビットのページおよび開始バイト アドレス			ページ バッファ データ			
		上位アドレス	中間アドレス	下位アドレス				
	バイト 1	バイト 2	バイト 3	バイト 4	バイト 5	バイト 6	...	バイト n+4
MOSI	**Page Program Through Buffer 1** 0x82 **Page Program Through Buffer 2**(1) 0x85	**デフォルトのアドレス指定 :** 22 ページの表 2-2 を参照 **2 の累乗アドレス指定 :** 95 ページの表 10-3 を参照			データ +0	データ +1	...	データ +n

メモ :

1. XC3S50AN には SRAM ページ バッファが 1 つしかないため、Buffer 2 コマンドは使用できません。

- 同様に、24 ビットの開始ページおよびバイト アドレスを連続して送信する。
  - 開始バイト ロケーションは、図 4-1 に示すように選択された SRAM ページ バッファ内のいかなるページでもよい。
  - ページ アドレスも指定する必要がある。
  - デフォルトのアドレス指定を使用する場合は、22 ページの表 2-2 を参照。
  - 2 の累乗アドレス指定を使用する場合は、95 ページの表 10-3 を参照。
- 次の CLK 立ち下がり エッジで、MISO 出力ポート に書き込みデータが連続して供給される。
  - データは MSB から順に連続して出力される。
  - CSB が Low のとき、各 CLK の立ち下がりエッジで新しいデータが MISO 出力ポートから出力される。ISF メモリでは、SRAM ページ バッファ上 (図 4-1 にハイライト)で自動的にアドレス カウンタがインクリメントされる。
    - 書き込まれた最初のデータは 「バイト アドレス + 0」に格納される。
    - 書き込まれた 2 番目のデータ バイトは 「バイト アドレス + 1」に格納される。
  - トランザクションがバッファの最後に到達すると、ISF メモリはバッファの最初へ戻って書き込みを続ける。
  - データのフル ページより少ないデータの書き込みは可能だが、SRAM ページ バッファに有効なデータが含まれていることを必ず確認すること。データが書き込まれていないバッファ ロケーションからの書き込みを行うと、古いデータが ISF メモリ ページへ書き込まれる。
- データ転送を終了するため、CLK の立ち下がりエッジで CSB 信号を High 駆動する。

データ送信中、CSB 信号は Low を保持する必要があります。CSB 入力信号が Low から High へ遷移すると動作が完了します。

ISF メモリは、まず最初に選択したメモリページを消去します。その後、指定した SRAM ページ バッファに格納されているデータでページをプログラムします。この動作は内部でセルフ タイミングされているため、表 4-4 や 『Spartan-3AN FPGA データ シート』 で定義されている T_{PEP} 時間でページの消去とプログラムが完了します。

コマンド実行中、ステータス レジスタの READY/BUSY ビット (ビット 7) で、Page Programming または Page Erase and Programming 動作の進行中または完了を示します。

Page to Buffer Compare (プログラム検証)

Page to Buffer Compare コマンドは、実際にプログラミングを実行するコマンドではなく、主に ISF メモリ ページの不揮発性データを正しくプログラミングしているかを検証するために使用するコマンドです。図 4-4 に示すように、このコマンドは、アドレス指定したメモリ ページの内容をSRAM ページ バッファの内容と比較します。ページとバッファのデータが 1 ビット以上異なる場合は、COMPARE ビット (ステータス レジスタのビット 6) が 「1」になります。

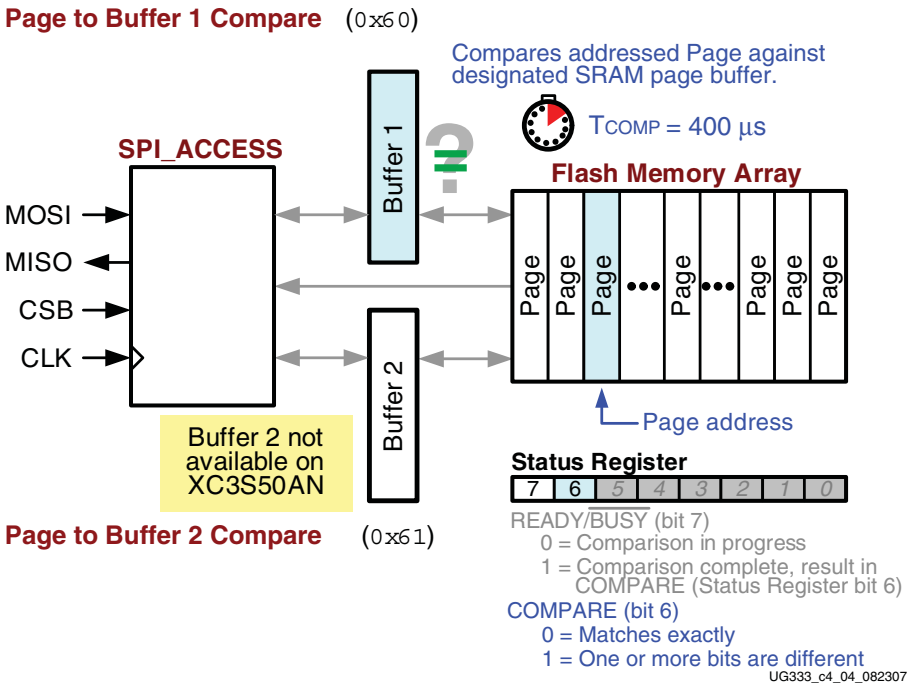

図 4-4 : Page to Buffer Compare コマンド

Page to Buffer Compare コマンドを発行するには、FPGA アプリケーションが次の動作を実行する必要があります。

- CLK が High または　CLK の立ち上がりエッジで CSB を Low 駆動する。
- CLK の立ち下がりエッジで、表 4-2 に示す適切なコマンド コードを MSB から順に連続して送信する。

表 4-7 : Page to Buffer Compare コマンドのサマリ

ピン	コマンド	24 ビットのページ アドレス		
		上位アドレス	中間アドレス	下位アドレス
	バイト 1	バイト 2	バイト 3	バイト 4
MOSI	**Page to Buffer 1 Compare** 0x60 **Page to Buffer 2 Compare**(1) 0x61	**デフォルトのアドレス指定 :** 57 ページの表 5-3 を参照 **2 の累乗アドレス指定 :** 95 ページの表 10-4 を参照		Don't Care XX

メモ :
1. XC3S50AN には SRAM ページ バッファが 1 つしかないため、Buffer 2 コマンドは使用できません。

- 同様に、24 ビットのページ アドレスを連続して送信する。
  - デフォルトのアドレス指定を使用する場合は、22 ページの表 2-2 を参照。
  - 2 の累乗アドレス指定を使用する場合は、95 ページの表 10-4 を参照。
- コマンドを完了するため、CLK の立ち下がり エッジで CSB 信号を High 駆動する。

データ送信中、CSB 信号は Low を保持する必要があります。CSB 入力信号が Low から High へ遷移すると、アドレス指定した ISF メモリ ページと指定した SRAM ページ バッファの比較が開始されます。この動作は内部でセルフ タイミングされているため、表 4-8 や 『Spartan-3AN FPGA データ シート』で定義されている Page to Buffer Compare の時間で動作を完了します。

表 4-8 : Page to Buffer Compare の時間 (T_{COMP})

シンボル	説明	FPGA	標準	最大	単位
T_{COMP}	ページとバッファの比較にかかる時間	すべて	—	400	µs

コマンド実行中、ステータス レジスタの READY/BUSY ビット (ビット 7) で、Page to Buffer Compare 動作の進行中または完了を示します。

動作が完了すると、ステータス レジスタのビット 6 (COMPARE) が比較結果を出力します。

SRAM ページ バッファの初期化

SRAM ページ バッファは、コマンドを実行する前に規定値へ自動的に初期化されません。つまり、バッファ ロケーションの内容を推測できません。このため、FPGA アプリケーションは各ロケーションを定義しなければいけません。

バッファを初期化する最も簡単な方法は、Buffer Write コマンドを実行することです。ブランクのロケーションはすべて 0xFF として定義してください。

もう 1 つの簡単なページ バッファ初期化方法は、Page to Buffer Transfer コマンドを使用して、消去されたページを指定することです。これにより、すべて 0xFF のみのブランク ページがページ バッファへコピーされます。この方法は、先に示す方法より多少時間がかかりますが (約 400µs)、FPGA アプリケーションへの負荷は軽減されます。

EEPROM のようなバイト レベルの書き込み動作

Spartan-3AN FPGA のインシステム フラッシュ (ISF) メモリには、メモリ読み出しと書き込みコマンドが一体となった小規模ページ サイズの SRAM ページ バッファが含まれています。このため、ISF メモリは EEPROM メモリのような小規模なバイト レベルの書き込み動作が可能です。

そのほかのフラッシュ データへ影響を与えることなく、1 バイトまたはそれ以上を変更する場合は、次の手順を実行してください。

- Page to Buffer Transfer コマンドを実行して、ISF メモリ ページのすべての内容を SRAM ページ バッファへコピーする。
- SRAM ページ バッファの 1 個または複数のロケーションを変更する。
  - 1 バイトまたは連続バイトを変更する場合は、Page Program Through Buffer コマンドを実行すると、コマンド完了時には自動的に指定ページの消去とプログラムが完了する。
  - 複数バイトまたは不連続バイトを変更する場合は、Buffer Write コマンドを実行してページ バッファ内で選択したロケーションを変更する。バッファの変更が完了すると、Buffer to Page Program with Built-in Erase コマンドを発行する。
- ランダムにデータを変更する場合は、ページ消去またはプログラミング動作を累積にして 10,000 回に最低 1 回はセクタ内の各ページを変更/上書きする必要がある。この動作の回数をカウントする代わりに、各ページを変更した後に Auto Page Rewrite コマンドを発行するオプションもある

ランダム ページ プログラミングの場合での累積動作回数の制限

ほとんどのアプリケーションの場合、ISF メモリには FPGA ビットストリームや MicroBlaze™ プロセッサ コードなどの不揮発性データを格納します。このようなアプリケーションでは、まず最初にすべてのメモリ セクタが消去され、その後新しいプログラミング データが各ページに連続して書き込まれます。このようにデータが連続して書き込まれるアプリケーションの場合、各ページのプログラム/消去動作は、最大 100,000 サイクルまでサポートされています。

その他のアプリケーションでは、FPGA アプリケーションがランダムにアドレス指定したページ ロケーションへ不揮発データを格納または変更できます。これらの例は、「EEPROM のようなバイト レベルの書き込み動作」で説明しています。各ページのプログラム/消去動作は、最大 100,000 サイクルまでサポートされているため、ランダム指定したセクタ内の各ページの消去/動作動作を累積にして 10,000 回に最低 1 回はリフレッシュする必要があります。このようにページをリフレッシュすることで、ランダムにページ プログラミングを行うことで生じた潜在的な問題を回避できます。

ISF メモリには、この動作を管理する Auto Page Rewrite という特殊なコマンドがあります。

Auto Page Rewrite

このコマンドは、1 つのセクタ内の特定 ページの複数バイトまたは複数ページに及ぶデータをランダムに変更する場合のみに必要です。このコマンドは、その他に Page to Buffer Transfer コマンドと Buffer to Page Program with Built-in Erase コマンドの 2 つの動作を実行します (図 4-5 を参照)。

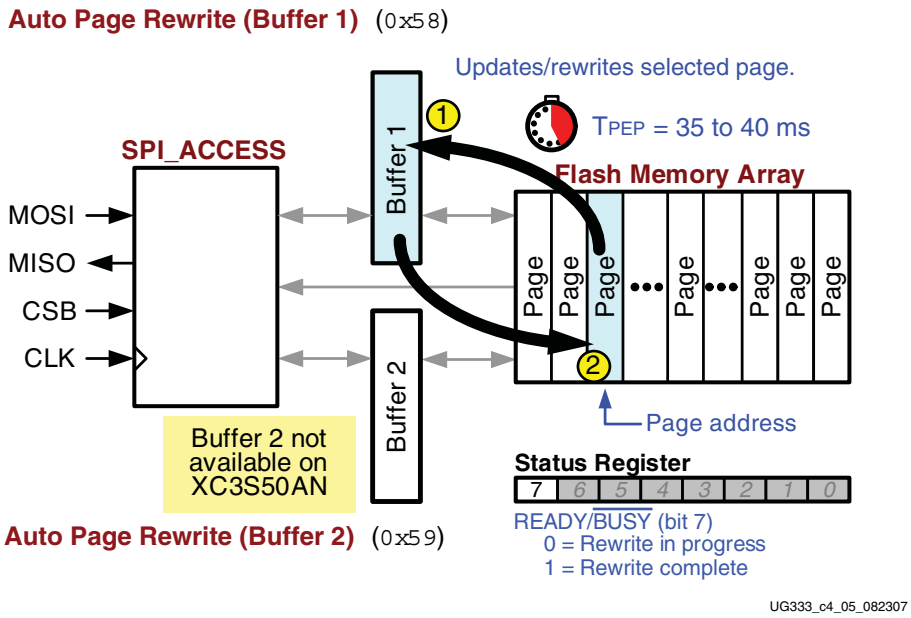

図 4-5 : Auto Page Rewrite コマンド

1. まず最初に、アドレス指定した ISF メモリ ページから Buffer 1 または Buffer 2 へデータをコピーする。
2. 次に、Buffer 1 または Buffer 2 からの同じデータで、ISF メモリ ページを再プログラムする。

Auto Page Rewrite コマンドを発行するには、FPGA が次の動作をする必要があります。

- CLK が High または CLK の立ち上がりエッジで CSB を Low 駆動する。
- CLK の立ち下がりエッジで、表 4-2 に示す適切な Auto Page Rewrite コマンド コードを MSB から順に連続して送信する。

表 4-9 : Auto Page Rewrite Through Buffer コマンドのサマリ

ピン	コマンド	24 ビットのページ アドレス		
		上位アドレス	中間アドレス	下位アドレス
	バイト 1	バイト 2	バイト 3	バイト 4
MOSI	**Auto Page Rewrite (Buffer 1)** 0x58 **Auto Page Rewrite (Buffer 2)**(1) 0x59	**デフォルトのアドレス指定 :** 57 ページの表 5-3 を参照 **2 の累乗アドレス指定 :** 95 ページの表 10-4 を参照		Don't Care XX

メモ :

1. XC3S50AN には SRAM ページ バッファが 1 つしかないため、Buffer 2 コマンドは使用できません。

- 同様に、24 ビットのページ アドレスを連続して送信する。
  - デフォルトのアドレス指定を使用する場合は、22 ページの表 2-2 を参照。
  - 2 の累乗アドレス指定を使用する場合は、95 ページの表 10-4 を参照。
- データ コマンドを完了するため、CLK の立ち下がりエッジで CSB 信号を High 駆動する。

CSB 信号が Low から High へ遷移すると、コマンドが完了します。

まず、アドレス指定した ISF メモリ ページが指定したバッファへコピーされ、メモリ ページは消去されます。その後、アドレス指定したページが再びバッファの内容でプログラムされます。この動作は内部でセルフ タイミングされているため、表 4-4 や『Spartan-3AN FPGA データ シート』で定義されているページの消去およびプログラミング時間 (T_{PEP}) でプログラムが完了します。

コマンド実行中、ステータス レジスタの READY/BUSY ビット (ビット 7) で、Auto Page Rewrite 動作の進行中または完了を示します。

XILINX®

第 5 章

消去コマンド

Spartan™-3AN FPGA のインシステム フラッシュ (ISF) メモリは、さまざまな消去レベルがサポートされているため、アプリケーションがより柔軟に対応できます。

- Page Erase コマンドは最小単位の消去であり、ISF メモリ ページを 1 ページ消去する。
- Block Erase コマンドは 8 ページを含む 1 グループを消去する。
- Sector Erase コマンドは ISF メモリ セクタ内の全ページを消去する。

Sector Protect および Sector Lockdown による消去回避

セクタの保護機能および セクタのロックダウン機能を使用すると、不注意または未許可の消去動作を回避できます。つまり、セクタの保護機能や セクタのロックダウン機能により保護されているセクタ内のロケーションに対するページ/ブロック/セクタ消去コマンドが無効になります。

消去ステート

Erase コマンドは、選択したページ/ブロック/セクタを消去ステート (ロジック 1 (0xFF)) に戻します。なお、このコマンドは、保護またはロックダウンされているページ/ブロック/セクタの内容は変更しません。

Page Erase

Page Erase コマンドは、図 5-2 に示すように ISF メモリ アレイ内のページを個別に消去できます。通常、このコマンドは、Buffer to Page Program without Built-in Erase コマンドの前に実行されます。

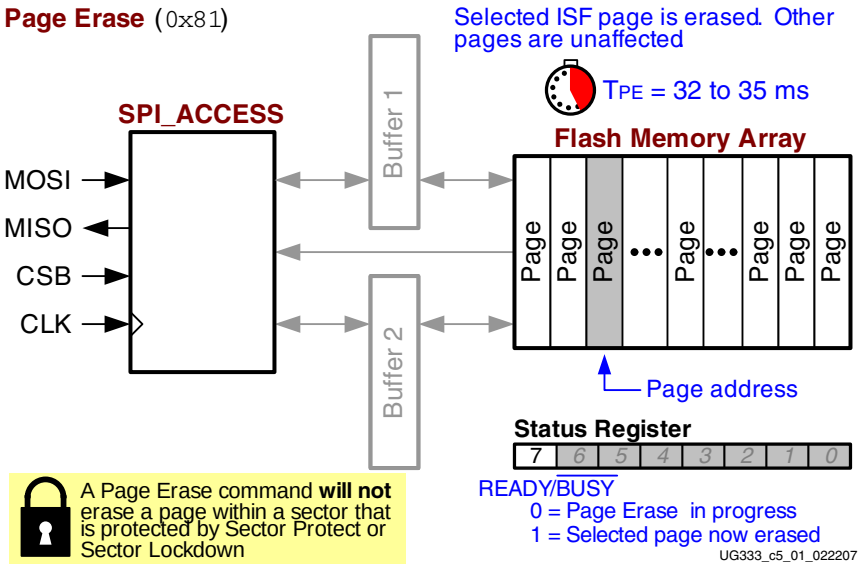

図 5-1 : Page Erase コマンド

Page Erase コマンドを発行するには、FPGA アプリケーションが次の動作を実行する必要があります。

- CLK が High または CLK の立ち上がりエッジで CSB を Low 駆動する。
- CLK の立ち下がりエッジで、表 5-1 に示す適切な Page Erase コマンド コード (0x81) を MSB から順に連続して送信する。

表 5-1 : Page Erase (0x81) コマンド

ピン	コマンド	24 ビットのアドレス		
		上位アドレス	中間アドレス	下位アドレス
		ページ アドレス		未使用バイト アドレス
	バイト 1	バイト 2	バイト 3	バイト 4
MOSI	0x81	デフォルトのアドレス指定 : 表 5-3 を参照 オプションの 2 の累乗アドレス指定 : 95 ページの表 10-4 を参照		Don't Care XX

- 同様に、24 ビットのページ アドレスを連続して送信する。
  - ページ アドレスのみ必要。すべてのバイト アドレスは無視される。
  - ページ数および 24 ビットのアドレス フィールド内のページ アドレスのアライメントは、Spartan-3AN FPGA の種類によって異なる (表 5-2 を参照)。
  - デフォルトのアドレス指定を使用する場合は、表 5-3 を参照。

- ♦ 2 の累乗アドレス指定を使用する場合は、95 ページの表 10-4 を参照。
- コマンドを完了させるため、CLK の立ち下がりエッジで CSB 信号を High 駆動する。

表 5-2 : ページ アドレス指定のサマリ

FPGA	合計ページ数	アドレス指定モード			
		デフォルト		2 の累乗	
		ページ サイズ (バイト)	アライメント	ページ サイズ (バイト)	アライメント
XC3S50AN	512	264	512 バイトごと	256	256 バイトごと
XC3S200AN XC3S400AN	2,048				
XC3S700AN	4,096				
XC3S1400AN	4,096	528	1K バイトごと	512	512 バイトごと

表 5-3 : ページ アドレス (デフォルトのアドレス指定モード)

FPGA	上位アドレス								中間アドレス								下位アドレス							
	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
3S50AN	0	0	0	0	0	0	ページ アドレス (512 ページ)									Don't Care ビット								
							PA8	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	X	X	X	X	X	X	X	X	X
3S200AN 3S400AN	0	0	0	0	ページ アドレス (2,048 ページ)											Don't Care ビット								
					PA10	PA9	PA8	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	X	X	X	X	X	X	X	X	X
3S700AN	0	0	0	ページ アドレス (4,096 ページ)												Don't Care ビット								
				PA11	PA10	PA9	PA8	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	X	X	X	X	X	X	X	X	X
3S1400AN	0	0	ページ アドレス (4,096 ページ)												Don't Care ビット									
			PA11	PA10	PA9	PA8	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	X	X	X	X	X	X	X	X	X	X
ビット ロケーション	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

CSB 信号が Low から High への遷移するとコマンドが完了し、フラッシュは選択したページを消去します。この動作は内部でセルフ タイミングされているため、表 5-4 や『Spartan-3AN FPGA データ シート』で定義されている時間で動作を完了します。コマンド実行中は、ステータス レジスタの READY/BUSY ビット (ビット 7) が、Page Erase 動作の進行中あるいは完了を示します。

表 5-4 : Page Erase 時間

シンボル	説明	FPGA	標準	最大	単位
T_{PE}	ページを消去する時間。	XC3S50AN XC3S200AN XC3S400AN	13	32	ms
		XC3S700AN XC3S1400AN	15	35	ms

Page Erase 動作が進行中、FPGA は次のコマンドを使用して ISF メモリのその他の部分にアクセスできます。

- 消去動作中に使用されていない SRAM ページ バッファからの読み出しおよび書き込み。
  - Buffer Read
  - Buffer Write
- Status Register Read
- Information Read

Block Erase

Block Erase コマンドは、一度に 8 ページ消去します (図 5-2 を参照)。そのため、ISF メモリへ大容量のデータを書き込む場合に有効です。Block Erase コマンドを使用することによって、Page Erase コマンドを複数回使用することを回避できるため、3 ページから 8 ページを消去する場合の時間を短縮できます。

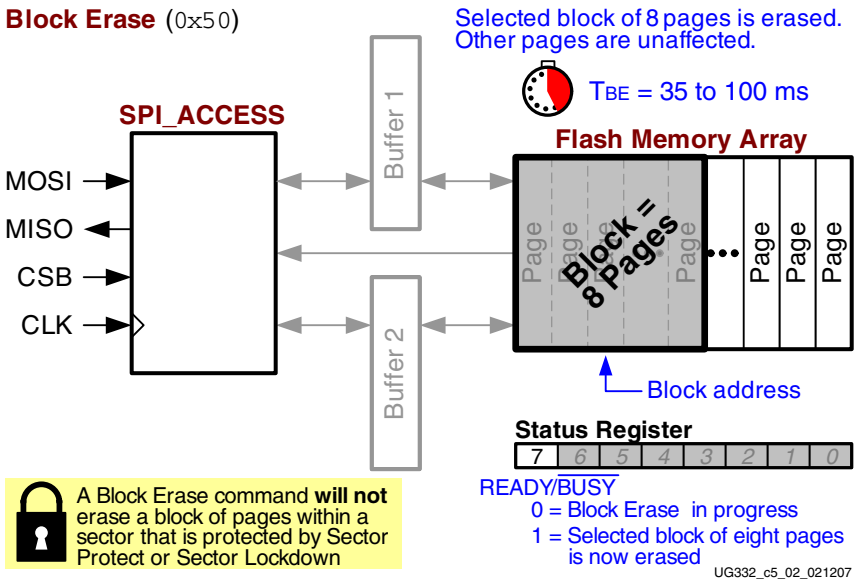

図 5-2 : Block Erase コマンド

Block Erase コマンドを発行するには、FPGA アプリケーションが次の動作を実行する必要があります。

- CLK が High または CLK の立ち上がりエッジで CSB を Low 駆動する。
- CLK の立ち下がりエッジで、表 5-5 に示す適切な Block Erase コマンド コード (0x50) を MSB から順に連続して送信する。

表 5-5 : Block Erase (0x50) コマンド

ピン	コマンド	24 ビットのアドレス		
		上位アドレス	中間アドレス	下位アドレス
		ブロック アドレス		未使用バイト アドレス
	バイト 1	バイト 2	バイト 3	バイト 4
MOSI	0x50	デフォルトのアドレス指定 : 表 5-7 を参照 オプションの 2 の累乗アドレス指定 : 96 ページの表 10-5 を参照		Don't Care XX

- 同様に、24 ビットのブロック アドレスを連続して送信する。
  - ブロック アドレスのみ必要。
    - ブロック アドレスは、常に 8 ページごとにアラインされ、連続する 8 ページのブロックを越えることはない。
  - ブロック数および 24 ビットのアドレス フィールド内のブロック アドレス アライメントは、Spartan-3AN FPGA の種類によって異なる (表 5-6 を参照)。
  - デフォルトのアドレス指定を使用する場合は、表 5-7 を参照。
  - 2 の累乗アドレス指定を使用する場合は、96 ページの表 10-5 を参照。
- データ コマンドを完了させるため、CLK の立ち下がり エッジで CSB 信号を High 駆動する。

表 5-6 : ブロック アドレス指定のサマリ

FPGA	合計ブロック数	アドレス指定モード			
		デフォルト		2 の累乗	
		ブロック サイズ (バイト)	アライメント	ブロック サイズ (バイト)	アライメント
XC3S50AN	64	2,112 (2K+64)	8 ページごと 4K バイトごと	2,048 (2K)	8 ページごと 2K バイトごと
XC3S200AN XC3S400AN	256				
XC3S700AN	512				
XC3S1400AN	512	4,224 (4K+128)	8 ページごと 8K バイトごと	4,096 (4K)	8 ページごと 4K バイトごと

表 5-7 : ブロック アドレス指定 (デフォルトのアドレス指定 モード)

FPGA	上位アドレス								中間アドレス								下位アドレス							
	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
3S50AN	0	0	0	0	0	0	ブロック アドレス						Don't Care ビット											
							BL5	BL4	BL3	BL2	BL1	BL0	X	X	X	X	X	X	X	X	X	X	X	X
3S200AN 3S400AN	0	0	0	0	ブロック アドレス								Don't Care ビット											
					BL7	BL6	BL5	BL4	BL3	BL2	BL1	BL0	X	X	X	X	X	X	X	X	X	X	X	X
3S700AN	0	0	0	ブロック アドレス									Don't Care ビット											
				BL8	BL7	BL6	BL5	BL4	BL3	BL2	BL1	BL0	X	X	X	X	X	X	X	X	X	X	X	X
3S1400AN	0	0	ブロック アドレス										Don't Care ビット											
			BL8	BL7	BL6	BL5	BL4	BL3	BL2	BL1	BL0		X	X	X	X	X	X	X	X	X	X	X	X

CSB 信号が Low から High への遷移するとコマンドが完了し、フラッシュは選択したブロックに含まれる 8 ページを消去します。この動作は内部でセルフ タイミングされているため、表 5-8 や『Spartan-3AN FPGA データ シート』で定義されている時間で動作を完了します。コマンド実行中は、ステータス レジスタの READY/BUSY ビット (ビット 7) が、Block Erase 動作の進行中あるいは完了を示します。

表 5-8 : ブロックの消去時間

シンボル	説明	FPGA	標準	最大	単位
T_{BE}	ブロックの消去時間。	XC3S50AN	15	35	ms
		XC3S200AN XC3S400AN	30	75	ms
		XC3S700AN XC3S1400AN	45	100	ms

Block Erase 動作が進行中、FPGA は次のコマンドを使用して ISF メモリのその他の部分へアクセスできます。

- 消去動作中に使用されていない SRAM ページ バッファからの読み出しおよび書き込み。
  - Buffer Read
  - Buffer Write
- Status Register Read
- Information Read

Sector Erase

Sector Erase コマンドは、メイン メモリ内の保護またはロックされていないセクタを消去します (図 5-3 を参照)。1 回の処理で 1 セクタのみ消去します。

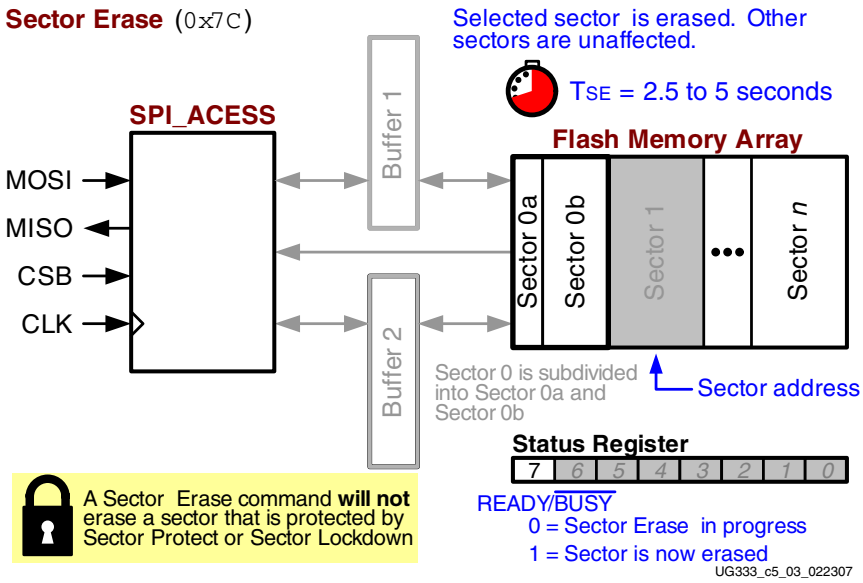

図 5-3 : Sector Erase コマンド

Sector Erase コマンドを発行するには、FPGA アプリケーションが次の動作を実行する必要があります。

- CLK が High または CLK の立ち上がりエッジで CSB を Low 駆動する。
- CLK の立ち下がりエッジで、表 5-9 に示す適切な Block Erase コマンド コード (0x7C) を MSB から順に連続して送信する。

表 5-9 : Sector Erase (0x7C) コマンド

コマンド	24 ビットのアドレス		
	上位アドレス	中間アドレス	下位アドレス
	ブロック アドレス		未使用バイト アドレス
0x7C	**デフォルトのアドレス指定 :** 表 5-10 を参照 **オプションの 2 の累乗アドレス指定 :** 96 ページの表 10-6 を参照 **全アドレス マップ** (ビットストリーム ロケーションを含むを含む) : 表 5-11 および表 5-12 を参照。		Don't Care XX

- 同様に、24 ビットのセクタ アドレスを連続して送信する。
  - セクタ 0 は、その他のセクタとは異なる。
    - セクタ 0 は、2 つのサブ セクタ (セクタ 0a およびセクタ 0b) に分割されている。

  - セクタ 0a とセクタ 0b は個別に消去可能であり、その他のセクタとは異なるため、追加のアドレス ビットを使用する特殊なアドレス指定が必要。
- セクタ アドレスに続いて、ページ アドレス ビットおよびバイト アドレス ビットは、消去されるセクタ内の有効なアドレス ロケーションを指定する。
- デフォルトのアドレス指定を使用する場合は、表 5-10 を参照。
- 2 の累乗アドレス指定を使用する場合は、96 ページの表 10-6 を参照。
- セクタを消去する場合、ISF メモリに FPGA ビットストリームがどのように格納されているかに注目してください。表 5-11 および 64 ページの表 5-12 で青色表示しているように、常にセクタ 0 を開始点としてビットストリームが 1 つ格納されます。MultiBoot コンフィギュレーションを使用する場合は、最初のビットストリームが格納されているセクタの次のセクタ バウンダリから 2 番目の FPGA ビットストリームが格納されます。オプションの MultiBoot ビットストリームは、表 5-11 および 64 ページの表 5-12 に黄色で示しています。

- コマンドを完了するため、CLK の立ち下がり エッジで CSB 信号を High 駆動する。

セクタ アドレス指定

セクタのアドレス指定は、アドレス モードによって異なります。

- 62 ページの「デフォルトのアドレス指定モード」
- 93 ページの「オプションの 2 の累乗アドレス指定モード」

表 5-11 および 64 ページの表 5-12 では、Spartan-3AN FPGA のセクタ アドレス指定のサマリを示し、また、FPGA コンフィギュレーション ビットストリームが格納される位置も示しています。

なお、23 ページの「メモリ割り当て表」も参照してください。

デフォルトのアドレス指定モード

表 5-10 に、デフォルトのアドレス指定モードでのセクタ アドレス指定を示します。セクタ 0 は、2 つのサブ セクタ (セクタ 0a およびセクタ 0b) に分割されています。これらのサブ セクタは追加のアドレス ビットが必要です。

表 5-10 : セクタ アドレス指定 (デフォルトのアドレス指定モード)

FPGA / セクタ		上位アドレス								中間アドレス								下位アドレス							
		23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
XC3S50AN	**セクタ**	0	0	0	0	0	0	**セクタ**		Don't Care ビット															
	セクタ 0a							**0**	**0**	0	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X
	セクタ 0b												1												
	セクタ 1– 3							SA1	SA0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
XC3S200AN XC3S400AN	**セクタ**	0	0	0	0	**セクタ**				Don't Care ビット															
	セクタ 0a					**0**	**0**	**0**	0	0	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X
	セクタ 0b												1												
	セクタ 1– 7					SA2	SA1	SA0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
XC3S700AN	**セクタ**	0	0	0	**セクタ**					Don't Care ビット															
	セクタ 0a				**0**	**0**	**0**	**0**	0	0	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X
	セクタ 0b												1	X	X	X	X	X	X	X	X	X	X	X	X
	セクタ 1– 15				SA3	SA2	SA1	SA0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
XC3S1400AN	**セクタ**	0	0	**セクタ**						Don't Care ビット															
	セクタ 0a			**0**	**0**	**0**	**0**	0	0	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X
	セクタ 0b											1	X	X	X	X	X	X	X	X	X	X	X	X	X
	セクタ 1– 15			SA3	SA2	SA1	SA0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

表 5-11 : セクタ バウンダリ(XC3S50AN、XC3S200AN、XC3S400AN)

Spartan-3AN FPGA			XC3S50AN		ページ	XC3S200AN		XC3S400AN	
セクタのページ数			128			256			
アドレス指定モード			デフォルト	2 の累乗		デフォルト	2 の累乗	デフォルト	2 の累乗
セクタ / サイズ		ページ	264	256		264	256	264	256
0	0a	0	0x00_0000	0x00_0000	0	0x00_0000	0x00_0000	0x00_0000	0x00_0000
	0b	8	0x00_1000	0x00_0800	8	0x00_1000	0x00_0800	0x00_1000	0x00_0800
1		128	0x01_0000	0x00_8000	256	0x02_0000	0x01_0000	0x02_0000	0x01_0000
2		256	0x02_0000	0x01_0000	512	0x04_0000	0x02_0000	0x04_0000	0x02_0000
3		384	0x03_0000	0x1_8000	768	0x06_0000	0x03_0000	0x06_0000	0x03_0000
4		—	—	—	1,024	0x08_0000	0x04_0000	0x08_0000	0x04_0000
5		—	—	—	1,280	0x0A_0000	0x05_0000	0x0A_0000	0x05_0000
6		—	—	—	1,536	0x0C_0000	0x06_0000	0x0C_0000	0x06_0000
7		—	—	—	1,792	0x0E_0000	0x07_0000	0x0E_0000	0x07_0000

表 5-12 : セクタ バウンダリ (XC3S700AN、XC3S1400AN)

Spartan-3AN FPGA			XC3S700AN		XC3S1400AN	
セクタのページ数			256			
アドレス指定モード			デフォルト	2 の累乗	デフォルト	2 の累乗
セクタ/ サイズ		ページ	264	256	528	512
0	0a	0	0x00_0000	0x00_0000	0x00_0000	0x00_0000
	0b	8	0x00_1000	0x00_0800	0x00_2000	0x00_1000
1		256	0x02_0000	0x01_0000	0x04_0000	0x02_0000
2		512	0x04_0000	0x02_0000	0x08_0000	0x04_0000
3		768	0x06_0000	0x03_0000	0x0C_0000	0x06_0000
4		1,024	0x08_0000	0x04_0000	0x10_0000	0x08_0000
5		1,280	0x0A_0000	0x05_0000	0x14_0000	0x0A_0000
6		1,536	0x0C_0000	0x06_0000	0x18_0000	0x0C_0000
7		1,792	0x0E_0000	0x07_0000	0x1C_0000	0x0E_0000
8		2,048	0x10_0000	0x08_0000	0x20_0000	0x10_0000
9		2,304	0x12_0000	0x09_0000	0x24_0000	0x12_0000
10		2,560	0x14_0000	0x0A_0000	0x28_0000	0x14_0000
11		2,816	0x16_0000	0x0B_0000	0x2C_0000	0x16_0000

表 5-12 : セクタ バウンダリ (XC3S700AN、XC3S1400AN) (続き)

Spartan-3AN FPGA		XC3S700AN		XC3S1400AN	
セクタのページ数		256			
アドレス指定モード		デフォルト	2 の累乗	デフォルト	2 の累乗
セクタ/サイズ	ページ	264	256	528	512
12	3,072	0x18_0000	0x0C_0000	0x30_0000	0x18_0000
13	3,328	0x1A_0000	0x0D_0000	0x34_0000	0x1A_0000
14	3,584	0x1C_0000	0x0E_0000	0x38_0000	0x1C_0000
15	3,840	0x1E_0000	0x0F_0000	0x3C_0000	0x1E_0000

デフォルト ビットストリーム

オプションの MultiBoot ビットストリーム

動作時間

CSB 信号が Low から High へ遷移するとコマンドが完了し、フラッシュは選択したブロックに含まれる 8 ページを消去します。この動作は内部でセルフ タイミングされているため、表 5-13 や『Spartan-3AN FPGA データ シート』で定義されている時間で動作を完了します。コマンド実行中は、ステータス レジスタの READY/BUSY ビット (ビット 7) が、Sector Erase 動作の進行中あるいは完了を示します。

表 5-13 : Sector Erase の時間

シンボル	説明	FPGA	標準	最大	単位
T_{SE}	セクタ消去の時間	XC3S50AN	0.8	2.5	秒
		XC3S200AN XC3S400AN XC3S700AN XC3S1400AN	1.6	5	秒

Sector Erase 動作が進行中、FPGA は次のコマンドを使用して ISF メモリのその他の部分にアクセスできます。

- 消去動作中に使用されていない SRAM ページ バッファからの読み出しおよび書き込み。
  - Buffer Read
  - Buffer Write
- Status Register Read
- Information Read

XILINX®

第 6 章

ステータスおよび インフォメーション コマンド

Spartan™-3AN FPGA のインシステム フラッシュ (ISF) メモリでは、2 つのコマンドを使用してステータスや情報を取得できます。

- ステータス レジスタには、ISF メモリの現ステータスとコンフィギュレーションが含まれる。
- Information Read コマンドでは、JEDEC に準拠するデバイス情報を取得できる。

ステータス レジスタ

表 6-1 : ステータス レジスタの内容

ビット	7	6	5	4	3	2	1	0
名称	READY/$\overline{\text{BUSY}}$	COMPARE	ISF メモリ サイズ				SECTOR PROTECT	PAGE SIZE
説明	**0** = Busy **1** = Ready	**0** = 一致 **1** = 不一致	**0011** = 1 Mbit: XC3S50AN **0111** = 4 Mbit: XC3S200AN または XC3S400AN **1001** = 8 Mbit: XC3S700AN **1011** = 16 Mbit: XC3S1400AN				**0** = 保護なし **1** = 保護あり	**0** = 2 の累乗 **1** = デフォルト

表 6-1 に示すとおり、ステータス レジスタには次の情報が含まれます。

- ISF メモリが次のコマンドを受信できる状態 (Ready)、または現コマンドを処理中 (Busy) であるかを示す。
- Page to Buffer Compare (プログラム検証) コマンドの結果。
- ISF メモリ アレイのサイズ。
- セクタの保護機能の有効/無効。
- 現在のアドレス指定モード (各メモリ ページのサイズ)。

READY/$\overline{\text{BUSY}}$

インシステム フラッシュ (ISF) メモリの READY/BUSY ステータスは、ステータス レジスタのビット 7 で示されます (表 6-2 を参照)。

表 6-2 : READY/$\overline{\text{BUSY}}$ (ステータス レジスタのビット 7)

READY/$\overline{\text{BUSY}}$	説明
0	**BUSY :** 内部アレイにアクセスしているコマンドを処理中のためビジー状態である。 ISF メモリがビジー状態でも、FPGA アプリケーションは次に示すコマンドを発行できる。
1	**READY :** ISF メモリは、後続コマンドを実行する準備が整っている。すでに発行されたコマンドは完了済み。

ISF メモリがビジー状態でも発行できるコマンドを次に示します。

- Page to Buffer Transfer
- Page to Buffer Compare (プログラム検証)
- Buffer to Page Program with Built-in Erase
- Buffer to Page Program without Built-in Erase
- Page Program Through Buffer
- Page Erase
- Block Erase
- Sector Erase
- Information Read
- Auto Page Rewrite

ISF メモリがビジー状態でも、FPGA アプリケーションは次のコマンドを発行できる場合があります。

- 現動作に影響しない SRAM ページ バッファからの読み出しまたは書き込み。
  - Buffer Read
  - Buffer Write
- Status Register Read
- Information Read

COMPARE

最新の Page to Buffer Compare コマンドの結果は、ステータス レジスタのビット 6 に示されます (表 6-3 を参照)。

表 6-3 : COMPARE (ステータス レジスタのビット 6)

COMPARE	説明
0	最新の Page to Buffer Compare (プログラム検証) コマンドで指定した ISF メモリ ページのデータは、指定した SRAM ページ バッファのデータと一致している。
1	最新の Page to Buffer Compare (プログラム検証) コマンドで指定した ISF メモリ ページのデータは、指定した SRAM ページ バッファのデータと比較して 1 ビットまたはそれ以上の不一致がある。

ISF メモリ サイズ

ステータス レジスタのビット 5:2 は、ISF メモリ アレイのサイズを示しています (表 6-4 を参照)。このメモリ集積度コードは、JEDEC 準拠のデバイス ID 情報で使用されているコードとは異なります (73 ページの表 6-11 を参照)。

表 6-4 : ISF メモリ サイズ (ステータス レジスタのビット 5、4、3、および 2)

ステータス レジスタ ビット				メモリ サイズ	関連する FPGA
5	4	3	2		
0	0	1	1	1Mbit	XC3S50AN
0	1	1	1	4Mbit	XC3S200AN XC3S400AN
1	0	0	1	8Mbit	XC3S700AN
1	0	1	1	16Mbit	XC3S1400AN

SECTOR PROTECT

ステータス レジスタのビット 1 は、セクタの保護機能が有効であるか無効であるかを示します (表 6-5 を参照)。有効の場合、セクタ プロテクション レジスタに定義されたセクタは、すべてのプログラミングおよび消去動作から保護されます。

表 6-5 : SECTOR PROTECT (ステータス レジスタのビット 1)

SECTOR PROTECT	説明
0	すべてのメモリ ロケーションにおいて、プログラムおよび消去コマンドが実行可能。
1	セクタ プロテクション レジスタで定義されたセクタ内の ISE メモリ ロケーションは、すべてのプログラミングおよび消去コマンドが無効になる。

Sector Protect のビットは、セクタがロックされているかどうかを示すことはできません。セクタのロックの有無を確認する場合は、Sector Lockdown Register Read コマンドを発行してください。

PAGE SIZE

ステータス レジスタのビット 0 は、ISF メモリ ページのサイズおよび ISF メモリ アレイ内のデータへアクセスする際のアドレス指定モードを示しています (表 6-6 を参照)。

表 6-6 : PAGE SIZE (ステータス レジスタのビット 0)

ページ サイズ	アドレス指定モード	FPGA	ページ サイズ
0	デフォルトのアドレス指定モード	XC3S50AN XC3S200AN XC3S400AN XC3S700AN	264
		XC3S1400AN	528
1	オプションの 2 の累乗アドレス指定モード	XC3S50AN XC3S200AN XC3S400AN XC3S700AN	256
		XC3S1400AN	512

Status Register Read

FPGA アプリケーションは、内部セルフタイムで実行されるプログラム動作または消去動作中など、随時、ステータス レジスタを読み出すことができます。ステータス レジスタを読み出すには、FPGA アプリケーションが SPI_ACCESS プリミティブを使用して次の動作を実行する必要があります。

- CLK が High または　CLK の立ち上がりエッジで CSB を Low 駆動する。
- CLK の立ち下がりエッジで、Status Register Read コマンド コード (0xD7) を MSB から順に連続して送信する。

表 6-7 : Status Register Read (0xD7) コマンド

ピン	コマンド	読み出しステータス バイト		
	バイト 1	バイト 2	...	バイト n
MOSI	0xD7	XX	...	XX
MISO	High	ステータス バイト	...	最新のステータス バイト

- コマンド コードの最後のビットの後に来るクロック サイクルで、ISF メモリは SPI_ACCESS の MISO ピンにステータス レジスタ バイトを出力する。
  - 8 つのステータス ビットを MSB から順に送信する。
  - CSB 信号が Low の間、アップデートされたステータス レジスタの値がクロックの 8 サイクルごとに繰り返される。このため、FPGA アプリケーションはステータス レジスタの READY/BUSY ビットが 1 に戻るまで継続的にモニタできる。
- データ転送を完了するため、CLK の立ち下がりエッジで CSB 信号を High 駆動する。FPGA アプリケーションがステータス レジスタのすべての値を読み出す必要がない場合は、いつでも CSB 信号をディアサート (High 駆動) できる。

このコマンドの波形例は、15 ページの図 1-3 に示します。

Information Read

ISF メモリは JEDEC 規格に準拠しているため、システム内に組み込んだ場合に電気的にデバイスを認識することが可能です。ISF 情報の読み出しコマンドは、JEDEC 方式 「Manufacturer and Device ID Read Methodology for SPI Compatible Serial Interface Memory Devices」に準拠しています。この方式は、次に示すフラッシュ メモリのさまざまな属性を認識します。

- メモリ製造者
- ベンダ指定のデバイス ファミリ識別子
- 特定ファミリ用ベンダ指定のデバイス識別子
- 各メモリ セルに格納されたビット数
- 製品バージョン
- 追加デバイス情報のバイト数

ISF 情報を読み出すには、FPGA アプリケーションが SPI_ACCESS プリミティブを使用して次の動作を実行する必要があります。

- CLK が High または　CLK の立ち上がりエッジで CSB を Low 駆動する。
- CLK の立ち下がりエッジで、Information Read コマンド コード (0x9F) を MSB から順に連続して送信する。

表 6-8 : Information Read コマンド

ピン	コマンド	JEDEC 製造者およびデバイス識別子			
		製造者 ID	デバイス ID		その他の情報
	バイト 1	バイト 2	バイト 3	バイト 4	バイト 5
MOSI	0x9F	XX	XX	XX	XX
MISO	High	0x1F	ファミリ コード/メモリ集積度コード	0x00	0x00

- コマンド コードの最後のビットが送信された後に来るクロック サイクルで、ISF メモリは SPI_ACCESS の MISO ピンに ISF の情報値の最初のバイトを出力する。
  - 各インフォメーション バイトを MSB から順に送信する。
  - 最初のバイトには、製造者 ID が含まれる (表 6-10 を参照)。
  - 次の 2 つのバイトには、デバイス ID が含まれる (表 6-11 および表 6-12 を参照)。
  - その次のバイトには、追加のデバイス情報が含まれ、0x00 の場合は何も情報が追加されていないことを示す。JEDEC 規格で示すように、追加のデバイス情報フィールドのデータや後続データの読み出しはオプションになる。
- データ転送を完了するため、CLK の立ち下がりエッジで CSB 信号を High 駆動する。FPGA アプリケーションがすべての ISF 情報値を読み出す必要がない場合は、いつでも CSB 信号をディアサート (High 駆動) できる。

Spartan-3AN FPGA のインシステム フラッシュ メモリは、Atmel 社製 DataFlash SPI のフラッシュ メモリとアーキテクチャが類似しています (表 6-9 を参照)。したがって、ISF の情報は Atmel 社製 DataFlash 製品ファミリと適合します。

表 6-9 : Spartan-3AN ISF メモリおよび類似する Atmel DataFlash メモリ

Spartan-3AN FPGA	類似する Atmel 社製 DataFlash メモリ
XC3S50AN	AT45DB011D
XC3S200AN	AT45DB041D
XC3S400AN	
XC3S700AN	AT45DB081D
XC3S1400AN	AT45DB161D

製造者の識別子

ISF 情報の最初のバイトには、JEDEC が指定した製造者コードが含まれます (表 6-10 を参照)。このバイトは、すべての Spartan-3AN FPGA で同一です。ISF メモリの JEDEC 識別子は 0x1F です。この値は、ザイリンクスの JEDEC コード (0x49) とは異なります。Spartan-3AN FPGA 製品の識別子は JTAG を使用して取得できます。

表 6-10 : 最初のバイト : 製造者の識別子

FPGA	JEDEC が指定したコード (0x1F)							
	7	6	5	4	3	2	1	0
すべて	0	0	0	1	1	1	1	1

ファミリ コード/メモリ集積度コード

2 番目のバイトには、デバイス識別子の一部が含まれます (表 6-11 を参照)。

- 3 ビットの**ファミリ コード**は、001 に設定される。
- 5 ビットの**メモリ集積度コード**は、ISF メモリ アレイ サイズを示し、FPGA の集積度によって異なる (表 6-11 を参照)。この値は、69 ページの表 6-4 に示すステータス レジスタの集積度コードとは異なる。

表 6-11 : 2 番目のバイト : デバイス識別子 (パート 1)

FPGA	ファミリ コード			メモリ集積度コード				
	7	6	5	4	3	2	1	0
XC3S50AN (1Mbit)	0	0	1	0	0	0	1	0
XC3S200AN (4Mbit)				0	0	1	0	0
XC3S400AN (4Mbit)								
XC3S700AN (8Mbit)				0	0	1	0	1
XC3S1400AN (16Mbit)				0	0	1	1	0

メモリ タイプ/製品バージョン コード

3 番目のバイトには、デバイス識別子の残りの部分が含まれます (表 6-2 を参照)。

- 3 ビットの **MLC (マルチ レベル セル) コード**は、バイナリ 「000」であり、各メモリ セルに 1 ビットが格納されていることを示す。
- 5 ビットの**製品バージョン コード**は、ISF のリビジョンを示す。現在、この値はバイナリ「00000」 だが、今後のリビジョンでは変更される可能性がある。

表 6-12 : 3 番目のバイト : デバイス識別子 (パート 2)

FPGA	マルチ レベル セル コード			製品バージョン コード				
	7	6	5	4	3	2	1	0
すべて	0	0	0	0	0	0	0	0

追加のデバイス情報フィールド

追加の ISF 情報はありません。したがって、追加のデバイス情報フィールドには 0x00 が設定されています (表 6-13 を参照)。

表 6-13 : 4 番目のバイト : 追加のデバイス情報フィールド

FPGA	バイト カウント							
	7	6	5	4	3	2	1	0
すべて	0	0	0	0	0	0	0	0

XILINX®

第 7 章

電力管理

Spartan™-3AN FPGA のインシステム フラッシュ (ISF) は、Spartan-3AN FPGA の V_{CCAUX} 電源レールで供給される電力を消費します。通常、ISF メモリは FPGA へ多量な電流を要求することはありません。スタンバイ消費電力は約 100µA であり、『Spartan-3AN FPGA データ シート』に示す静止電流 I_{CCAUX} の値に含まれます。スタンバイ モードは、ISF メモリが選択解除された状態 (CSB ピンが 35µs 以上 High を保持) のときに適用されます。表 7-1 に、ISF のダイナミック消費電流の要件を示します。

表 7-1 : 電力に関する ISF メモリのガイドライン (V_{CCAUX}=3.6V)

説明	条件	標準	最大	単位
インシステム フラッシュ メモリ アレイからの読み出し動作の有効電流。	F_{CLK} = 20MHz	7	10	mA
	F_{CLK} = 33MHz	8	12	mA
	F_{CLK} = 66MHz	11	15	mA
SRAM ページ バッファからの読み出し動作の有効電流。	F_{CLK} = 20MHz	–	20	mA
インシステム フラッシュ プログラムまたは消去動作の有効電流。	–	12	17	mA

メモ :

1. FPGA 要件のほかに、適切な値が ICCAUX 値へ追加されています。

アクティブ モード

FPGA アプリケーションが SPI_ACCESS の CSB ピンを Low 駆動しているときは、ISF メモリがアクティブ モードになります。消費電力は、動作や CLK 周波数によって異なります (表 7-1 を参照)。

スタンバイ モード

ISF メモリは、最初スタンバイ モードで電源がオンになります。また、SPI_ACCESS の CSB 入力が 35µs 以上 High を保持した場合も、自動的にスタンバイ モードへ再び切り替わります。関連する電流は約 100µA 軽減されます。

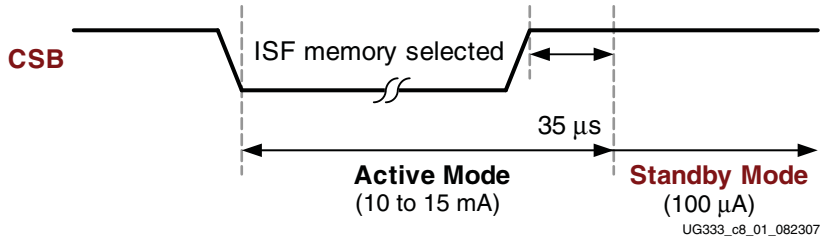

図 7-1 : CSB が 35µs 以上 High を保持すると、ISF メモリはスタンバイ モードになる

熱管理

ISF メモリが FPGA の熱管理に与える影響は非常にわずかです。ISF メモリのジャンクション温度は、FPGA 用に算出されたジャンクション温度と同じです。

XILINX®

第 8 章

セクタ単位のプログラム保護および消去保護機能

Spartan™-3AN FPGA のインシステム フラッシュ (ISF) メモリには、格納したデータを不注意に消去または変更してしまうことを防止するさまざまな機能があります。

- **セクタの保護機能**は、書き込み保護する ISF メモリ セクタを選択できる。
- **セクタのロックダウン機能** は、選択した ISF メモリ セクタを永久的に固定する。つまり、フラッシュ メモリを読み出し専用の ROM にする。一度固定されたセクタのデータは、消去または変更できない。

表 8-1 では、この 2 つの機能がメモリ セクタへ与える影響および相互作用について説明します。

表 8-1 : セクタの保護およびセクタのロックダウン機能がメモリ セクタのプログラム/消去機能へ与える影響

セクタの保護機能		セクタのロックダウン機能	機能			説明
グローバル制御	セクタ指定の制御		READ	PROGRAM	ERASE	
Sector Protect の Enable/Disable ステータス(1)	セクタ保護のステータス(2)	セクタロックダウンのステータス(3)				
N/A	OPEN	OPEN	◆	◆	◆	すべての動作が可能。FPGA アプリケーションは、セクタ内の全ロケーションに対して読み出し、プログラムおよび消去が可能。
DISABLE	PROTECTED	OPEN	◆	◆	◆	
ENABLE	PROTECTED	OPEN	◆			一時的に読み出し専用。FPGA アプリケーションは、セクタ内のロケーションに対して読み出しのみ可能。プログラムまたは消去を実行する場合は、まず Sector Protection Disable コマンドまたは Sector Protection Register Erase コマンドを発行し、その後にセクタ保護を制御するバイトが Open になっているロケーションへ Sector Protection Register Program コマンドを発行する。

表 8-1 : セクタの保護およびセクタのロックダウン機能がメモリ セクタのプログラム/消去機能へ与える影響 (続き)

セクタの保護機能		セクタの ロックダウン機能	機能			説明
グローバル制御	セクタ指定の制御					
Sector Protect の Enable/Disable ステータス(1)	セクタ保護の ステータス(2)	セクタ ロックダウンの ステータス(3)	READ	PROGRAM	ERASE	
N/A	N/A	LOCKED	◆			常に読み出し専用。そのセクタを再びプログラムまたは消去できない。

メモ：

1. セクタ プロテクション レジスタに定義されている保護設定を有効にする場合は、Sector Protection Enable コマンドを発行します。すべてのセクタ保護機能を無効にする場合は、Sector Protection Disable コマンドを発行します。
2. セクタ プロテクション設定は、セクタ プロテクション レジスタに定義されます。新しい値をプログラムする場合、まず FPGA アプリケーションは Sector Protection Register Erase コマンドを発行し、その後に Sector Protection Register Program コマンドを発行します。
3. 特定のセクタを固定する場合、Sector Lockdown Program コマンドを発行します。

セクタの保護機能

セクタの保護機能を使用すると、FPGA アプリケーションは選択したメモリ セクタを不注意にプログラムおよび消去することから保護します。表 8-2 に、セクタ保護機能に関連する 5 つのコマンドを示します。

表 8-2 : セクタの保護コマンド

コマンド	機能	16 進数のコマンド シーケンス
Sector Protection Register Read	セクタ プロテクション レジスタの内容を読み出し、Sector Protection Enable コマンドを使用して保護機能が有効になっているセクタを不注意にプログラムや消去することから保護する。	0x32
Sector Protection Register Erase	セクタ プロテクション レジスタを消去する。セクタ プロテクション レジスタをプログラムする前にこのコマンドを実行する必要がある。	0x3D + 0x2A + 0x7F + 0xCF
Sector Protection Register Program	セクタ プロテクション レジスタ内の制御バイトをプログラムして、選択したセクタを不注意にプログラムまたは消去することから保護する。プログラムする前にセクタ プロテクション レジスタを消去する。	0x3D + 0x2A + 0x7F + 0xFC
Sector Protection Enable	セクタ プロテクション レジスタに定義されているセクタ保護機能を有効にする。	0x3D + 0x2A + 0x7F + 0xA9
Sector Protection Disable	すべてのセクタ保護機能を無効にする。	0x3D + 0x2A + 0x7F + 0x9A

電源投入時のセクタ保護機能のステータス

電源投入時のセクタ保護機能は無効であり、FPGA アプリケーションは全セクタに対してプログラムおよび消去が可能です。

セクタ保護機能を使用する場合、FPGA アプリケーションはコンフィギュレーション完了直後に Sector Protection Enable コマンドを発行する必要があります。

セクタ プロテクション レジスタ

不揮発性のセクタ プロテクション レジスタは、セクタが保護されているか否かを定義しています。セクタ プロテクション レジスタには 4 ～ 16 バイトのデータが含まれており、このバイト数は Spartan-3AN FPGA の種類によって異なります (表 8-3 を参照)。セクタ保護機能の制御ロケーションは、関連する ISF メモリ セクタに対応しています。たとえば、制御バイト 1 は、セクタ 1 を保護/保護解除します。

セクタ 0 は、サイズが異なる 2 つのサブ セクタに分割されているため、ほかのセクタとはアドレス指定方法が異なります。セクタ 0 のバイト単位の制御は、表 8-4 を参照してください。

FPGA アプリケーションは、セクタ プロテクション レジスタの内容を変更できます。ただし、変更前に Sector Protection Register Erase コマンドを使用して必ずデータを消去する必要があります。

セクタ プロテクション レジスタ がプログラムされて FPGA アプリケーションが Sector Protection Enable コマンドを発行するまで、セクタ保護機能は有効になりません。

デバイス出荷時、すべての ISF メモリ セクタは保護されていません (0x00)。

表 8-3 : セクタ プロテクション レジスタ (各セクタ 1 制御バイト)

使用可能なセクタ						セクタ/制御バイト	保護機能ステータス	
XC3S50AN		XC3S200AN XC3S400AN XC3S700AN		XC3S1400AN			PROTECT	OPEN
4 セクタ	◆	8 セクタ = 8 バイト	◆	16 セクタ = 16 バイト	◆	0 (特殊)	(表 8-4 を参照)	
4 セクタ	◆	8 セクタ = 8 バイト	◆	16 セクタ = 16 バイト	◆	1	0xFF	0x00
4 セクタ	◆	8 セクタ = 8 バイト	◆	16 セクタ = 16 バイト	◆	2		
4 セクタ	◆	8 セクタ = 8 バイト	◆	16 セクタ = 16 バイト	◆	3		
N/A		8 セクタ = 8 バイト	◆	16 セクタ = 16 バイト	◆	4		
N/A		8 セクタ = 8 バイト	◆	16 セクタ = 16 バイト	◆	5		
N/A		8 セクタ = 8 バイト	◆	16 セクタ = 16 バイト	◆	6		
N/A		8 セクタ = 8 バイト	◆	16 セクタ = 16 バイト	◆	7		
N/A		N/A		16 セクタ = 16 バイト	◆	8		
N/A		N/A		16 セクタ = 16 バイト	◆	9		
N/A		N/A		16 セクタ = 16 バイト	◆	10		
N/A		N/A		16 セクタ = 16 バイト	◆	11		
N/A		N/A		16 セクタ = 16 バイト	◆	12		
N/A		N/A		16 セクタ = 16 バイト	◆	13		
N/A		N/A		16 セクタ = 16 バイト	◆	14		
N/A		N/A		16 セクタ = 16 バイト	◆	15		

表 8-4 : セクタ 0a およびセクタ 0b の保護設定 (表 8-3 のバイト 0)

セクタの機能	セクタ 0a		セクタ 0b		Don't Care				16 進数の値
	7	6	5	4	3	2	1	0	
セクタ 0a と 0b は保護されていない	0	0	0	0	X	X	X	X	0x00
セクタ 0a は保護されている	1	1	0	0	X	X	X	X	0xC0
セクタ 0b は保護されている	0	0	1	1	X	X	X	X	0x30
セクタ 0a と 0b は両方とも保護されている	1	1	1	1	X	X	X	X	0xF0

Sector Protection Register Erase

セクタ プロテクション レジスタは、プログラムされる前に必ず消去される必要があります。Sector Protection Register Erase コマンドを使用して、このレジスタを消去してください。

Sector Protection Register Erase コマンドを発行するには、FPGA アプリケーションが SPI_ACCESS プリミティブを使用して次の動作を実行する必要があります。

- CLK が High または CLK の立ち上がりエッジで CSB を Low 駆動する。
- CLK の立ち下がりエッジで、4 バイトの Sector Protection Register Erase コマンド コードを MOSI ピンへ MSB から順に連続して送信する (表 8-5 を参照)。

表 8-5 : Sector Protection Register Erase コマンドのシーケンス

ピン	4 バイトのコマンド シーケンス			
	バイト 1	バイト 2	バイト 3	バイト 4
MOSI	0x3D	0x2A	0x7F	0xCF

- コマンド シーケンスの最後のビットを送信後、CSB ピンを High 駆動する。

CSB 信号が Low から High への遷移するとコマンドが完了し、ISF メモリはセクタ プロテクション レジスタの内容を消去します。この動作は内部でセルフ タイミングされているため、58 ページの表 5-4 や 『Spartan-3AN FPGA データ シート』 で定義されているページ消去時間 (T_{PE}) で動作を完了します。コマンド実行中は、ステータス レジスタの READY/BUSY ビット (ビット 7) が、Sector Protection Register Erase 動作の進行中あるいは完了を示します。

この消去動作が完了する前に FPGA V_{CCAUX} 電源供給が途切れてしまった場合、セクタ プロテクション レジスタの内容は保証されません。

セクタ保護機能のステート (有効または無効) に関係なく、セクタ プロテクション レジスタを消去できます。セクタ プロテクション レジスタの各バイトが消去された状態は 0xFF となり、各セクタが保護されていることを示します。セクタ プロテクション レジスタを消去する間、不注意にプログラミング/消去しないようにセクタ保護機能は有効のままにしてください。これにより、セクタ プロテクション レジスタを消去してから再プログラムされる前に FPGA が不正にプログラム/消去コマンドを発行しても、そのようなプログラム/消去コマンドは無効となります。

Sector Protection Register Program

セクタ プロテクション レジスタが消去されると、Sector Protection Register Program コマンド シーケンスを使用してレジスタを再プログラムします。

Sector Protection Register Program コマンドを発行するには、FPGA アプリケーションが SPI_ACCESS プリミティブを使用して次の動作をする必要があります。

- CLK が High または CLK の立ち上がりエッジで CSB を Low 駆動する。
- CLK の立ち下がりエッジで、Sector Protection Register Program コマンド コードを MOSI ピンへ MSB から順に連続して送信する (表 8-6 を参照)。

表 8-6 : Sector Protection Register Program コマンド シーケンス

ピン	4 バイトのコマンド シーケンス				セクタ プロテクション レジスタの値 (バイト ロケーションはセクタに対応)							
					XC3S1400AN (16 バイト)							
					XC3S200AN、XC3S400AN、XC3S700AN (8 バイト)							
					XC3S50AN (4 バイト)							
	バイト 1	バイト 2	バイト 3	バイト 4	バイト 5	バイト 6	バイト 7	バイト 8	...	バイト 12	...	バイト 20
MOSI	0x3D	0x2A	0x7F	0xFC	セクタ 0	セクタ 1	セクタ 2	セクタ 3	...	セクタ 7	...	セクタ 15

- コマンド シーケンスの最後のビットに続いて、セクタ プロテクション レジスタ プログラミング データを MOSI へ送信する。
  - ♦ バイト数は、Spartan-3AN FPGA によって異なる (表 8-6 および 79 ページの表 8-3 を参照)。
    - 最初のデータ バイトはセクタ 0 に対応し、2 番目のデータ バイトはセクタ 1 に対応する。以下同様に対応。
    - XC3S50AN FPGA は 4 バイト必要。
    - XC3S200AN、XC3S400AN、および XC3S700AN FPGA は、8 バイト必要。
    - XC3S1400AN FPGA は 16 バイト必要。
    - CSB ピンがディアサートされる前に正しいバイト数のデータが送信されない場合は、書き込まれていないバイトに対応するセクタの保護ステータスは保証されない。たとえば、FPGA アプリケーションが 2 バイトしか書き込みを行わなかった場合、その後のセクタ保護ステータスは保証されない。
    - FPGA アプリケーションがセクタ プロテクション レジスタで必要なバイト数以上の書き込みを行う場合、超過データの書き込みはレジスタの最初に戻って実行される。たとえば、アプリケーションが XC3S50AN へ 5 バイトの書き込みを実行する場合、5 番目のバイトはセクタ 0 の値を上書きする。
  - ♦ セクタ 0 は、2 つのサブ セクタ (セクタ 0a およびセクタ 0b) に分割される。セクタ 0 のロケーションを保護/保護解除する方法は、80 ページの表 8-4 を参照。
  - ♦ セクタ 0 を除くすべてのセクタは、同じコマンド バイトを使用する (79 ページの表 8-3 を参照)。
    - セクタを保護解除するには 0x00 を書き込む。
    - セクタを保護するには 0xFF を書き込む。
    - 0x00 または 0xFF 以外の値がセクタ プロテクション レジスタへ送信された場合、対応するセクタの保護ステータスは保証されない。
- レジスタをプログラムする最後のビットが送信されると、CLK の立ち下がりエッジで CSB ピンを High 駆動してコマンドが完了する。

注意 ：Sector Protection Register Program コマンドは、Buffer 1 SRAM ページ バッファを使用します。Sector Protection Register Program コマンドを発行する前に Buffer 1 へ格納されたデータは上書きされます。

CSB 信号が Low から High への遷移するとコマンドが完了し、ISF メモリはセクタ プロテクション レジスタをプログラムします。この動作は内部でセルフ タイミングされているため、47 ページの表 4-5 や 『Spartan-3AN FPGA データ シート』で定義されているページ プログラミング時間 (T_{PP})、つまり 4 ～ 6ms で動作を完了します。コマンド実行中は、ステータス レジスタの READY/BUSY ビット (ビット 7) が、Sector Protection Register Program 動作の進行中あるいは完了を示します。
このプログラミング動作が完了する前に FPGA V_{CCAUX} 電源供給が途切れてしまった場合、セクタ プロテクション レジスタの内容は保証されません。

FPGA は、セクタ プロテクション機能のステート (有効または無効) に関係なく、常にセクタ プロテクション レジスタを消去およびプログラムできます。

全セクタの保護機能が有効な場合に特定のセクタのみ保護機能を解除

セクタ保護機能が有効として設定されているセクタ プロテクション レジスタを再プログラムすると、セクタ プロテクション機能を完全に無効にするのではなく、1 つまたは複数のセクタ保護機能を一時的に解除できます。ただし、次に説明するような制限があります。

セクタ プロテクション レジスタのプログラム/消去サイクルは最大 10,000 回までに制限

セクタ プロテクション レジスタの消去/プログラムのサイクルは 10,000 回までに制限されています。上記で説明したように、FPGA アプリケーションが 1 つまたは複数セクタのプロテクトを一時的に解除するためにセクタ プロテクション レジスタを変更する場合、この動作は 10,000 サイクルまでに制限されています。したがって、次の方法と組み合わせて使用します。

- 個々のセクタの保護機能を一時的に解除する (最大サイクル数は 10,000 回まで)。
- Sector Protection Enable コマンドと Sector Protection Disable コマンドを使用して、保護機能を完全に有効または完全に無効にする。

Sector Protection Register Read

セクタ プロテクション レジスタの内容を読み出す場合は、Sector Protection Register Read コマンド シーケンスを発行します。この場合、FPGA アプリケーションは、SPI_ACCESS プリミティブを使用して次の動作をする必要があります。

- CLK が High または CLK の立ち上がりエッジで CSB を Low 駆動する。
- CLK の立ち下がりエッジで、4 バイトの Sector Protection Register Read コマンド コードを MOSI ピンへ MSB から順に連続して送信する (表 8-7 を参照)。

表 8-7 : Sector Protection Register Read コマンド シーケンス

ピン	4 バイトのコマンド シーケンス				セクタ プロテクション レジスタの値 (バイト ロケーションはセクタに対応)							
					XC3S1400AN (16 バイト)							
					XC3S200AN、XC3S400AN、XC3S700AN (8 バイト)							
	コマンド	Don't Care			XC3S50AN (4 バイト)							
	バイト 1	バイト 2	バイト 3	バイト 4	バイト 5	バイト 6	バイト 7	バイト 8	...	バイト 12	...	バイト 20
MOSI	0x32	XX	XX	XX	XX	XX	XX	XX	...	XX	...	XX
MISO					セクタ 0	セクタ 1	セクタ 2	セクタ 3	...	セクタ 7	...	セクタ 15

- コマンド シーケンスの最後のビットを読み出した後、MISO ピンに現れるセクタ プロテクション レジスタの内容を読み出す。
  - ♦ バイト数は、Spartan-3AN FPGA によって異なる (表 8-7 および 79 ページの表 8-3 を参照)。
    - 最初のデータ バイトはセクタ 0 に対応し、2 番目のデータ バイトはセクタ 1 に対応する。以下同様に対応する。
    - XC3S50AN FPGA は 4 バイト提供する。
    - XC3S200AN、XC3S400AN、および XC3S700AN FPGA は、それぞれ 8 バイト提供する。
    - XC3S1400AN FPGA は 16 バイト提供する。
    - FPGAアプリケーションがセクタ プロテクション レジスタから提供できるバイト数以上の読み出しを要求をしても、MISO ピンには超過分のデータが定義されていない。
- レジスタを読み出す最後のビットを送信後、CSB ピンが High 駆動する。

Sector Protection Enable

Sector Protection Enable コマンドは、セクタ プロテクション レジスタに定義したプロテクション レベルを適用します。Sector Protection Enable コマンド シーケンスを発行するには、FPGA が SPI_ACCESS プリミティブを使用して次の動作をする必要があります。

- CLK が High または CLK の立ち上がりエッジで CSB を Low 駆動する。
- CLK の立ち下がりエッジで、4 バイトの Sector Protection Enable コマンド シーケンスを MOSI へ MSB から順に送信する (表 8-8 を参照)。

表 8-8 : Sector Protection Enable コマンド シーケンス

ピン	4 バイトのコマンド シーケンス			
	バイト 1	バイト 2	バイト 3	バイト 4
MOSI	0x3D	0x2A	0x7F	0xA9

- コマンド シーケンスの最後のビットを送信後、CLK の立ち下がりエッジで CSB ピンを High 駆動する。これで、指定した保護レベルが有効になる。

Sector Protection Disable

Sector Protection Disable コマンドは、すべてのセクタ保護機能を無効にします。Sector Protection Disable コマンドを発行するには、FPGA が SPI_ACCESS プリミティブを使用して次の動作をする必要があります。

- CLK が High または CLK の立ち上がりエッジで CSB を Low 駆動する。
- CLK の立ち下がりエッジで、4 バイトの Sector Protection Disable コマンド シーケンスを MOSI ピンへ MSB から順に連続して送信する (表 8-9 を参照)。

表 8-9 : Sector Protection Disable コマンドシーケンス

ピン	4 バイトのコマンド シーケンス			
	バイト 1	バイト 2	バイト 3	バイト 4
MOSI	0x3D	0x2A	0x7F	0x9A

- コマンド シーケンスの最後のビットを送信後、CLK の立ち下がりエッジで CSB ピンを High 駆動します。これで、すべてのセクタの保護機能が解除されます。

セクタのロックダウン機能

ISF メモリには、セクタのロックダウン機能があり、これは個別のセクタを永久的にプログラムや消去サイクルから保護できます。つまり、セクタのロックダウン機能を使用すると、消去可能なフラッシュ メモリのセクタは 1 回のみプログラム可能 (OTP) となり、その後は読み出し専用 (ROM) になります。

Sector Lockdown 機能は、FPGA コンフィギュレーション ビットストリーム、プログラム コード、またはセキュリティ情報を故意に変更することから保護するのに有効です。不注意による変更の保護およびさまざまな保護レベルについては、78 ページの「セクタの保護機能」を参照してください。

> **注意 ：**ISF メモリは一度ロックダウンされると、その後の消去、プログラムまたはロック解除はできません。セクタのロックダウン機能はキャンセルできません。

表 8-10 に、セクタのロックダウン機能に関連する 2 つのコマンドを示します。

表 8-10 : セクタのロックダウン コマンド

コマンド	機能	16 進数のコマンド シーケンス
Sector Lockdown Register Read	セクタ ロックダウン レジスタの内容を読み出し、現在の ISF メモリ設定を判断する。	0x35
Sector Lockdown Program	特定のセクタをロックダウンする。	0x3D + 0x2A + 0x7F + 0x30

Sector Lockdown Program

特定のセクタをロックダウンするには、Sector Lockdown Program コマンド、続いて 24 ビットのセクタ アドレス (ロックダウンするメモリ セクタ内であればどこでも可能) を送信します。

Sector Lockdown Program コマンドを発行するには、FPGA が SPI_ACCESS デザイン プリミティブを使用して次の動作を実行する必要があります。

- CLK が High または CLK の立ち上がりエッジで CSB を Low 駆動する。

- CLK の立ち下がりエッジで、4 バイトの Sector Lockdown Program コマンド シーケンスを MOSI へ連続して送信する (表 8-11 を参照)。

表 8-11 : Sector Lockdown Program コマンド シーケンス

ピン	4 バイトのコマンド シーケンス				24 ビット アドレス		
	バイト 1	バイト 2	バイト 3	バイト 4	バイト 5	バイト 6	バイト 7
MOSI	0x3D	0x2A	0x7F	0x30	デフォルトのアドレス指定: 63 ページの表 5-10 を参照。 2 の累乗アドレス指定 : 96 ページの表 10-6 を参照。		XX

- 4 バイトのコマンド コードを送信後、すぐに 24 ビットのセクタ アドレスを連続して送信する。
  - ♦ セクタ 0 は、その他のセクタとは異なる。
    - セクタ 0 は、2 つのサブ セクタ (セクタ 0a およびセクタ 0b) に分割される。
    - セクタ 0a とセクタ 0b は個別に消去され、その他のセクタとは異なり、追加のアドレス 指定ビットを使用した特殊なアドレスが必要。
  - ♦ セクタ アドレスに続いて、ページ アドレスとバイト アドレスが消去するセクタ内のアドレス ロケーションを指定する。
  - ♦ デフォルトのアドレス指定を使用する場合は、63 ページの表 5-10 を参照。
  - ♦ 2 の累乗アドレス指定を使用する場合は、96 ページの表 10-6 を参照。
- 24 ビット アドレスの最後のビットを送信後、CLK の立ち下がりエッジで CSB ピンを High に駆動する。

CSB 入力が Low から High へ遷移すると、コマンド シーケンスが完了し、ISF メモリがセクタ ロックダウン レジスタをプログラムします。この動作は内部でセルフ タイミングされているため、47 ページの表 4-5 や『Spartan-3AN FPGA データ シート』で定義されているページ プログラミング時間 (T_{PP})、つまり 4 ～ 6ms で動作を完了します。コマンド実行中は、ステータス レジスタの READY/BUSY ビット (ビット 7) が、Sector Lockdown Program 動作の進行中あるいは完了を示します。

プログラミング動作が完了する前に FPGA の V_{CCAUX} 電源供給が途切れると、セクタ ロックダウン レジスタの内容は保証されません。電源が切れた場合は、セクタ ロックダウン レジスタを読み出して、正しくプログラミングされているか確認してください。正しくない場合、必要であれば Sector Lockdown Program コマンドを再発行してください。

セクタ ロックダウン レジスタ

不揮発性のセクタ ロックダウン レジスタは、ロックダウンのステータス (ロック状態またはオープン状態) を示します。セクタ ロックダウン レジスタには、Spartan-3AN FPGA によって異なる 4 ～ 16 バイトのデータが含まれています (表 8-12 を参照)。セクタ ロックダウンのステータス バイト ロケーションは、関連する ISF メモリ セクタに直接対応しています。たとえば、ステータス バイト 1 は、ロックダウン ステータスのセクタ 1 に対応します。

セクタ 0 は、異なるサイズの 2 つのサブ セクタに分割されているため、その他のセクタとは仕様が異なります。表 8-13 に、セクタ 0 ステータスのバイト レベルの説明を示します。

特定セクタのロックダウン ステータスは、Sector Lockdown Program コマンドに基づいてアップデートされます。セクタ ロックダウン レジスタは読み出し専用であるため、変更できません。

表 8-12 : セクタ ロックダウン レジスタ (読み出し専用)

使用可能なセクタ						セクタ ステータス バイト	ロックダウン ステータス	
XC3S50AN		XC3S200AN XC3S400AN XC3S700AN		XC3S1400AN			LOCKED	OPEN
4 セクタ	◆	8 セクタ = 8 バイト	◆	16 セクタ = 16 B バイト	◆	0 (特殊)	(表 8-13 を参照)	
4 セクタ	◆	8 セクタ = 8 バイト	◆	16 セクタ = 16 B バイト	◆	1	0xFF	0x00
4 セクタ	◆	8 セクタ = 8 バイト	◆	16 セクタ = 16 B バイト	◆	2		
4 セクタ	◆	8 セクタ = 8 バイト	◆	16 セクタ = 16 B バイト	◆	3		
N/A		8 セクタ = 8 バイト	◆	16 セクタ = 16 B バイト	◆	4		
N/A		8 セクタ = 8 バイト	◆	16 セクタ = 16 B バイト	◆	5		
N/A		8 セクタ = 8 バイト	◆	16 セクタ = 16 B バイト	◆	6		
N/A		8 セクタ = 8 バイト	◆	16 セクタ = 16 B バイト	◆	7		
N/A		N/A		16 セクタ = 16 B バイト	◆	8		
N/A		N/A		16 セクタ = 16 B バイト	◆	9		
N/A		N/A		16 セクタ = 16 B バイト	◆	10		
N/A		N/A		16 セクタ = 16 B バイト	◆	11		
N/A		N/A		16 セクタ = 16 B バイト	◆	12		
N/A		N/A		16 セクタ = 16 B バイト	◆	13		
N/A		N/A		16 セクタ = 16 B バイト	◆	14		
N/A		N/A		16 セクタ = 16 B バイト	◆	15		

表 8-13 : セクタ 0a およびセクタ 0b ロックダウンの設定 (表 8-12 のバイト 0)

セクタの機能	セクタ 0a		セクタ 0b		未使用				16 進数の値
	7	6	5	4	3	2	1	0	
セクタ 0a とセクタ 0b は両方ともロックされていない。	0	0	0	0	0	0	0	0	0x00
セクタ 0a がロックされている。	1	1	0	0	0	0	0	0	0xC0
セクタ 0b がロックされている。	0	0	1	1	0	0	0	0	0x30
セクタ 0a とセクタ 0b は両方ともロックされている。	1	1	1	1	0	0	0	0	0xF0

Sector Lockdown Register Read

FPGA アプリケーションは、セクタ ロックダウン レジスタを読み出して、メモリ アレイ内のどのセクタがロックダウンされているかを判断できます。

セクタ ロックダウン レジスタの内容を読み出すには、Sector Lockdown Register Read コマンド シーケンスを発行します。このとき、FPGA は SPI_ACCESS プリミティブを使用して次の動作を実行する必要があります。

- CLK が High または CLK の立ち上がりエッジで CSB を Low 駆動する。

- CLK の立ち下がりエッジで、4 バイトの Sector Lockdown Register Read コマンド シーケンスを MOSI ピンへ MSB から順に連続して送信する。最後の 3 バイトはダミー バイト (表 8-14 を参照)。

表 8-14 : Sector Lockdown Register Read コマンド シーケンス

ピン	4 バイトのコマンド シーケンス				セクタ ロックダウン レジスタの値 (バイト ロケーションはセクタに対応)							
					XC3S1400AN (16 バイト)							
					XC3S200AN、XC3S400AN、XC3S700AN (8 バイト)							
	コマンド	Don't Care			XC3S50AN (4 バイト)							
	バイト 1	バイト 2	バイト 3	バイト 4	バイト 5	バイト 6	バイト 7	バイト 8	...	バイト 12	...	バイト 20
MOSI	0x35	XX	XX	XX	XX	XX	XX	XX	...	XX	...	XX
MISO					セクタ 0	セクタ 1	セクタ 2	セクタ 3	...	セクタ 7	...	セクタ 15

- コマンド シーケンスの最後のビットを送信した後、MISO ピンに出力されるセクタ ロックダウン レジスタの内容を読み出す。
  - バイト数は、Spartan-3AN FPGA によって異なる (表 8-14 および 79 ページの表 8-3 でハイライト)。
    - 最初のデータ バイトはセクタ 0 に対応し、2 番目のデータ バイトはセクタ 1 に対応する。以下同様に対応する。
    - XC3S50AN FPGA は 4 バイト提供する。
    - XC3S200AN、XC3S400AN、および XC3S700AN FPGA は、8 バイト提供する。
    - XC3S1400AN FPGA は 16 バイト提供する。
    - FPGAアプリケーションがセクタ ロックダウン レジスタから必要以上のバイト数の読み出しを要求をしても、MISO ピンには超過分のデータは定義されない。
- レジスタを読み出す最後のデータ ビットを送信後、CSB ピンを High 駆動する。

XILINX®

第 9 章

セキュリティ レジスタ

Spartan™-3AN FPGA のインシステム フラッシュ (ISF) メモリには、表 9-1 に示す 128 バイトのセキュリティ レジスタが含まれています。

セキュリティ レジスタ

この 128 バイトは、さらに 2 つのサブフィールドに分割されます。

- **ユーザー定義フィールド** (バイト ロケーション 0 ～ 63) は、常に任意の値をプログラムできますが、一度しかプログラムできません。つまり、このフィールドは OTP (ワンタイム プログラマブル) です。出荷時のデフォルト ステートは消去されており、すべてのロケーションが `0xFF` となっています。

  注意 64 バイトのユーザー定義フィールドは、一度プログラムするとその後の消去または変更はできません。

- **独自の識別子** (バイト ロケーション 64 ～ 127) は、ザイリンクスでの製造工程中にプログラムされ、各 ISF メモリに独自の識別子を含みます。このフィールドは、Spartan-3A および Spartan-3AN FPGA 内でアクセスできる Device DNA 機能とは異なります。このように工場でプログラムされたデータは消去または変更できません。

表 9-1 : セキュリティ レジスタの内容

バイト	セキュリティ レジスタ (128 バイト)							
	ユーザー定義フィールド (64 バイト)				独自の識別子 (64 バイト)			
	0	1	...	63	64	65	...	127
説明	64 バイトのユーザー定義データ				Spartan-3AN FPGA 内の各 ISF メモリで独自の識別子			
プログラミング サイクル数	1 (このフィールドは、 1 回のみプログラム可能 - OTP)				0 (このフィールドには、製造工程中にプログラムされた不変データが含まれる)			

セキュリティ レジスタはさまざまな目的に使用でき、たとえば、FPGA ビットストリームやユーザー データの保護および固定キーの格納など、特定の ISF メモリ デバイスの識別などに使用します。使用法は、FPGA の Device DNA レジスタと類似しています。詳細は、UG332 : 『Spartan-3 ジェネレーション コンフィギュレーション ユーザー ガイド』の第 15 章 「FPGA デザインの保護」を参照してください。

Security Register Program

セキュリティ レジスタのユーザー定義フィールドのみプログラム可能です。このフィールドは、プログラムする前に消去する必要はありません。

Security Register Program コマンド シーケンスを発行するには、FPGA アプリケーションが SPI_ACCESS プリミティブを使用して次の動作をする必要があります。

- CLK が High または　CLK の立ち上がりエッジで CSB を Low 駆動する。
- CLK の立ち下がりエッジで、4 バイトの Security Register Program コマンド コードを MOSI ピンへ MSB から順に連続して送信する (表 9-2 を参照)。

表 9-2 : Security Register Program コマンドのシーケンス

ピン	4 バイトのコマンド シーケンス				セキュリティ レジスタの値 (64 バイトのユーザー定義フィールド)			
	バイト 1	バイト 2	バイト 3	バイト 4	バイト 5	バイト 6	...	バイト 68
MOSI	0x9B	0x00	0x00	0x00	ユーザー フィールド データ 0	ユーザー フィールド データ 1	...	ユーザー フィールド データ 63

- コマンド シーケンスの最後の 1 ビットを送信後、MOSI ピンへセキュリティ レジスタ プログラミング データを送信する。
  - 64 バイトすべてを指定する。
  - 書き込まれていないロケーションの内容は保証されない。
  - データが 64 バイトを超えた場合は、超えたデータがラップアラウンドし、ロケーション 0 から開始する。
  - MSB から順に連続して各バイト ロケーションを指定する。
- レジスタをプログラムする最後のデータ ビットを送信後、CLK の立ち下がりエッジで CSB ピンを High 駆動する。

CSB 入力信号が Low から High へ遷移すると動作が完了します。この動作は内部でセルフ タイミングされているため、47 ページの表 4-5 や 『Spartan-3AN FPGA データ シート』 で定義されているページ プログラミング時間 (T_{PP}) でプログラムが完了します。コマンド実行中、ステータス レジスタの READY/BUSY ビット (ビット 7) で、Security Register Program 動作の進行中または完了を示します。

注意 消去サイクルが完了する前に FPGA の V_{CCAUX} 電源供給が途切れると、セキュリティ レジスタ内にある 64 バイトのユーザー定義フィールドの内容は保証されません。

注意 CSB ピンがディアサートされる前に送信されるデータが 64 バイト未満の場合は、指定されていないバイト ロケーションの値は保証されません。たとえば、64 バイトすべてではなく、最初の 2 バイトのみ送信された場合、セキュリティ レジスタ内のユーザー定義フィールドの残り 62 バイトは保証されません。

注意 セキュリテイ レジスタ内のユーザー定義フィールドは、1 回しかプログラムできません。したがって、レジスタの最初の 2 バイトだけプログラムして、残りの 62 バイト ロケーションを後からプログラムすることはできません。

注意 Security Register Program コマンドは、一時的にデータを格納するため SRAM ページ Buffer 1 を使用します。したがって、このコマンドは Buffer 1 に格納されているデータを上書きします。

Security Register Read

セキュリティ レジスタを読み出すには、FPGA アプリケーションが SPI_ACCESS プリミティブを使用して次の動作をする必要があります。

- CLK が High または　CLK の立ち上がりエッジで CSB を Low 駆動する。
- CLK の立ち下がりエッジで、4 バイトの Security Register Read コマンド コードを MOSI ピンへ MSB から順に連続して送信する (表 9-3 を参照)。

表 9-3 : Security Register Read コマンド シーケンス

ピン	4 バイトのコマンド シーケンス				セキュリティ レジスタ							
					ユーザー定義フィールド				独自の識別子			
	バイト 1	バイト 2	バイト 3	バイト 4	バイト 5	バイト 6	...	バイト 68	バイト 69	バイト 70	...	バイト 132
MOSI	0x77	XX	XX	XX	XX	XX	...	XX	XX	XX	...	XX
MISO	High				データ 0	データ 1	...	データ 63	データ 64	データ 65	...	データ 127

- コマンド シーケンスの最後のビットが送信されると、MISO ピンにセキュリティ レジスタのデータが出力される。
  - 各バイト ロケーションのデータを MSB から順に受信する。
  - FPGA アプリケーションは 128 バイト以下の読み出しが可能。たとえば、ユーザー定義フィールドにある最初の数バイトを読み出して動作を停止できる。
  - 128 バイトのセキュリティ レジスタに格納できない追加データは定義されていない。
- レジスタをプログラムするための最後のデータ ビットを送信後、CLK の立ち上がりエッジで CSB ピンを High 駆動する。

付録 10

オプションの 2 の累乗アドレス指定モード

最初に出荷された状態での Spartan™-3AN FPGA インシステム フラッシュ (ISF) は、デフォルトのアドレス指定モード (22 ページの表 2-2 を参照) を使用します。このデフォルトのアドレス指定モードの場合は、ファイル システム制御やエラー修正用に余分なビットやバイトを使用するため、合計ビットが 3% 増加します。

しかし、アプリケーションによっては、2 の累乗バイナリ アドレス指定モードの方が最適な場合があります。ISF メモリでは、2 の累乗バイナリ アドレス指定モード (95 ページの表 10-3 を参照) をサポートしていますが、次に説明する変更不可のプログラミング手順が必要です。通常、この手順はプロダクション テスタによって実行され、FPGA アプリケーションが実行するものではありません。

注意 ：2 の累乗アドレス指定モードへの変更はキャンセルできません。一度、FPGA のインシステム フラッシュ メモリ (ISF) がこのモードへ変更されると、デフォルトのアドレス指定モードへ戻ることはできません。

注意 ：2 の累乗アドレス指定モードへ変更後、この変更が有効になる前に FPGA の電源を一度オフにしてから再度オンにします。

注意 ：ISF メモリがデフォルトのアドレス指定モード のときに格納されたデータ (例 ：FPFA コンフィギュレーション ビットストリームなど) は、2 の累乗アドレス指定モードへ切り替わると破損します。したがって、オプションの 2 の累乗アドレス指定モードへ切り替えた後、ISF メモリを消去してから再びデータを書き込んでください。

表 10-1 に、このアドレス指定モードが合計メモリ サイズに与える影響を示します。

表 10-1 : デフォルトのアドレス指定モードと 2 の累乗アドレス指定モードの比較

FPGA	アドレス指定モードによる合計ビット数		アドレス指定モードによるページ サイズ	
	デフォルト	2 の累乗	デフォルト	2 の累乗
XC3S50AN	1,081,344	1,048,576	264 バイト	256 バイト
XC3S200AN	4,325,376	4,194,304		
XC3S400AN				
XC3S700AN	8,650,752	8,388,608		
XC3S1400AN	17,301,504	16,777,216	528 バイト	512 バイト

現在のアドレス指定モードを確認する

ステータス レジスタの PAGE SIZE ビット (ビット 0) が、現在のアドレス指定モードを示します (70 ページの表 6-6 を参照)。必要な場合は、Status Register Read コマンドを発行すると、ISF メモリ プログラマまたは FPGA アプリケーションが ステータス レジスタを読み出すことが可能です。

2 の累乗アドレス指定モードへ変更

デフォルトのアドレス指定モードからオプションの 2 の累乗アドレス指定モードへ変更する場合は、プログラマまたは FPGA アプリケーションが次の動作を実行する必要があります。

- CLK が High または CLK の立ち上がりエッジで CSB を Low 駆動する。
- CLK の立ち下がりエッジで、表 10-2 に示す 2 の累乗ページ サイズ コマンド シーケンスを MSB から順に連続して送信する。

表 10-2 : 2 の累乗ページ サイズ コマンド シーケンス

ピン	4 バイトのコマンド シーケンス			
	バイト 1	バイト 2	バイト 3	バイト 4
MOSI	0x3D	0x2A	0x80	0xA6

- コマンド シーケンスの最後のビットを送信後、CSB ピンを High にして内部でセルフタイミングされたプログラミング サイクルを開始する。
- 47 ページの表 4-5 および『Spartan-3AN FPGA データ シート』で定義されているページ プログラミング時間 (T_{PP}) 以上待機する。この間、ステータス レジスタの READY/BUSY ビット (ビット 7) は 0 となり、ISF メモリのプログラミング動作が進行中であることを示す。
- プログラミング動作完了後、2 の累乗アドレス指定モードが有効になる前に必ず FPGA の電源を一度オフにしてから再度オンにする。
- 2 の累乗アドレス指定モードへ切り替わる前に ISF メモリへ格納されたデータは破損する。したがって、ISF メモリを消去してから再び任意のデータを書き込む。

プログラム動作が完了する前に FPGA の電源供給がオフになると、2 の累乗アドレス モードの設定は保証されません。このような場合は、ステータス レジスタの PAGE SIZE ビット (ビット 0) が 1 に設定されているかを確認してください。1 の場合は、ページ サイズが正しくプログラムされたことを示します。1 でない場合は、2 の累乗ページ サイズ コマンドを再発行してください。

2 の累乗アドレス指定モード

すべての Spartan-3AN FPGA は、出荷時の状態であるデフォルトのアドレス指定モードを使用します。オプションの 2 の累乗アドレス指定モードは、2 の累乗アドレス指定モードへ変更した場合のみ使用できます。

2 の累乗アドレス指定

表 10-3 に、オプションの 2 の累乗アドレス指定モードの場合でもアドレス マップを示します。

表 10-3 : 2 の累乗アドレス指定モード

FPGA	上位アドレス								中間アドレス								下位アドレス							
	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
バイナリ アドレス	0	0	0	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
3S50AN	0	0	0	0	0	0	0	セクタ	セクタ 0a、0b					X	X	X	X	X	X	X	X	X	X	X
								ブロック (64 ブロック)						X	X	X	X	X	X	X	X	X	X	X
								ページ アドレス (512 ページ)									バイト アドレス (256 バイト)							
3S200AN 3S400AN	0	0	0	0	0	セクタ (8)			セクタ 0a、0b					X	X	X	X	X	X	X	X	X	X	X
						ブロック (256 ブロック)								X	X	X	X	X	X	X	X	X	X	X
						ページ アドレス (2,048 ページ)											バイト アドレス (256 バイト)							
3S700AN	0	0	0	0	セクタ (16)				セクタ 0a, 0b					X	X	X	X	X	X	X	X	X	X	X
					ブロック (512 ブロック)									X	X	X	X	X	X	X	X	X	X	X
					ページ アドレス (4,096 ページ)												バイト アドレス (256 バイト)							
3S1400AN	0	0	0	セクタ (16)					セクタ 0a, 0b					X	X	X	X	X	X	X	X	X	X	X
				ブロック (512 ブロック)										X	X	X	X	X	X	X	X	X	X	X
				ページ アドレス (4,096 ページ)													バイト アドレス (512 バイト)							
バイナリ アドレス	0	0	0	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0

2 の累乗ページ アドレス指定

表 10-4 に、24 ビットのアドレス フィールド内に指定されるページ アドレスを示します。

表 10-4 : ページ アドレス (2 の累乗アドレス指定モード)

FPGA	上位アドレス								中間アドレス								下位アドレス							
	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
バイナリ アドレス	0	0	0	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
3S50AN	0	0	0	0	0	0	0	ページ アドレス (512 ページ)									X	X	X	X	X	X	X	X
3S200AN	0	0	0	0	0	ページ アドレス (2,048 ページ)											X	X	X	X	X	X	X	X
3S400AN	0	0	0	0	0	ページ アドレス (2,048 ページ)											X	X	X	X	X	X	X	X

表 10-4 : ページ アドレス (2 の累乗アドレス指定モード) (続き)

FPGA	上位アドレス								中間アドレス								下位アドレス							
	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
3S700AN	0	0	0	0	ページ アドレス (4,096 ページ)												X	X	X	X	X	X	X	X
3S1400AN	0	0	0	ページ アドレス (4,096 ページ)												X	X	X	X	X	X	X	X	X

2 の累乗ブロック アドレス指定

表 10-5 に、24 ビットのアドレス フィールド内に指定されるブロック アドレスを示します。

表 10-5 : ブロック アドレス (2 の累乗アドレス指定モード)

FPGA	上位アドレス								中間アドレス								下位アドレス							
	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
バイナリ アドレス	0	0	0	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
XC3S50AN	0	0	0	0	0	0	0	ブロック (64 ブロック)					X	X	X	X	X	X	X	X	X	X	X	X
XC3S200AN	0	0	0	0	0	ブロック (256 ブロック)							X	X	X	X	X	X	X	X	X	X	X	X
XC3S400AN	0	0	0	0	0	ブロック (256 ブロック)							X	X	X	X	X	X	X	X	X	X	X	X
XC3S700AN	0	0	0	0	ブロック (512 ブロック)								X	X	X	X	X	X	X	X	X	X	X	X
XC3S1400AN	0	0	0	ブロック (512 ブロック)									X	X	X	X	X	X	X	X	X	X	X	X

2 の累乗セクタ アドレス指定

表 10-6 に、2 の累乗アドレス指定モードでのセクタ アドレス指定を示します。セクタ 0 は、2 つのサブ セクタ (セクタ 0a およびセクタ 0b) に分割されています。この 2 つのサブ セクタは追加のアドレス ビットが必要です。

表 10-6 : セクタ アドレス (2 の累乗アドレス指定モード)

FPGA / セクタ		上位アドレス								中間アドレス								下位アドレス							
		23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
バイナリ アドレス		0	0	0	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
XC3S50AN	セクタ	0	0	0	0	0	0	0	セクタ	Don't Care ビット															
	セクタ 0a								**0**	**0**	0	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X
	セクタ 0b													1											
	セクタ 1– 3								A16	A15	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
XC3S200AN XC3S400AN	セクタ	0	0	0	0	0	セクタ			Don't Care ビット															
	セクタ 0a						**0**	**0**	**0**	0	0	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X
	セクタ 0b													1											
	セクタ 1– 7						A18	A17	A16	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

表 10-6 : セクタ アドレス (2 の累乗アドレス指定モード) (続き)

FPGA / セクタ		上位アドレス								中間アドレス								下位アドレス							
		23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
XC3S700AN	**セクタ**	0	0	0	0	**セクタ**				Don’t Care ビット															
	セクタ 0a					**0**	**0**	**0**	**0**	0	0	0	0	0	X	X	X	X	X	X	X	X	X	X	X
	セクタ 0b													1	X	X	X	X	X	X	X	X	X	X	X
	セクタ 1– 15					A19	A18	A17	A16	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
XC3S1400AN	**セクタ**	0	0	0	**セクタ**					Don’t Care ビット															
	セクタ 0a				**0**	**0**	**0**	**0**	0	0	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X
	セクタ 0b												1	X	X	X	X	X	X	X	X	X	X	X	X
	セクタ 1– 15				SA3	SA2	SA1	SA0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X