



ALL PROGRAMMABLE™

XAPP1216 (v1.0) 2014 年 8 月 12 日

リアルタイムビデオアプリケーション 向け AXI Chip2Chip Aurora リファレンス デザイン

著者 : Pankaj Kumbhare, Ravi Kiran Boddu

概要

ザイリンクスの LogiCORE™ IP AXI Chip2Chip コアは、複数デバイスで構成されるシステムオンチップ (SoC) ソリューション向けに、Advanced eXtensible Interface (AXI) を使用してシステムを接続するブリッジ機能を提供します。このアプリケーション ノートでは、Kintex®-7 FPGA KC705 評価ボードを 2 つ使用した場合、または KC705 ボードと Zynq®-7000 All Programmable (AP) SoC ZC706 評価ボードを使用した場合のリアルタイムビデオトラフィックをデモンストレーションします。AXI Chip2Chip コアは、SMA データコネクタケーブルを使用して 2 つのボード間にコネクティブリティを提供します。

このアプリケーション ノートの [リファレンスデザインファイル](#) は、ザイリンクスのウェブサイトからダウンロードできます。リファレンスデザインファイルの詳細は、「[リファレンスデザイン](#)」を参照してください。

含まれるシステム

リファレンスデザインには、Vivado® Design Suite : System Edition 2014.1 の IP インテグレーター (IPI) の機能を使用して作成された 2 つの統合システムがあります。Vivado Design Suite を利用することによって、IP ブロックをインスタンス化、コンフィギュレーション、および接続して複雑な統合システムを構築する作業が簡略化されます。このデザインには、ザイリンクスのソフトウェア開発キット (SDK) を使用して構築されたソフトウェアアプリケーションも含まれます。このアプリケーションは、MicroBlaze™ エンベデッド プロセッサまたは ARM® Cortex™-A9 MPCore™ アプリケーションプロセッサ上で動作し、制御、ステータス、モニターの各機能を実行します。リファレンスデザインには IP インテグレーターおよび SDK の完全なプロジェクトファイルが含まれており、デザインの検討や再構築に活用したり、新規デザインのテンプレートとして使用できます。

はじめに

AXI Chip2Chip コアは、AXI プロトコル仕様に基づいて複数デバイス間の AXI トランザクションをつなぎ、少ないピンで高性能な AXI ピン間ブリッジソリューションを提供します (『AMBA AXI4 仕様』[\[参照 1\]](#) および『LogiCORE IP AXI Chip2Chip 製品ガイド』(PG067) [\[参照 2\]](#) 参照)。

このコアがサポートする PHY 層インターフェイスのタイプは、次のとおりです。

- シングルデータレート (SDR) SelectIO™ インターフェイス
- ダブルデータレート (DDR) SelectIO インターフェイス
- Aurora 64B/66B シリアルデータストリーム

このリファレンスデザインでは、LogiCORE IP Aurora 64B/66B コアを PHY 層として使用して AXI Chip2Chip コアの性能を示します。

リファレンスデザインは、AXI System I および AXI System II という 2 つのプラットフォームに実装されています ([図 1](#) 参照)。

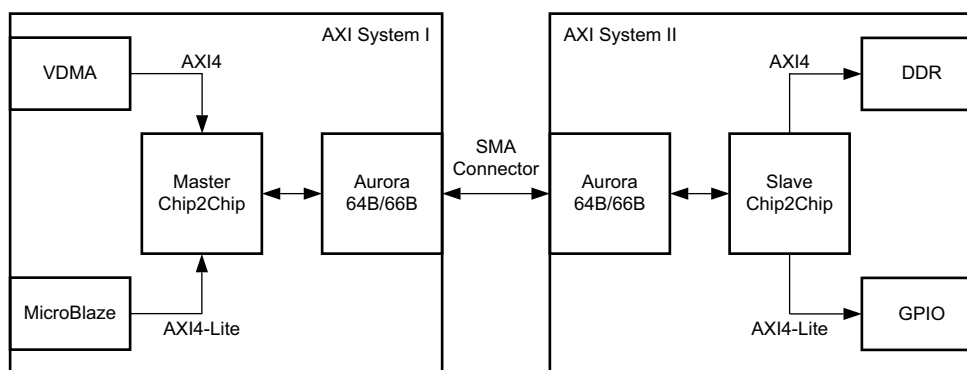


図 1 : AXI Chip2Chip コアの一般的な相互接続

各プラットフォームは、別々のハードウェア評価キット ボードに実装されます。リファレンス デザインには、次の 2 つバージョンがあります。

1. 2 つの Kintex-7 FPGA KC705 評価ボード間の相互接続を示す。
2. KC705 ボードと Zynq-7000 AP SoC ZC706 評価ボード間の相互接続を示す。

リファレンス デザインは、Test Pattern Generator (TPG) コアがソース ビデオ信号を生成するビデオシステムを実装しています。1 つはマスター、1 つはスレーブとする合計 2 つの AXI Chip2Chip コアのインスタンスがインスタンス化されています。AXI Chip2Chip コアのマスターとスレーブ両方のインスタンスは、AXI ストリーミング インターフェイスを介して Aurora 64B/66B コアへ接続しています。マスター Chip2Chip コアは AXI マスターモードの Aurora 64B/66B コアへ接続し、スレーブ Chip2Chip コアは AXI スレーブモードの Aurora 64B/66B コアへ接続します。Aurora コアは、SMA コネクタおよびケーブルを使用して相互接続されます。

AXI System I プラットフォームには、AXI VDMA (Video Direct Memory Access) リファレンス デザイン [参照 4] が含まれ、マスター Chip2Chip コアが AXI 7 シリーズ FPGA DDRx メモリ コントローラー に取って代わります。AXI System II プラットフォームには、AXI スレーブモードのスレーブ Chip2Chip コアへ接続された実際の AXI 7 シリーズ FPGA DDRx メモリ コントローラーが含まれます。AXI System II プラットフォームの AXI スレーブ パリフェラルのメモリ領域をマスター Chip2Chip コアへマップすることで、AXI System I プラットフォームの AXI マスター パリフェラルが AXI System II プラットフォーム上のスレーブ パリフェラルへアクセス可能になります。

AXI System I にはマスターモードの AXI Chip2Chip コアが含まれるため、AXI System I プラットフォームがマスター プラットフォームに指定されています。同様に、AXI System II プラットフォームがスレーブ プラットフォームに指定されています。

図 2 に、このリファレンス デザイン ブロックの詳細とその相互接続を示します。AXI System I プラットフォームの AXI VDMA ブロック (ボード A) は、マスターおよびスレーブ Chip2Chip コアの AXI4 インターフェイスを介して、AXI System II プラットフォーム (ボード B) の外部メモリに対してビデオデータの読み書きを実行します。ボード A の MicroBlaze プロセッサは、ローカル AXI4-Lite インターコネクタへ接続するビデオ パリフェラルを構成しています。ボード B の ARM/MicroBlaze プロセッサは、ローカル AXI4-Lite インターコネクタへ接続するパリフェラルを構成しています。

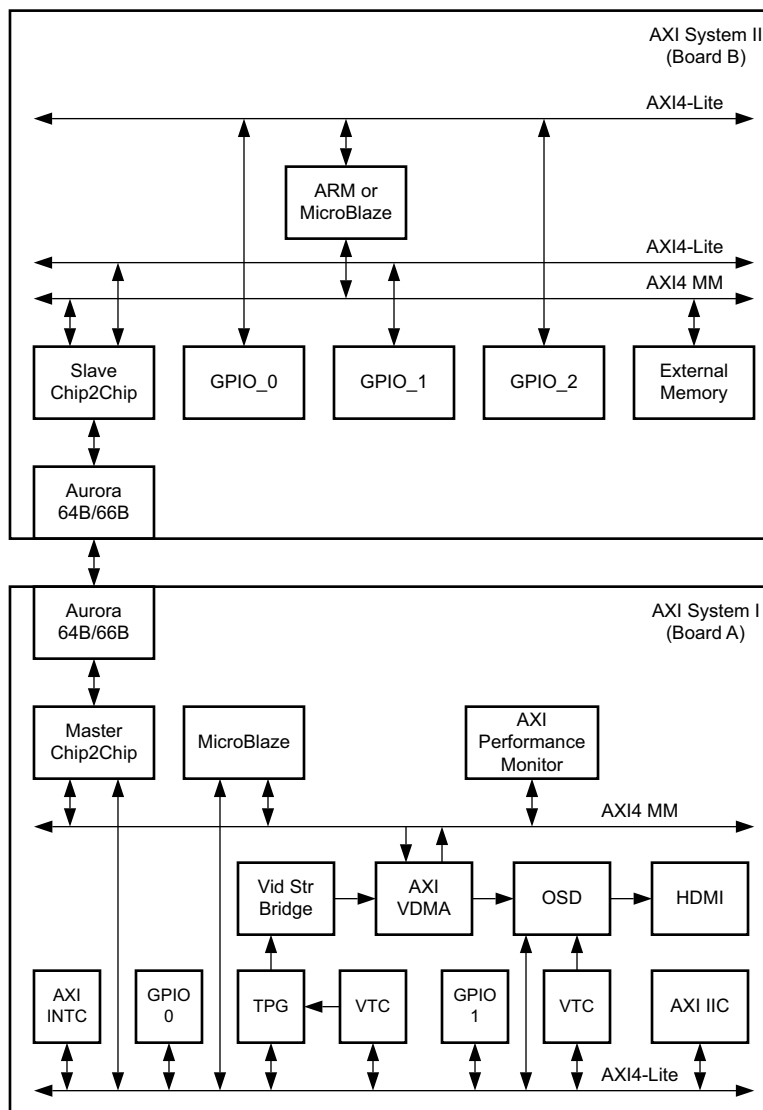


図 2: リファレンス デザインの詳細ブロック図

ZC706 がスレーブ プラットフォームのリファレンス デザインでは、125MHz の外部基準クロック ソースが 2 つ必要です。このリファレンス デザインの再現には、適切に調整された 125MHz クロック ソースであればどれでも利用可能です。

AXI トランザクションを生成するマスター デバイスで AXI VDMA ブロックを置き換えることにより、AXI Chip2Chip コアを使用する同様のデザインを作成できます。また、外部メモリブロックは、AXI トランザクションを受信する任意のスレーブ デバイスに置き換えることができます。

ハードウェア要件

KC705 スレーブ プラットフォーム バージョン

- Kintex-7 FPGA KC705 評価ボード (x 2)
- 評価ボード用の電源アダプター (x 2)
- HDMI™ ケーブル (x 1)
- 解像度を指定できるディスプレイ モニター (HDMI ケーブルを使用して、Dell 社製 U2410F モニターで検証)
- Type-A/Mini-B の 5 ピン USB ケーブル (x 1)
- JTAG プラットフォーム USB ケーブル (x 2)
- シリアル データ用 SMA コネクタ ケーブル (x 4)

ZC706 スレーブ プラットフォーム バージョン

- Kintex-7 FPGA KC705 評価ボード (x 1) および Zynq-7000 AP SoC ZC706 評価ボード (x 1)
- 評価ボード用の電源アダプター (x 2)
- HDMI™ ケーブル (x 1)
- 解像度を指定できるディスプレイ モニター (HDMI ケーブルを使用して、Dell 社製 U2410F モニターで検証)
- Type-A/Mini-B の 5 ピン USB ケーブル (x 1)
- JTAG プラットフォーム USB ケーブル (x 2)
- 外部の差動 125MHz SMA クロック ソース (x 2)
- シリアル データ用 SMA コネクタ ケーブル (x 4)
- 外部クロック ソース用の SMA コネクタ ケーブル (x 4)

ソフトウェア要件

AXI Chip2Chip リファレンス デザインのソフトウェア要件は次のとおりです。

- Vivado Design Suite 2014.1 : System Edition

リファレンス システム仕様

リファレンス デザインには、次の 2 つのバージョンがあります。

1. 2 つの Kintex-7 FPGA KC705 評価ボード間の相互接続を示す。
2. KC705 ボードと Zynq-7000 AP SoC ZC706 評価ボード間の相互接続を示す。

各リファレンス デザインには、マスター プラットフォームとスレーブ プラットフォームが 1 つずつあります。マスター システムは、リファレンス デザインの両バージョンで共通しており、次のコアを含みます。

- AXI Chip2Chip
- Aurora 64B/66B
- AXI Interconnect
- Clock Generator
- Processor System Reset Module (proc_sys_reset)

- AXI IIC Bus Interface
- AXI GPIO
- AXI Interrupt Controller (INTC)
- Video Timing Controller (VTC)
- Test Pattern Generator (TPG)
- AXI Video Direct Memory Access (VDMA)
- AXI Performance Monitor
- On-Screen Display (OSD)
- HDMI Interface コア
- 外部 SMA クロック ソース

表 1 には、マスター プラットフォームのペリフェラルのアドレス マップを示します。

表 1: AXI System I プラットフォームのアドレス マップ

ペリフェラル	インスタンス	インターフェイス	ベース アドレス	上位アドレス
axi_chip2chip	axi_chip2chip_0	s_axi	0x20000000	0x3FFFFFFF
bram_if_cntlr	lmb_bram_if_cntlr_1	slmb	0x00000000	0x0001FFFF
mig_7series	mig_7series_0	s_axi	0x80000000	0x9FFFFFFF
axi_gpio	axi_gpio_0	s_axi	0x40000000	0x4000FFFF
axi_gpio	axi_gpio_1	s_axi	0x40010000	0x4001FFFF
axi_iic	axi_iic_1	s_axi	0x40800000	0x4080FFFF
axi_intc	axi_intc_1	s_axi	0x41200000	0x4120FFFF
axi_perf_mon	axi_perf_mon_0	s_axi	0x44A10000	0x44A1FFFF
axi_timer	axi_timer_1	s_axi	0x41C00000	0x41C0FFFF
axi_uartlite	axi_uartlite_1	s_axi	0x40600000	0x4060FFFF
axi_vdma	axi_vdma_1	s_axi_lite	0x44A20000	0x44A2FFFF
mdm	mdm_1	s_axi	0x41400000	0x4140FFFF
v_cresample	v_cresample_0	ctrl	0x44A30000	0x44A3FFFF
v_osd	v_osd_1	ctrl	0x44A40000	0x44A4FFFF
v_rgb2ycrcb	v_rgb2ycrcb_0	ctrl	0x44A50000	0x44A5FFFF
v_tc	v_tc_1	ctrl	0x44A60000	0x44A6FFFF
v_tpg	v_tpg_1	ctrl	0x44A70000	0x44A7FFFF
axi_chip2chip	axi_chip2chip_0	s_axi_lite	0x50000000	0x5000FFFF

Kintex-7 FPGA のスレーブ プラットフォームには、次のコアが含まれます。

- 7シリーズ FPGA メモリ インターフェイス ソリューション
- AXI Chip2Chip (スレーブ モード)
- Aurora 64B/66B
- MicroBlaze Processor
- AXI Interconnect
- AXI GPIO
- Clock Generator
- Processor System Reset Module

表 2 には、Kintex-7 FPGA スレーブ プラットフォームのペリフェラルのアドレス マップを示します。

表 2 : AXI System II Platform (KC705) のアドレス マップ

ペリフェラル	インスタンス	インターフェイス	ベース アドレス	上位アドレス
axi_bram_ctrl	axi_bram_ctrl_0	s_axi	0xE0000000	0xE000FFFF
axi_gpio	axi_gpio_0	s_axi	0x40000000	0x4000FFFF
axi_gpio	axi_gpio_2	s_axi	0x40010000	0x4001FFFF
axi_uartlite	axi_uartlite_0	s_axi	0x40600000	0x4060FFFF
bram_if_cntlr	microblaze_0_local_memory	slmb	0x00000000	0x00001FFF
axi_intc	microblaze_0_axi_intc	s_axi	0x41200000	0x4120FFFF
mig_7series	mig_7series_0	s_axi	0x20000000	0x3FFFFFFF

Zynq-7000 AP SoC には、プロセッシング システム (PS) が含まれています。スレーブ プラットフォームの PS は、UART および DDR メモリ コントローラーを含むように構成されています。DDR コントローラーは、HPO ポートを介してアクセスします。この PS は、M_AXI_GP1 ポートを介して、マスター プラットフォーム ボード上の AXI4-Lite ビデオ ペリフェラルを制御します。

Zynq-7000 AP SoC のスレーブ システムには次のコアが含まれます。

- AXI Interconnect
- AXI Chip2Chip (スレーブ モード)
- Aurora 64B/66B
- AXI GPIO
- Clock Generator
- Processor System Reset Module

表 3 には、Zynq-7000 AP SoC スレーブ プラットフォームのペリフェラルのアドレス マップを示します。

表 3 : AXI System II Platform (ZC706) のアドレス マップ

ペリフェラル	インスタンス	インターフェイス	ベース アドレス	上位アドレス
axi_gpio	axi_gpio_0	s_axi	0x41200000	0x4120FFFF
axi_gpio	axi_gpio_1	s_axi	0x41210000	0x4121FFFF
Mig_7series	Processing_system7_1	s_axi	0x00000000	0x3FFFFFFF

KC705 および ZC706 評価ボードには LED があり、動作中のリファレンス システムのステータスを表します。表 4 には、各プラットフォームで使用される LED の割り当てを示します。

表 4: プラットフォームの LED 割り当て

ピン名	LOC 値	LED
KC705 マスター プラットフォーム		
axi_c2c_link_status_out	AA8	GPIO_LED_1
axi_c2c_config_error_out	AB8	GPIO_LED_0
axi_c2c_link_error_out	AE26	GPIO_LED_4
axi_c2c_multi_bit_error_out	AC9	GPIO_LED_2
KC705 スレーブ プラットフォーム		
axi_c2c_link_status_out	AA8	GPIO_LED_1
axi_c2c_config_error_out	AB8	GPIO_LED_0
axi_c2c_multi_bit_error_out	AC9	GPIO_LED_2
ZC706 スレーブ プラットフォーム		
axi_c2c_config_error_out	G2	GPIO_LED_CENTER
axi_c2c_link_status_out	Y21	GPIO_LED_LEFT
axi_c2c_multi_bit_error_out	W21	GPIO_LED_RIGHT

ハードウェアシステム仕様

ここでは、AXI Chip2Chip コアのコンフィギュレーションについて説明します。VDMA コンフィギュレーションのハードウェアシステムおよびその他のビデオ関連 IP コアに関する情報は、『AXI VDMA リファレンス デザイン』(XAPP742) [参照 4] を参照してください。AXI システムの最適化および設計上のトレードオフに関する詳細は、『Vivado Design Suite : AXI リファレンス ガイド』(UG1037) [参照 6] を参照してください。

AXI System I プラットフォームの設定

AXI Chip2Chip コア マスター インスタンス (master_c2c)

マスター モードで動作する場合、AXI Chip2Chip コアを 1 つまたは複数の AXI マスター ペリフェラルのスレーブとして設定できます。スレーブ モードで動作する場合は、このコアを 1 つまたは複数の AXI スレーブ ペリフェラルのマスターとして設定できます。

AXI Chip2Chip コアの動作は、独立クロッキング モードまたは共通クロッキング モードのいずれかに設定できます。独立クロッキング モードでは、PHY 層インターフェイスの動作クロックを AXI クロックと異なる周波数に設定できます。共通クロッキング モードでは、クロック乗せ換えによるレイテンシが抑えられます。

AXI データ幅は、システム要件に応じて 32 ビットまたは 64 ビットのいずれかを選択できます。Chip2Chip の [PHY Type] および [PHY Width] パラメータにより、デバイス間接続に使用する I/O ピンの数が決まります。次に示す 3 つの PHY 層インターフェイスがサポートされています。

- SDR SelectIO インターフェイス
- DDR SelectIO インターフェイス
- Aurora 64B/66B シリアル データ ストリーム

コンパクト 2:1 および 4:1 オプションを利用すると、必要な I/O ピンの数を減らすことができます。すべてのコンパクト率がすべての PHY 層インターフェイスでサポートされているわけではありません。たとえば、Aurora PHY 層インターフェイスがサポートするのは、コンパクト 2:1 およびコンパクト 1:1 のみです。

Aurora 64B/66B

AXI Chip2Chip コアのこのコンフィギュレーションで、Aurora 64B/66B コアは PHY 層として機能します。Aurora コアは、GT 基準クロックに 125MHz の外部 SMA クロックを使用します。ラインレートは、全二重データフローモードで 6.25Gb/s に設定されています。2つのマスタープラットフォームは、同じコンフィギュレーションを使用します。マスタープラットフォームの Aurora の [Core Options] タブで [図 4](#) のように設定する必要があります。[GT Selections] タブでは、[図 5](#) のように、レーンが Quad-2 (GTXQ2) のトランシーバーに割り当てられていることを確認してください。

注記 : GTXQ2 トランシーバーは、KC705 ボードの SMA コネクタへ割り当てられる唯一のトランシーバーです。リストボックスの設定の上にカーソルを置くと、ツールチップが表示されて選択したトランシーバーの位置を確認できます。

[Shared Logic] タブでは、[図 6](#) のように [include Shared Logic in core] がオンになっていることを確認してください。

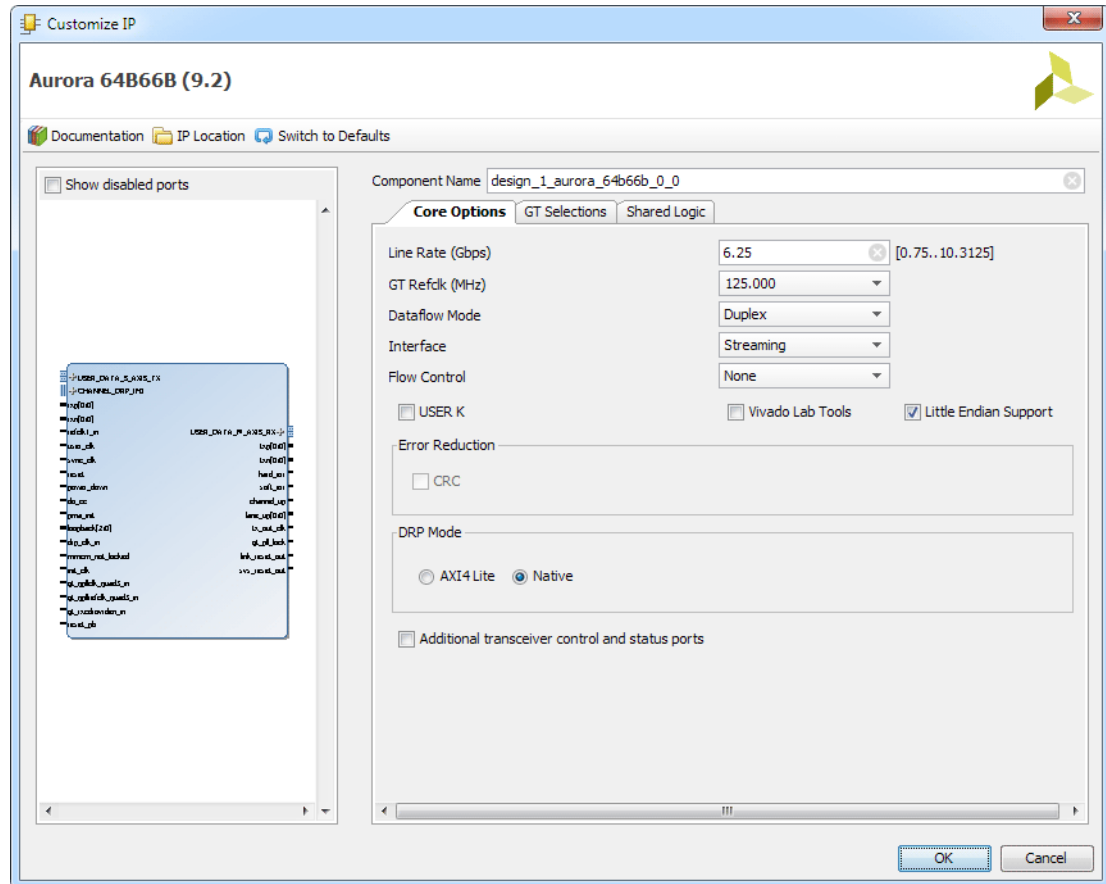


図 4 : マスタープラットフォームの Aurora 64B/66B の [Core Options] タブ

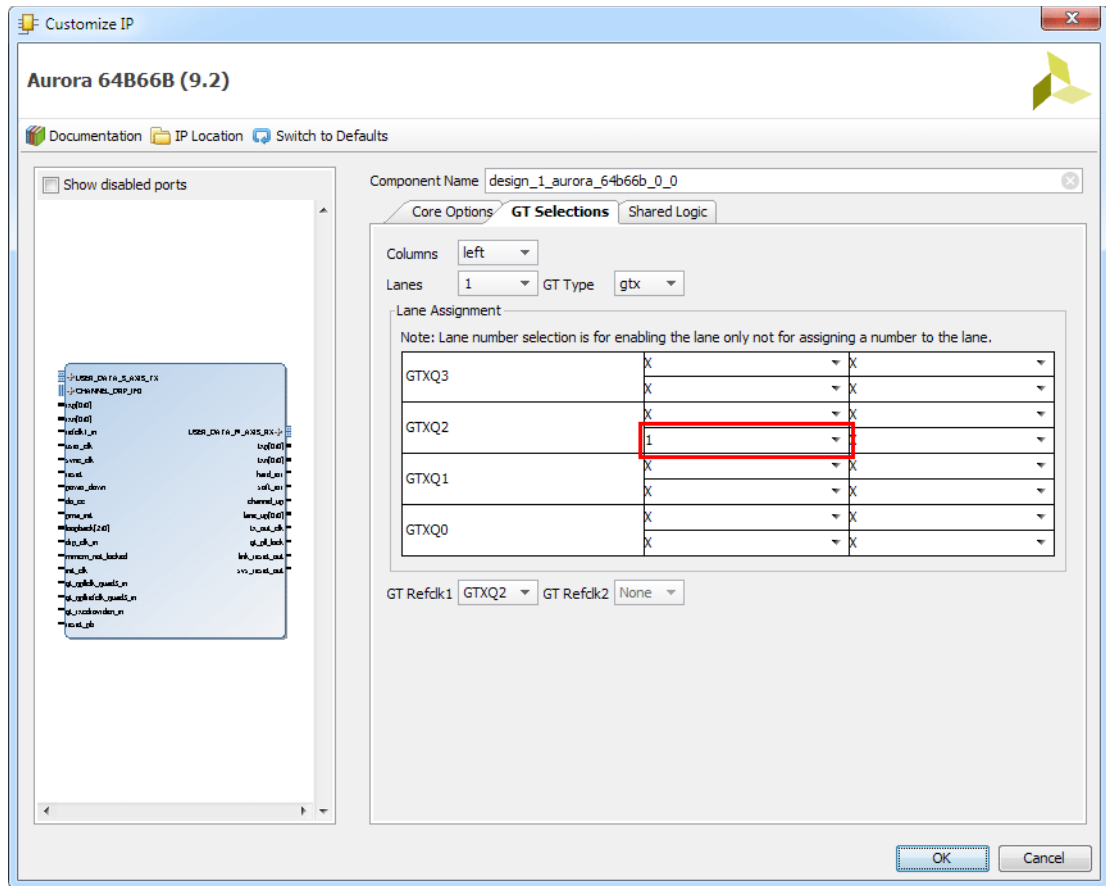


図 5 : マスタープラットフォームの Aurora 64B/66B の [GT Selections] タブ

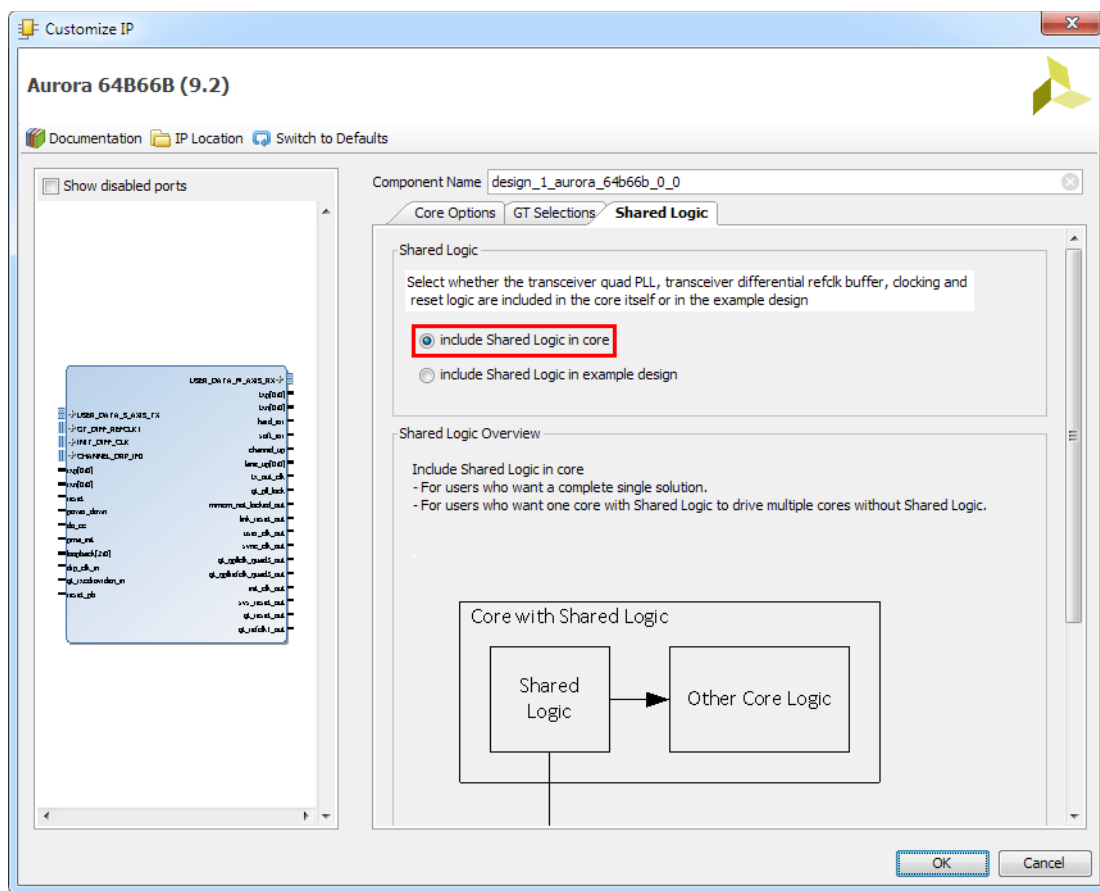


図 6: マスター プラットフォームの Aurora 64B/66B の [Shared Logic] タブ

AXI Performance Monitor

AXI Performance Monitor コアは、AXI4 インターコネクト システム内の主要なパフォーマンス基準を測定します。このコアは、プロセッサからレジスタにアクセスするためのスレーブ AXI4-Lite インターフェイスで構成されています。AXI Performance Monitor コアは、AXI スレーブと AXI インターコネクト間の読み出しチャンネルおよび書き込みチャンネルをモニターするのみです。このコアが、モニターしている AXI トランザクションを修正することはありません。

AXI Performance Monitor コアは、さまざまなパフォーマンス基準を測定できます。次に例を示します。

- 読み出しバイト総数
- 書き込みバイト総数
- 読み出し要求
- 書き込み要求
- 書き込み応答

カウントの開始および終了条件は、レジスタ インターフェイスを介してプロセッサから送られます。コアのグローバル クロック カウンターが、カウントの開始イベントと終了イベント間のクロック数を測定します。パフォーマンス モニターで使用されるカウンターは、レジスタ インターフェイスを介して 32 ビットまたは 64 ビットに設定できます。ユーザーが選択可能な最終的な基準値もレジスタ インターフェイスを介して読み出すことができます。

リファレンス デザインでは、マスター AXI Chip2Chip コアのスレーブ AXI インターフェイスをモニターし、パフォーマンス基準をレポートします。

マスター システムのクロッキング

マスター プラットフォームのクロッキング要件は、リファレンス デザインのバージョンによって異なります。KC705 ボード上の Aurora 64B/66B コアは、KC705 ボード スレーブ プラットフォーム バージョンの内部クロックを使用します。ZC706 スレーブ プラットフォーム バージョンには、GT 基準クロック用に 125MHz の外部 SMA クロックが必要です。KC705 ボードは、コネクタ J15 および J16 で外部 SMA クロックを受信します。

SMA データ接続

マスター プラットフォームとスレーブ プラットフォーム間は、コネクタ J17、J18、J19 および J20 を使用して SMA データ ケーブルで接続されます。

AXI System II プラットフォームの設定

AXI Chip2Chip コア スレーブ インスタンス (slave_c2c)

このリファレンス デザインでは、64 ビットの AXI Chip2Chip コア スレーブ インスタンスを独立クロッキング モードで PHY 層の動作周波数を 250MHz に設定しています。AXI Chip2Chip コアの AXI4 および AXI4-Lite インターフェイスは、スレーブ モードとしています。720p のリアルタイム ビデオトラフィック信号の送受信に必要なデータ レートを確保するため、[PHY Type] に [Aurora 64B/66B] を、[PHY Width] に [Compact 2-1] を選択しています。AXI の [WUser Width] は 1 ビットに設定しています (図 7 参照)。通常、AXI4 および AXI4-Lite モードを除くすべてのパラメーターは、AXI Chip2Chip コアのマスター インスタンスと同じになるように設定します。

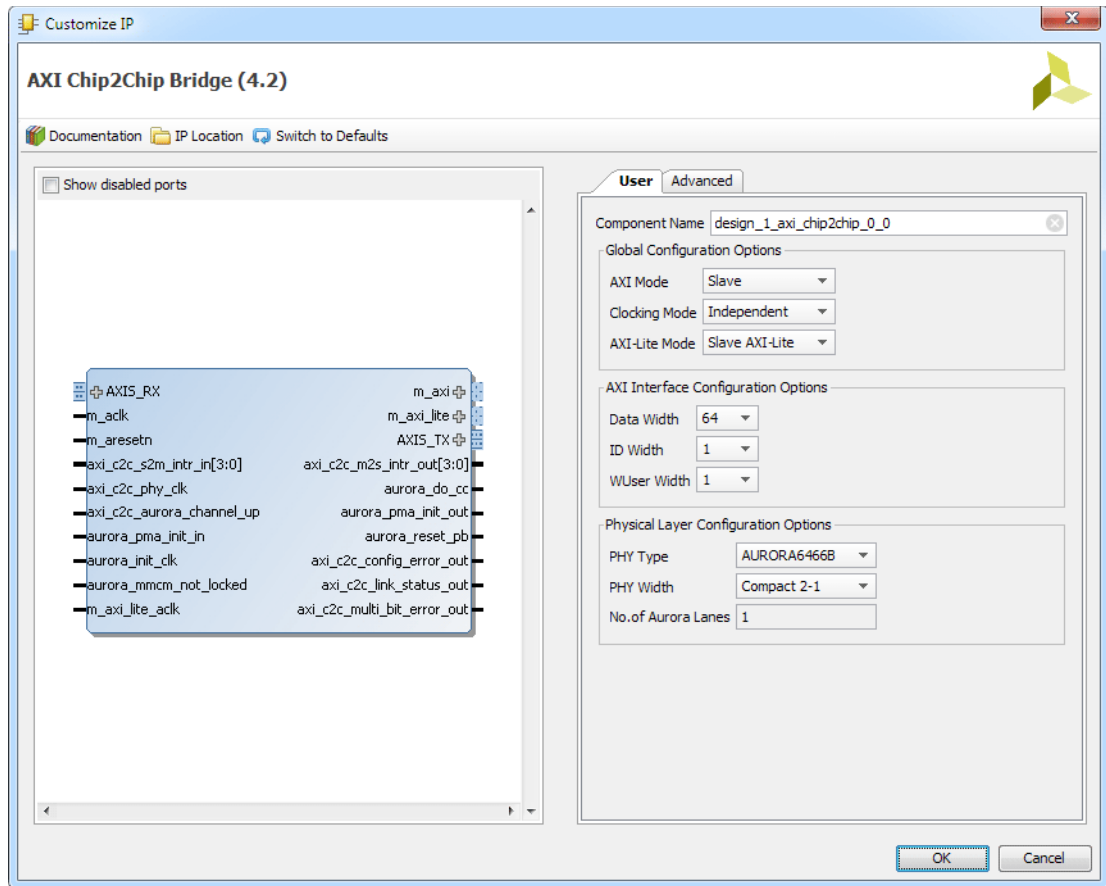


図 7: AXI Chip2Chip コアのスレーブ モード コンフィギュレーション

Aurora 64B/66B

AXI Chip2Chip コアのこのコンフィギュレーションで、Aurora 64B/66B コアは PHY 層として機能します。Aurora コアは、GT 基準クロックに 125MHz の外部 SMA クロックを使用します。ラインレートは、全二重データフローモードで 6.25Gb/s に設定されています。2つのスレーブプラットフォームは、マスタープラットフォームと同じコンフィギュレーションを使用します。KC705 ボードまたは ZC706 のいずれかを使用するスレーブプラットフォームの Aurora コアの [Core Options] タブで図 8 のように設定する必要があります。

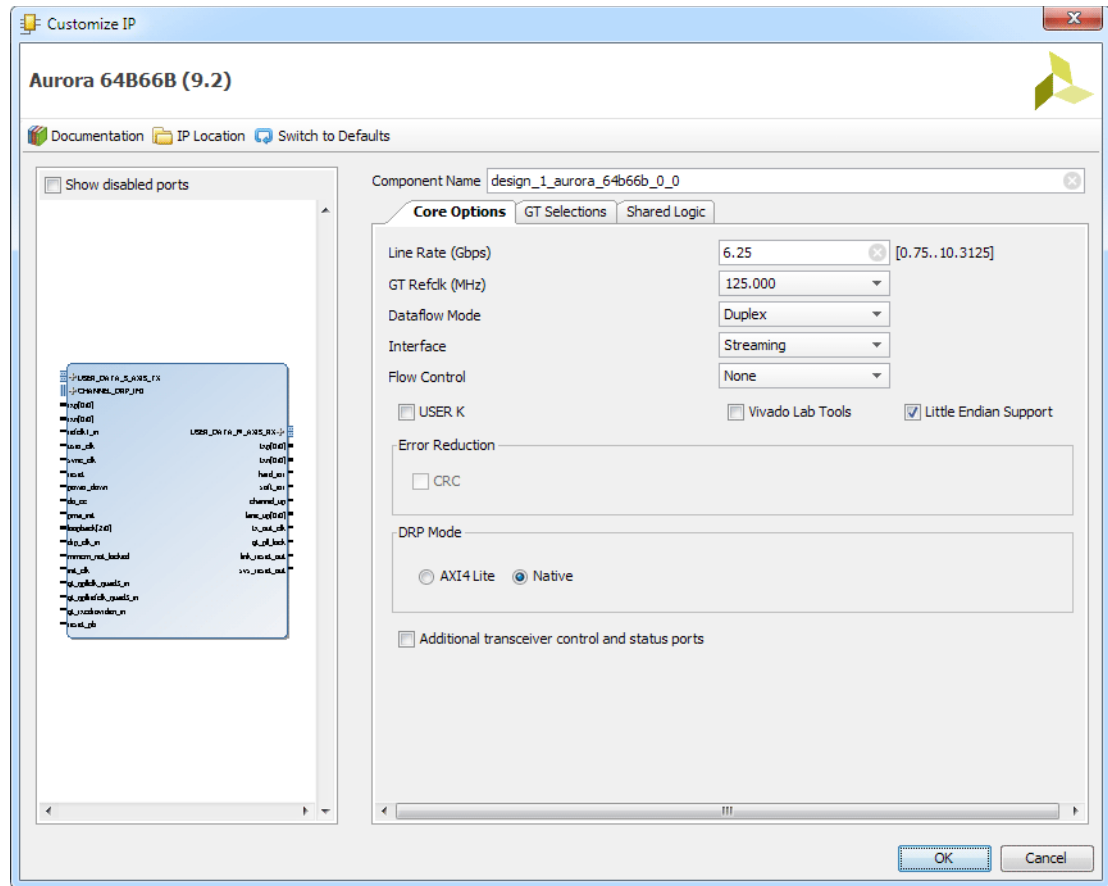


図 8 : スレーブ プラットフォームの Aurora 64B/66B の [Core Options] タブ

KC705 ボードを使用するスレーブ プラットフォームの Aurora コアの [GT Selections] は、図 9 のようになります。図のように、レーンがクワッド 2 (GTXQ2) の最初のトランシーバーに割り当てられていることを確認してください。

注記 : GTXQ2 トランシーバーは、KC705 ボードの SMA コネクタへ割り当てられる唯一のトランシーバーです。リストボックスの設定の上にカーソルを置くと、ツールチップが表示されて選択したトランシーバーの位置を確認できます。

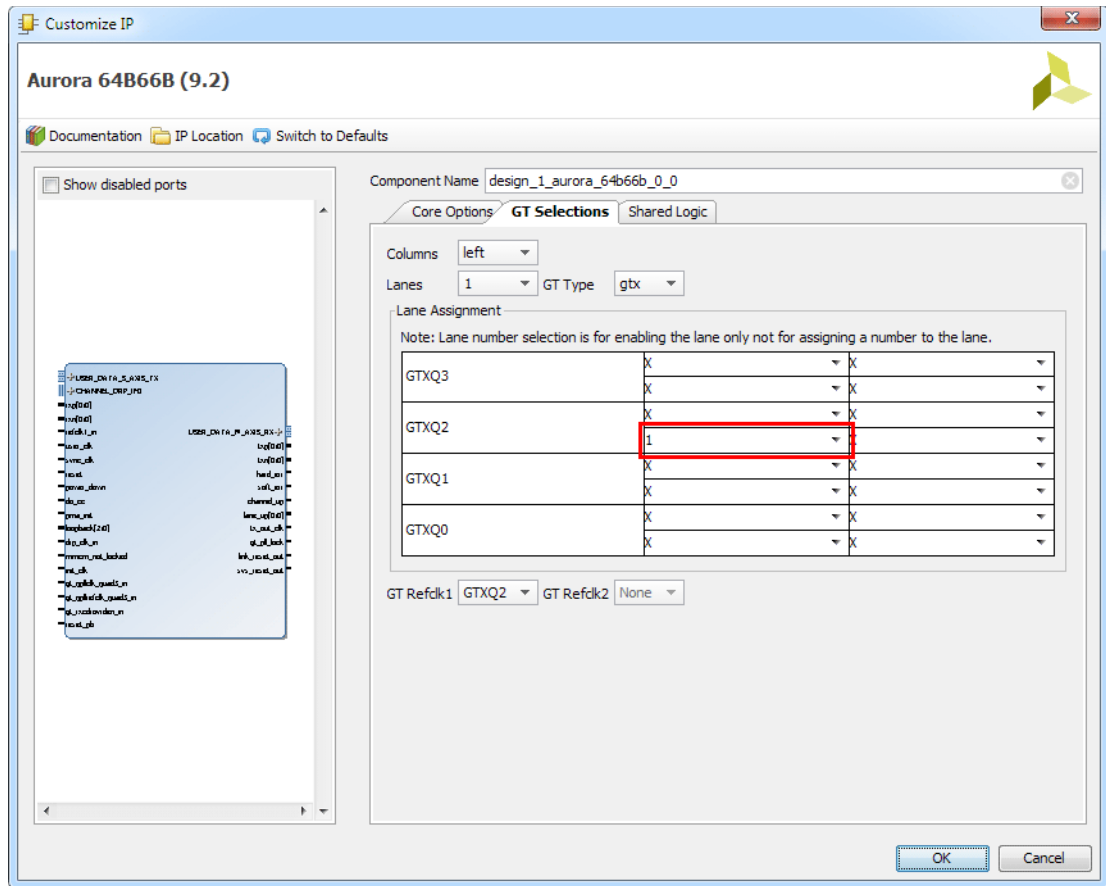


図 9 : KC705 スレーブ プラットフォームの Aurora 64B/66B の [GT Selections] タブ

ZC706 ボードを使用するスレーブ プラットフォームの Aurora コアの [GT Selections] は、[図 10](#) のようになります。図のように、レーンがクワッド 2 (GTXQ2) の 2 つ目のトランシーバーに割り当てられていることを確認してください。

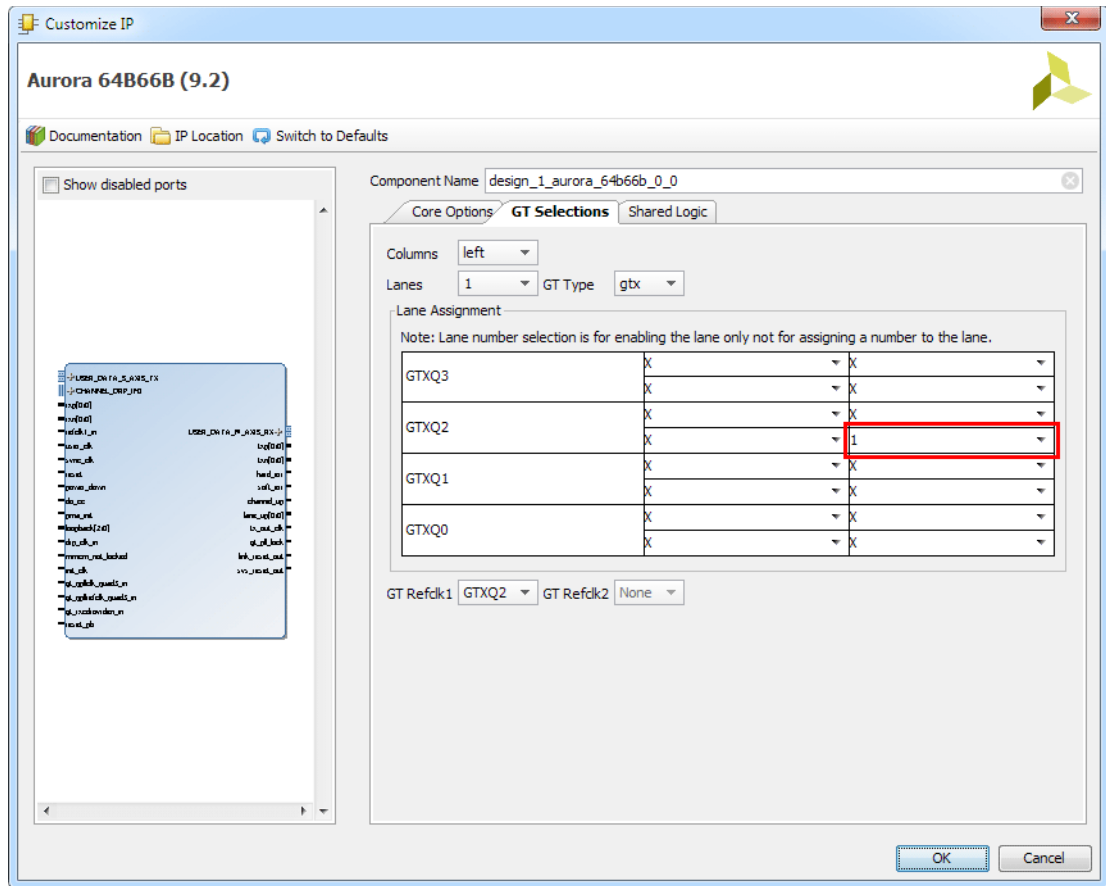


図 10 : ZC706 スレーブ プラットフォームの Aurora 64B/66B の [GT Selections] タブ

[Shared Logic] タブでは、図 11 のように [include Shared Logic in core] がオンになっていることを確認してください。

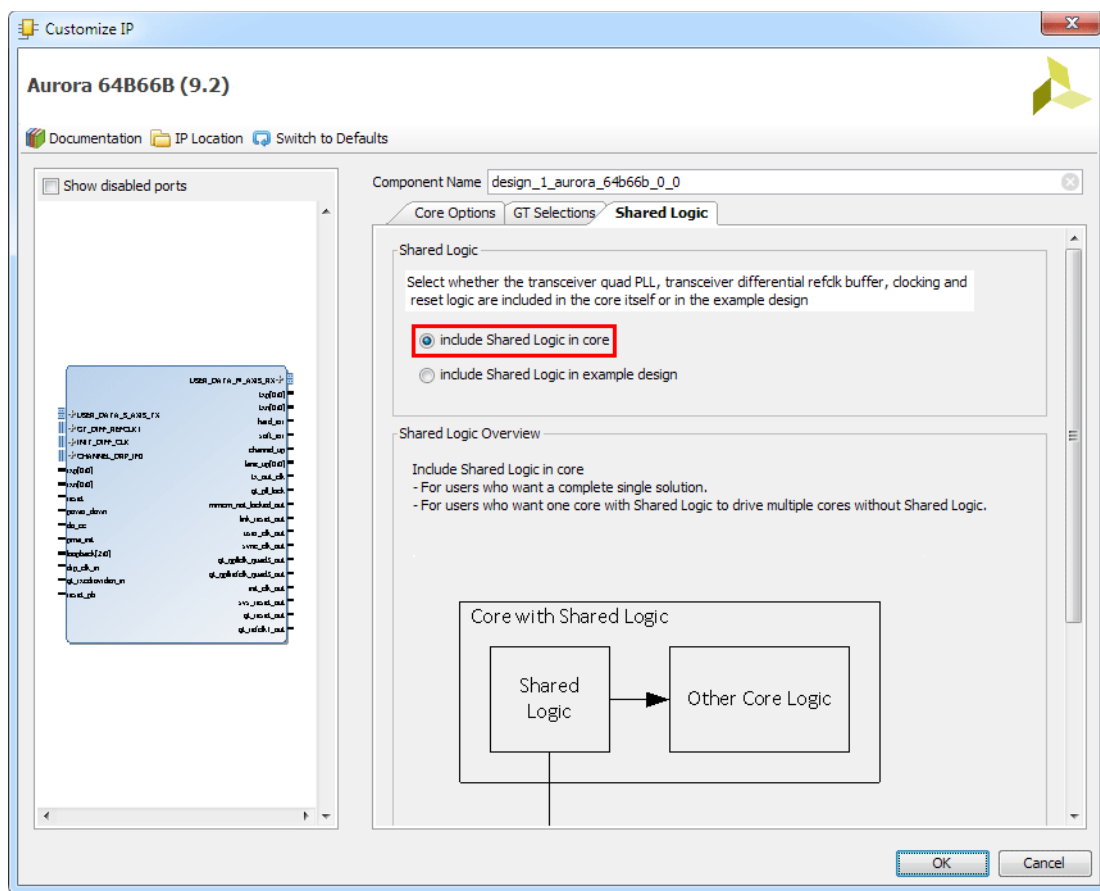


図 11: スレーブプラットフォームの Aurora 64B/66B の [Shared Logic] タブ

スレーブプラットフォームのメモリシステム

KC705 スレーブプラットフォームでは、7シリーズデバイスメモリインターフェイスソリューションコアを使用してDDR3 SDRAM デバイスとのインターフェイスを作成します。AXI インターフェイスは、64ビットで動作周波数は200MHzに設定されています。7シリーズデバイスメモリインターフェイスソリューションコアは、読み出し/書き込み受け入れ数を2、書き込み/読み出し深さを512としています。AXI4 インターコネクトメモリコントローラーポートFIFOは有効にしています。メモリインターフェイスソリューションコアの詳細は、『Zynq-7000 SoC および7シリーズデバイスメモリインターフェイスソリューション』(UG586) [参照 7] を参照してください。

ZC706 スレーブプラットフォームの場合、AXI Chip2Chip コアはPSの高性能(HP)スレーブAXI4インターフェイスへ接続します。HPポートは、プログラマブルロジック(PL)内のAXIマスターとPSのDDR3メモリを接続する高スループットのデータパスとして利用できます。

スレーブシステムのクロッキング

スレーブプラットフォームのクロッキング要件は、リファレンスデザインのバージョンによって異なります。KC705 ボード上の Aurora 64B/66B コアは、KC705 ボード スレーブプラットフォームバージョンの内部クロックを使用します。ZC706 スレーブプラットフォームバージョンには、GT 基準クロック用に125MHzの外部SMAクロックが必要です。KC705 スレーブプラットフォームのクロッキングは、KC705 マスタープラットフォームと同じです。外部SMAクロックがKC705 ボード上のJ15およびJ16に接続されます。

ZC706 スレーブプラットフォームでは、外部SMAクロックがZC706 ボード上のJ36およびJ31に接続されます。

シリアルトランシーバー コネクタ

マスタープラットフォームとスレーブプラットフォーム間は、SMA データ ケーブルで接続します。データ ケーブルは、KC705 ボード上の J17、J66、J19、J20、および ZC706 ボード上の J32、J33、J34、J35 へ接続します。

ソフトウェアアプリケーション

マスタープラットフォーム (ボード A) 用のアプリケーション ソフトウェアで AXI4-Lite スレーブを設定します。ソフトウェアアプリケーションの詳細は、『AXI VDMA リファレンス デザイン』(XAPP742) [参照 4] を参照してください。

ハードウェアの構築

このセクションでは、ハードウェア デザインを再構築する方法について説明します。プロジェクトを再構築する前に、Vivado design suite 2014.1: System Edition が適切にインストールされていることを確認してください。

マスタープラットフォームを再構築する

1. このアプリケーション ノートに付属するリファレンス デザイン ファイルを解凍します (28 ページの「リファレンス デザイン」参照)。デザインファイルが置かれるローカル ホルダーを <unzip dir> とします。

注記 : Windows ワークステーションでは、ソース フォルダーにある長いパス名と合うように、選択したドライブのルート ディレクトリにデザイン ファイルを置く必要がある場合があります。

2. Vivado Design Suite を起動します。
3. [Open Project] をクリックして、次のワークスペースを選択します。

KC705 スレーブプラットフォームの場合 :

```
<unzip_dir>/c2c_aurora/kintex-kintex/HW/master/project_1/project_1.xpr
```

ZC706 スレーブプラットフォームの場合 :

```
<unzip_dir>/c2c_aurora/kintex-zynq/HW/master/project_1/project_1.xpr
```

4. [OK] をクリックします。
5. [Flow] → [Generate Bitstream] をクリック、または Flow Navigator で [Program and Debug] の下にある [Generate Bitstream] をクリックします。合成およびインプリメンテーションの実行を開始する画面が表示されたら、[Yes] をクリックします。

スレーブ プラットフォームを再構築する

1. 必要に応じて、このアプリケーション ノートに付属するリファレンス デザイン ファイルを解凍します (28 ページの「リファレンス デザイン」参照)。デザイン ファイルが置かれるローカル ホルダーを <unzip dir> とします。
2. Vivado Design Suite を起動します。
3. [Open Project] をクリックして、次のワークスペースを選択します。

KC705 スレーブ プラットフォームの場合：

```
<unzip_dir>/c2c_aurora/kintex-kintex/HW/slave/project_1/project_1.xpr
```

ZC706 スレーブ プラットフォームの場合：

```
<unzip_dir>/c2c_aurora/kintex-zynq/HW/slave/project_1/project_1.xpr
```

4. [OK] をクリックします。
5. [Flow] → [Generate Bitstream] をクリック、または Flow Navigator で [Program and Debug] の下にある [Generate Bitstream] をクリックします。合成およびインプリメンテーションの実行を開始する画面が表示されたら、[Yes] をクリックします。

SDK でソフトウェア アプリケーションをコンパイルする

1. SDK を起動します。
2. Workspace Launcher で、次のようにワークスペース パスを選択して [OK] をクリックします。

KC705 スレーブ プラットフォームの場合：

```
<unzip_dir>/c2c_aurora/kintex-kintex/SW/master/SW
```

ZC706 スレーブ プラットフォームの場合：

```
<unzip_dir>/c2c_aurora/kintex-zynq/SW/master/SW
```

3. [Project] → [Build All] をクリックします。
4. ワークスペースに SDK のプロジェクトが表示されない場合は、次の手順に従って SDK プロジェクトをインポートしてください。
 - a. [File] → [Import] をクリックします。
 - b. [General] → [Existing Projects into Workspace] をクリックします。
 - c. [Next] をクリックします。
 - d. 次のルート ディレクトリに移動します。

KC705 スレーブ プラットフォームの場合：

```
<unzip_dir>/c2c_aurora/kintex-kintex/SW/master/SW
```

ZC706 スレーブ プラットフォームの場合：

```
<unzip_dir>/c2c_aurora/kintex-zynq/SW/master/SW
```

- e. [Finish] をクリックします。

これでボード サポート パッケージ (BSP) とソフトウェア アプリケーションがコンパイルされます。この処理には最大 5 分ほどかかります。完了すると、SDK 内で既存ソフトウェア アプリケーションの変更や新規ソフトウェア アプリケーションの作成が可能になります。

ハードウェア上でのリファレンス デザインの実行

KC705 スレーブ プラットフォーム システムをセットアップする

この例では、マスタープラットフォームおよびスレーブプラットフォームとして機能する 2 つの Kintex-7 FPGA KC705 評価ボード間のリアルタイムビデオトラフィックを示します (3 ページの図 2 参照)。マスタープラットフォームとなる AXI System I (ボード A) は、SMA データ ケーブルを使用してスレーブプラットフォームの AXI System II (ボード B) と接続しています。図 12 に KC705 ボードのコネクタを示します。

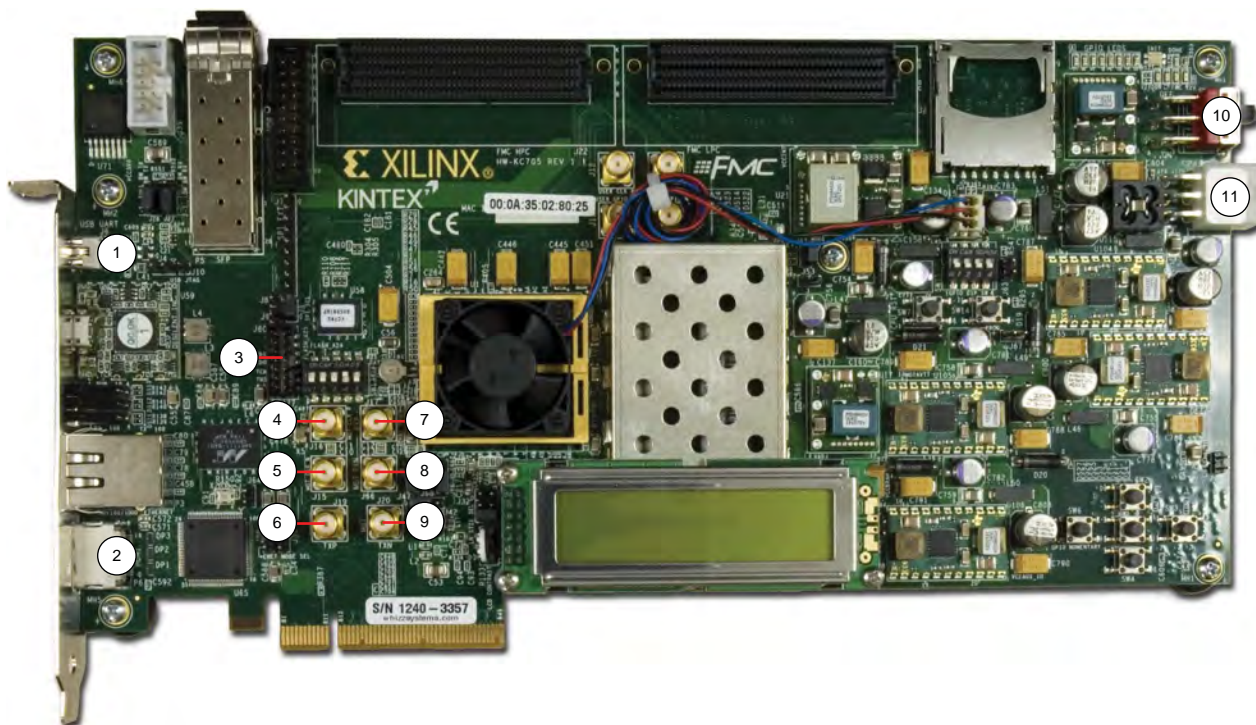


図 12 : KC705 ボードのコネクタ

次の手順のかつこ内の番号は図 12 に示す番号に対応しています。両端 SMA コネクタ付きケーブルを使用して、次の接続を行います。

1. ボード A の TXP (6) をボード B の RXP (7) へ接続します。
2. ボード A の TXN (9) をボード B の RXN (8) へ接続します。
3. ボード B の TXP (6) をボード A の RXP (7) へ接続します。
4. ボード B の TXN (9) をボード A の RXN (8) へ接続します。

特定ケーブルを使用して、次の接続を行います。

1. Type-A/Mini-B の 5 ピン USB ケーブルを使用して、ホスト PC からボード A (1) の USB UART ポートへ接続します。ホスト PC に適切なデバイスドライバがインストールされていることを確認します。『Kintex-7 FPGA KC705 評価キット スタートアップガイド』(UG883) [参照 11] を参照してください。
2. JTAG プラットフォーム USB ケーブルをボード A のプラットフォーム ケーブルヘッダー (3) へ接続します。
3. JTAG プラットフォーム USB ケーブルをボード B のケーブルヘッダー (3) へ接続します。
4. HDMI ビデオ ケーブルを使用して、ボード A の HDMI コネクタ (2) から解像度 1280 x 720p で 60Hz のビデオ信号を表示できるモニターへ接続します。
5. KC705 ユニバーサル 12v 電源アダプター ケーブルを両方のボードの電源コネクタ (11) へ接続します。

6. 両方のボードの電源スイッチ (10) を ON の位置に設定します。
セットアップが完了すると、[図 13](#) のようになります。

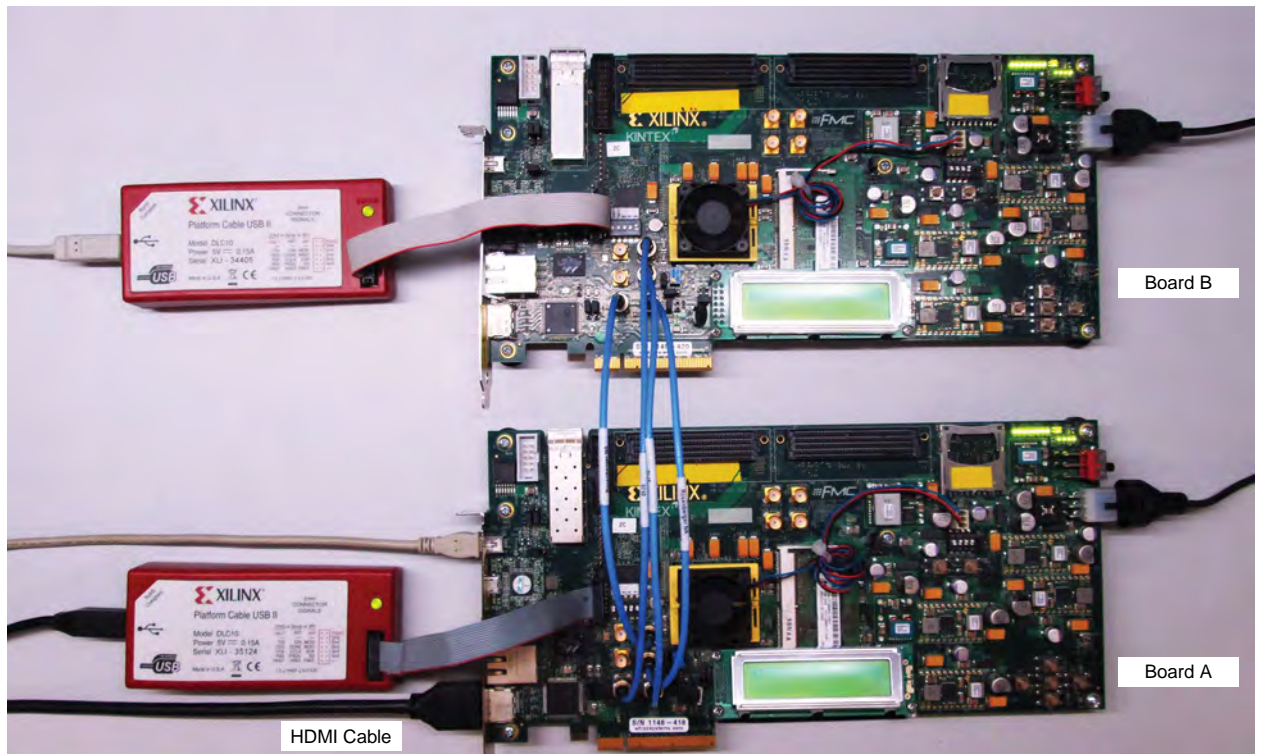


図 13 : KC705 マスター プラットフォームから KC705 スレーブ プラットフォームへのセットアップ

KC705 スレーブ プラットフォーム リファレンス デザインを実行する

1. ホスト PC 上で、次の設定を使用してハイパーターミナルなどの端末プログラムを起動します。
 - 。 ボーレート : 9600
 - 。 データ ビット : 8
 - 。 パリティ : なし
 - 。 ストップ ビット : 1
 - 。 フロー制御 : なし
2. JTAG プラットフォーム USB ケーブルを使用して、ボード B からホスト PC へ接続します。
3. コマンド シェルまたはターミナル ウィンドウで、次のコマンドを実行してスレーブ ダウンロード ディレクトリに移動します。

```
% cd <unzip_dir>/c2c_aurora/kintex-kintex/ready_for_download/slave
```

4. Xilinx Microprocessor Debugger ツールを起動します。

Windows の場合 :

[スタート] → [すべてのプログラム] → [Xilinx Design Tools] → [SDK 2014.1] → [Xilinx Microprocessor Debugger 2014.1] をクリックします。

Linux の場合 :

```
% xmd
```

5. ビットストリーム ファイルをボード B にダウンロードします。

```
XMD% fpga -f design_1_wrapper.bit
```

6. XMD コマンド プロンプトを終了します。

```
XMD% exit
```

7. JTAG プラットフォーム USB ケーブルを使用して、ボード A からホスト PC へ接続します。
8. コマンド シェルまたはターミナル ウィンドウで、次のコマンドを実行してマスター ダウンロード ディレクトリに移動します。

```
% cd <unzip_dir>/c2c_aurora/kintex-kintex/ready_for_download/master
```

9. Xilinx Microprocessor Debugger ツールを起動します。

Windows の場合 :

[スタート] → [すべてのプログラム] → [Xilinx Design Tools] → [SDK 2014.1] → [Xilinx Microprocessor Debugger 2014.1] をクリックします。

Linux の場合 :

```
% xmd
```

10. ビットストリーム ファイルをボード A にダウンロードします。

```
XMD% fpga -f design_1_wrapper.bit
```

11. プロセッサを接続します。
XMD% connect mb mdm
12. ソフトウェアのダウンロード時にシステム全体のリセットを無効にします。
XMD% debugconfig -reset_on_run system disable
13. プロセッサをリセットします。
XMD% rst -processor
14. プロセッサ コード ファイルをダウンロードします。
XMD% dow app_vp.elf
15. リファレンス システムを実行します。
XMD% run
16. 両方のボード上にある axi_c2c_link_status_out LED (AA8) が点灯していることを確認します。LED の定義については、7 ページの表 4 を参照してください。
17. ハイパーターミナル コンソールに表示されるメニューから、パターンを 1 つ選択します。

26 ページの「ハードウェアおよびソフトウェアの実行結果」へ進みます。

ZC706 スレーブ プラットフォーム システムをセットアップする

この例では、マスタープラットフォームとして機能する Kintex-7 FPGA KC705 評価ボードとスレーブプラットフォームとして機能する Zynq-7000 AP SoC ZC706 評価ボード間のリアルタイム ビデオ トラフィックを示します (3 ページの図 2 参照)。マスタープラットフォームとなる AXI System I (ボード A) は、SMA データ ケーブルを使用してスレーブプラットフォームの AXI System II (ボード B) と接続しています。さらに、SMA ケーブルを使用して、125MHz の外部クロックソースをマスタープラットフォームとスレーブプラットフォームに接続します。20 ページの図 12 に KC705 ボードのコネクタを示します。図 14 に ZC706 ボードのコネクタを示します。

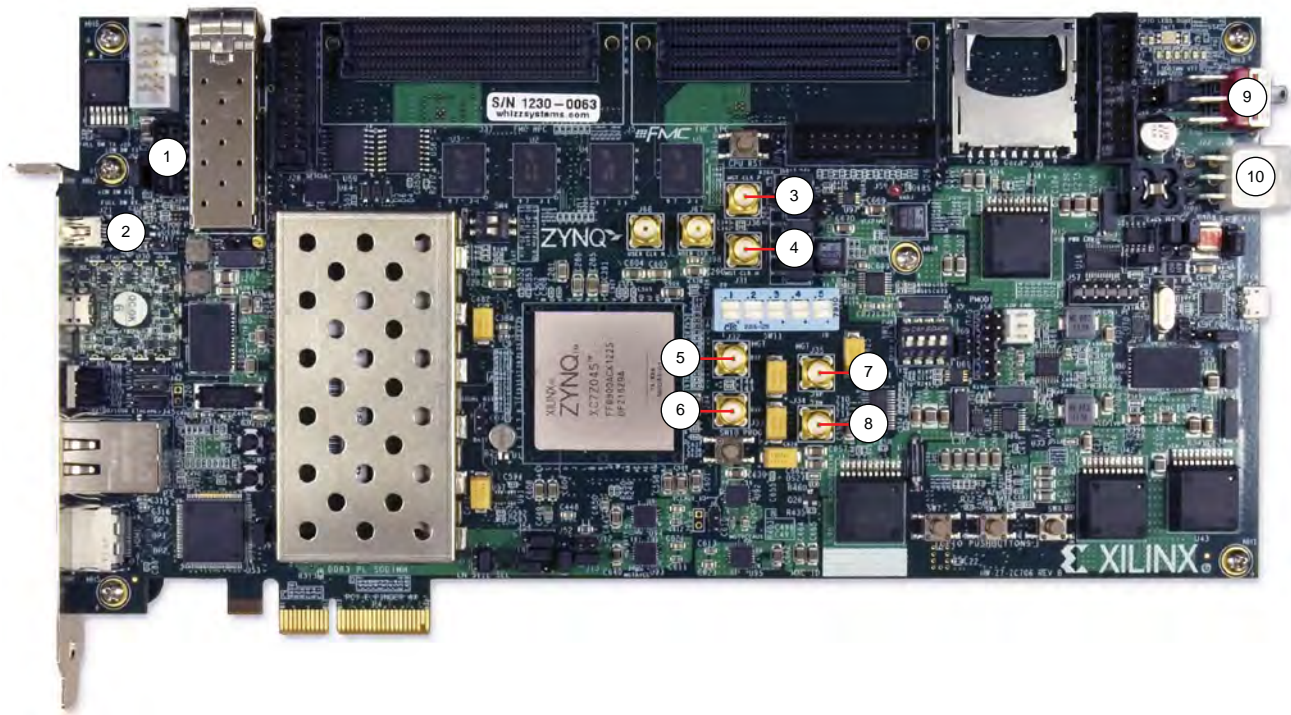


図 14 : ZC706 ボードのコネクタ

次の手順のカッコ内の番号は、KC705 (ボード A) の場合は 20 ページの図 12、ZC706 (Board B) の場合は図 14 に示す番号に対応しています。両端 SMA コネクタ付きケーブルを使用して、次の接続を行います。

1. ボード A の TXP (6) をボード B の RXP (5) へ接続します。
2. ボード A の TXN (9) をボード B の RXN (6) へ接続します。
3. ボード B の TXP (7) をボード A の RXP (7) へ接続します。
4. ボード B の TXN (8) をボード A の RXN (8) へ接続します。
5. クロック ソース 1 の CLKP をボード A の MGT CLK P (4) へ接続します。
6. クロック ソース 1 の CLKN をボード A の MGT CLK N (5) へ接続します。
7. クロック ソース 2 の CLKP をボード B の MGT CLK P (3) へ接続します。
8. クロック ソース 2 の CLKN をボード B の MGT CLK N (4) へ接続します。

特定ケーブルを使用して、次の接続を行います。

1. Type-A/Mini-B の 5 ピン USB ケーブルを使用して、ホスト PC からボード A (1) の USB UART ポートへ接続します。ホスト PC に適切なデバイスドライバがインストールされていることを確認します。『Kintex-7 FPGA KC705 評価キット スタートアップガイド』(UG883) [参照 11] を参照してください。
2. JTAG プラットフォーム USB ケーブルをボード A のプラットフォーム ケーブル ヘッダー (3) へ接続します。
3. JTAG プラットフォーム USB ケーブルをボード B のプラットフォーム ケーブル ヘッダー (1) へ接続します。
4. HDMI ビデオ ケーブルを使用して、ボード A の HDML コネクタ (2) から解像度 1280 x 720p で 60Hz のビデオ信号を表示できるモニターへ接続します。
5. KC705 ユニバーサル 12v 電源アダプター ケーブルをボード A の電源コネクタ (11) へ接続します。
6. ZC706 ユニバーサル 12v 電源アダプター ケーブルをボード B の電源コネクタ (10) へ接続します。
7. ボード A の電源スイッチ (10) とボード B の電源スイッチ (9) を ON の位置にします。

セットアップが完了すると、[図 15](#) のようになります。

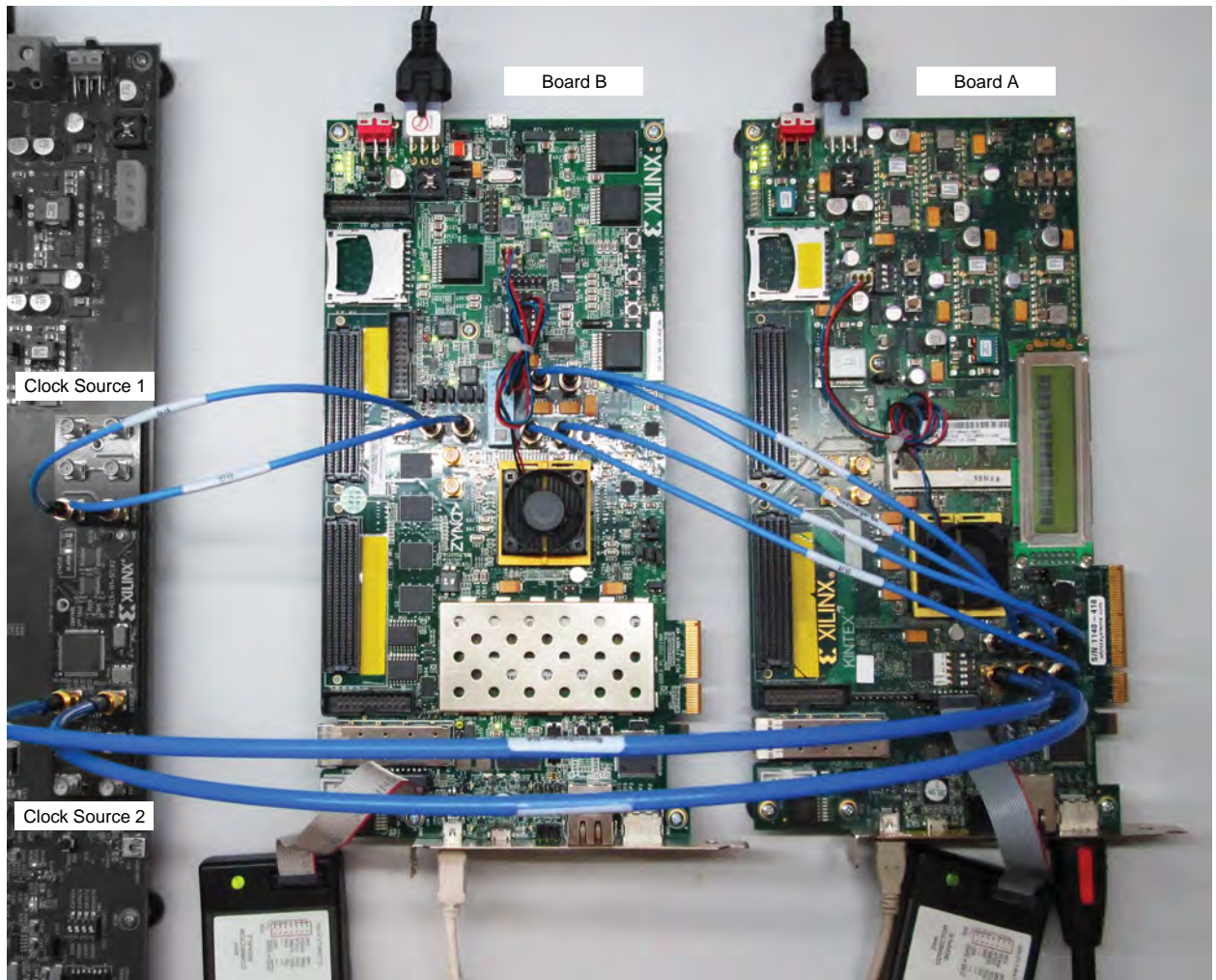


図 15: KC705 マスタープラットフォームから ZC706 スレーブ プラットフォームへのセットアップ

ZC706 スレーブ プラットフォーム リファレンス デザインを実行する

1. ホスト PC 上で、次の設定を使用してハイパーターミナルなどの端末プログラムを起動します。
 - 。 ボーレート : 9600
 - 。 データビット : 8
 - 。 パリティ : なし
 - 。 ストップビット : 1
 - 。 フロー制御 : なし
2. JTAG プラットフォーム USB ケーブルを使用して、ボード B からホスト PC へ接続します。
3. コマンド シェルまたはターミナル ウィンドウで、次のコマンドを実行してスレーブ ダウンロード ディレクトリに移動します。


```
% cd <unzip_dir>/c2c_aurora/kintex-zynq/ready_for_download/slave
```
4. Xilinx Microprocessor Debugger ツールを起動します。

Windows の場合 :

[スタート] → [すべてのプログラム] → [Xilinx Design Tools] → [SDK 2014.1] → [Xilinx Microprocessor Debugger 2014.1] をクリックします。

Linux の場合 :

- ```
% xmd
```
5. ボード B に Tcl ソース ファイルを読み込みます。  
XMD% source slave.tcl
  6. XMD コマンド プロンプトを終了します。  
XMD% exit
  7. JTAG プラットフォーム USB ケーブルを使用して、ボード A からホスト PC へ接続します。
  8. コマンド シェルまたはターミナル ウィンドウで、次のコマンドを実行してマスター ダウンロード ディレクトリに移動します。  
% cd <unzip\_dir>/c2c\_aurora/kintex-zynq/ready\_for\_download/master
  9. Xilinx Microprocessor Debugger ツールを起動します。

Windows の場合 :

[スタート] → [すべてのプログラム] → [Xilinx Design Tools] → [SDK 2014.1] → [Xilinx Microprocessor Debugger 2014.1] をクリックします。

Linux の場合 :

- ```
% xmd
```
10. ビットストリーム ファイルをボード A にダウンロードします。
XMD% fpga -f design_1_wrapper.bit
 11. プロセッサを接続します。
XMD% connect mb mdm
 12. ソフトウェアのダウンロード時にシステム全体のリセットを無効にします。
XMD% debugconfig -reset_on_run system disable
 13. プロセッサをリセットします。
XMD% rst -processor
 14. プロセッサ コード ファイルをダウンロードします。
XMD% dow app_vp.elf
 15. リファレンス システムを実行します。
XMD% run
 16. 両方のボード上にある axi_c2c_link_status_out LED (KC705 は AA8、ZC706 は Y21) が点灯していることを確認します。LED の定義については、[7 ページの表 4](#) を参照してください。
 17. ハイパーターミナル コンソールに表示されるメニューから、パターンを 1 つ選択します。

ハードウェアおよびソフトウェアの実行結果

リファレンス デザインの 2 つのバージョンは、同じ結果になります。この例では、解像度 720p のみサポートされていません。デザインを実行する際、ハイパーターミナル コンソールの画面は [図 16](#) と同じになる必要があります。

```
--- Entering main() ---
HDMI Config done
4
Resolution: 1280x720
Initializing Video Pipe
VDMA initialization done
Starting TPG
-----
--                                     Pattern Menu                                     --
-----

Selection option
0 = Horizontal RAMP
1 = Vertical RAMP
2 = Flat RED
3 = Flat GREEN
4 = Flat BLUE
5 = Color Bars
6 = Zone Plates
7 = Tartan Bars
8 = Cross Hatch
9 = DDR Bandwidth

q = exit
? = help
-----
>
```

図 16: ハイパーターミナルの出力: パターン選択メニュー

1. ハイパーターミナル コンソールを使用して、いずれかのオプションを選択してモニター画面で確認します。
 - 。 0: 水平ランプ パターンを表示
 - 。 1: 垂直ランプ パターンを表示
 - 。 2: 全画面赤を表示
 - 。 3: 全画面緑を表示
 - 。 4: 全画面青を表示
 - 。 5: カラー バー パターンを表示
 - 。 6: ゾーンプレートを表示
 - 。 7: 格子バー パターンを表示
 - 。 8: クロスハッチ パターンを表示
 - 。 9: 端末上にパフォーマンス関連の基準を表示

これらのオプション選択後、ハイパーターミナル コンソール画面が図 17 のようになります。

```

>0
>1
>2
>3
>4
>5
>6
>7
>8
>9
--GlblCnt : 08F0D1D7 , Slot1 Wr Byte 0 , Rd Byte:0--
Slave DDR Throughput:-> 390389736

-----DDR3, AXI4 Slave Profile Summary.....

Theoretical DDR Bandwidth                = 6400000000
Practical DDR bandwidth                   = 390389736 bytes/sec
Resolution: 1280x720 @ 60 Hz

Percentage of DDR Bandwidth consumed by frame of resolution (1280x720) @ 60 Hz (Approx.)= 6.09
>

```

図 17: 端末出力: メニュー選択

リファレンス デザインで使用される Chip2Chip の理論上の帯域幅は 1.5GB/s です。720p のビデオトラフィックに必要な帯域幅は 0.332GB/s です。有効な DDR 帯域幅の割合は、6.09% (0.390/6.4) です。ハイパーターミナル コンソールに表示される値は、ここに示す例とは異なる場合があります。

リファレンス デザイン

このアプリケーション ノートの [リファレンス デザイン ファイル](#) は、ザイリンクスのウェブサイトからダウンロードできます。

表 5 に、リファレンス デザインの詳細を示します。

表 5: リファレンス デザインの詳細

パラメーター	説明
全般	
ターゲット デバイス	Kintex-7 FPGA および Zynq-7000 AP SoC
ソース コードの提供	あり
ソース コードの形式	VHDL、Verilog
既存のザイリンクス アプリケーション ノート、リファレンス デザイン、またはサードパーティからデザインへのコード/IP の使用	あり

表 5: リファレンス デザインの詳細 (続き)

パラメーター	説明
シミュレーション	
論理シミュレーションの実施	N/A
タイミングシミュレーションの実施	N/A
論理シミュレーションおよびタイミング シミュレーションでのテストベンチの利用	N/A
テストベンチの形式	N/A
使用したシミュレータ/バージョン	N/A
SPICE/IBIS シミュレーションの実施	N/A
インプリメンテーション	
使用した合成ツール/バージョン	Vivado synthesis
使用したインプリメンテーション ツール/バージョン	Vivado Design Suite 2014.1
スタティック タイミング解析の実施	あり (配置配線でタイミング検証に合格)
ハードウェア検証	
ハードウェア検証の実施	あり
使用したハードウェアプラットフォーム	KC705 評価ボード (x 2)、ZC706 評価ボード (x 1)

デザインの特性

リファレンス デザインは、Vivado Design Suite 2014.1 を使用して、Kintex-7 FPGA (XC7K325T-2FFG900) およびオプションとして Zynq-7000 AP SoC (XC7Z045-2FFG900C) デバイスをターゲットに実装されています。

使用率とパフォーマンス

表 6 に、KC705 スレーブ プラットフォーム リファレンス デザインのリソース使用率を示します。

表 6: KC705 スレーブ プラットフォーム リファレンス デザインのリソース使用率

モード	LUT	スライスレジスタ	メモリ	DSP	IO	トランシーパーチャネル	クロッキング
マスター	42,636	47,797	88	15	154	1	15
スレーブ	21,491	21,633	6	0	16	1	10

表 7 に、ZC706 スレーブ プラットフォーム リファレンス デザインのリソース使用率を示します。

表 7: ZC706 スレーブ プラットフォーム リファレンス デザインのリソース使用率

モード	LUT	スライスレジスタ	メモリ	DSP	IO	トランシーパーチャネル	クロッキング
マスター	42,636	47,797	88	15	154	1	15
スレーブ	2,739	5,417	6	0	16	1	10

表 8 と表 9 は、各バージョンのリファレンス デザインにおける AXI Chip2Chip コアのマスターおよびスレーブ インスタンスのデバイス リソース使用率を示したものです。これらの表に示す情報は、XPS の [Design Overview] → [Module Level Utilization] を選択して表示される [Design Summary] タブから取得しています。モジュールの境界を越えたロジック最適化やモジュール間のロジック共有などがあるため、使用率の情報は概算値です。

表 8: KC705 スレーブ プラットフォーム リファレンス デザインのモジュールレベルのリソース使用率

IP コア	モード	LUT	スライスレジスタ	メモリ	DSP	IO	トランシーバーチャネル	クロッキング
AXI Chip2Chip	マスター	1,165	2,201	5	0	N/A	0	0
AXI Chip2Chip	スレーブ	1,069	2,121	5	0	N/A	0	0

表 9: ZC706 スレーブ プラットフォーム リファレンス デザインのモジュールレベルのリソース使用率

IP コア	モード	LUT	スライスレジスタ	メモリ	DSP	IO	トランシーバーチャネル	クロッキング
AXI Chip2Chip	マスター	1,165	2,201	5	0	N/A	0	0
AXI Chip2Chip	スレーブ	1,099	2,187	5	0	N/A	0	0

注記: スライスには、複数の IP コアおよび階層からの基本エレメントをパックできます。したがって、パックされた基本エレメントを共有する各階層モジュールに対して 1 スライスがカウントされます。その結果、全モジュールのスライス数を合計すると、スライスが重複して数えられます。

KC705 スレーブ プラットフォーム ボードのセットアップでは、AXI データ幅を 64 ビット、PHY を動作周波数 125MHz のコンパクト 2:1 Aurora 64B/66B モードとしています。Aurora 64B/66B コアは、101.56MHz (6.5Gb/s/64 bits) のユーザー クロックを必要とする 6.5Gb/s ライン レート用に構成されます。AXI Chip2Chip コアおよび Aurora 64B/66B コアは、マスター AXI Chip2Chip コアへの入力として送信される平均トラフィックよりも理論上のスループット (式 1) が大きくなるように設定する必要があります。

$$\text{Throughput} = \frac{0.75 \times \text{AXI Data Width}}{\text{Muxing Ratio}} \times \text{PHY Frequency} \quad \text{式 1}$$

Chip2Chip コアのオーバーヘッドは、プロトコルが 12.5% および ECC が 12.5% です。たとえば AXI データ幅を 64 ビット、Aurora PHY 層を動作周波数 125MHz のコンパクト 2:1 とした場合、コアの理論上のスループットは 375MB/s となります。したがって、この構成では、1080p60 を可能にする帯域幅 0.747GB/s を必要とするフレーム解像度 1920x1080 をサポートできません。帯域幅の要件が高くなるほど、Aurora 64B/66B コアはより高いライン レートに対応するように設定する必要があります。

多重化率によって、AXI Chip2Chip コアの [PHY Width] パラメーターが決定します。

- 1: コンパクト 1:1
- 2: コンパクト 2:1
- 4: コンパクト 4:1

式 1 は、バースト長が 1 のシステムに適用されます。リファレンス デザインは、AW、AR、および W (または AR および B) AXI4 インターフェイス データを多重化するためにプライオリティ エンコード方式を実行します。つまり、より長いバースト長のシステムで、指定したスロットが空の場合に、有効なチャンネルからのデータが多重化されて送信されます。たとえば、AW および AR チャンネルにデータがない場合、W チャンネルからのデータが送信されます。したがって、バースト長が長いシステムの理論上の帯域幅は、式 1 で算出される値よりも大きくなります (因数 0.75 を無視)。

表 10 に、異なる AXI Chip2Chip コア コンフィギュレーションに必要な入力 I/O 数と出力 I/O 数を示します。影付きの行は、リファレンス デザインで選択したコンフィギュレーションを示しています。低いデータレートまたは少ないピン数を使用する場合は、表 10 および式 1 を使用して適切な設定を判断できます。

表 10: AXI Chip2Chip コア コンフィギュレーションの FPGA I/O 使用率

AXI データ幅	Chip2Chip PHY タイプ	多重化率	入力 I/O 数	出力 I/O 数
32	SelectIO SDR	コンパクト 4:1	19	19
		コンパクト 2:1	31	31
	SelectIO DDR	コンパクト 4:1	10	10
		コンパクト 2:1	16	16
		コンパクト 1:1	29	29
64	SelectIO SDR	コンパクト 4:1	26	26
		コンパクト 2:1	45	45
	SelectIO DDR	コンパクト 4:1	14	14
		コンパクト 2:1	23	23
		コンパクト 1:1	42	42
	Aurora 64b/66b	コンパクト 2:1	1 レーン	1 レーン
		コンパクト 1:1	2 レーン	2 レーン

参考資料

1. AMBA AXI4 [仕様](#)
2. 『LogiCORE IP AXI Chip2Chip 製品ガイド』([PG067](#))
3. 『LogiCORE IP Aurora 64B/66B 製品ガイド』([PG074](#))
4. 『AXI VDMA リファレンス デザイン』([XAPP742](#))
5. 『KC705 評価キットで Aurora 64B66B コア (全二重) を使用するシステムを設計』([XAPP1192](#))
6. 『Vivado Design Suite : AXI リファレンス ガイド』([UG1037](#))
7. 『Zynq-7000 SoC および 7 シリーズ デバイス メモリ インターフェイス ソリューション』([UG586](#))
8. 『Vivado Design Suite ユーザー ガイド :IP インテグレーターを使用した IP サブシステムの設計』([UG994](#))
9. 『Vivado Design Suite チュートリアル : IP インテグレーターを使用して IP サブシステムを設計』([UG995](#))
10. 『Kintex-7 FPGA 用 KC705 評価ボード ユーザー ガイド』([UG810](#))
11. 『Kintex-7 FPGA KC705 評価キット スタートアップ ガイド』([UG883](#))
12. 『Zynq-7000 XC7Z045 All Programmable 用 ZC706 評価ボード ユーザー ガイド』([UG954](#))

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2014 年 8 月 12 日	1.0	初版

法的通知

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of Xilinx's limited warranty, please refer to Xilinx's Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in such critical applications, please refer to Xilinx's Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>.

Automotive Applications Disclaimer

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

© Copyright 2014 Xilinx, Inc. Xilinx, the Xilinx logo, Artix, ISE, Kintex, Spartan, Virtex, Vivado, Zynq, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. AMBA, AMBA Designer, ARM, ARM1176JZ-S, CoreSight, Cortex, and PrimeCell are trademarks of ARM in the EU and other countries. HDMI and High-Definition Multimedia Interface are trademarks of HDMI Licensing LLC. All other trademarks are the property of their respective owners.

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。フィードバックは日本語で入力可能です。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。