



XAPP492 (v1.0) 2010 年 6 月 23 日

Spartan-6 FPGA コネクティビティ TRD (PCIe-DMA-DDR3-GbE) での Aurora 8B/10B シリアル プロトコルのサポート

著者 : Vasu Devunuri, Sunita Jain

概要

ザイリンクス デバイスを使用する設計者は、ターゲット リファレンス デザイン (TRD) を活用することで即座に開発に着手し、さまざまな業界で FPGA ベースのソリューションを作成できるようになります。このアプリケーション ノートでは、Aurora 8B/10B シリアル プロトコルをサポートするように、Spartan-6 FPGA PCIe-DMA-DDR3-GbE TRD を拡張する設計について説明します。[参照 1]

PCIe-DMA ベースのプラットフォームでは、システム メモリと FPGA 間でデータを移動させます。つまり、転送されるデータは FPGA 内で使用可能なだけでなく、Aurora 8B/10B シリアル プロトコルなどのシリアル コネクティビティ プロトコルを使用して別の FPGA へ転送したり、バックプレーンへ送信できます。同様に、別の FPGA またはバックプレーンから Aurora プロトコルを介して当該 FPGA へデータを取り込み、そのデータをシステム メモリへ送信してさらなる処理や解析を行います。このような拡張により、イーサネットの動作を現状のまま維持し、PCIe とイーサネット間および PCIe と Aurora 間のブリッジ機能が実現されます。

コネクティビティ TRD

図 1 の Spartan-6 FPGA コネクティビティ TRD には、PCI Express 用エンドポイント ブロック、GTP トランシーバー、メモリ コントローラーなど Spartan-6 FPGA に統合された主なコンポーネントを示しています。これらのコンポーネントは、アプリケーションにおいてサードパーティ (Northwest Logic 社) のスキャッター/ギャザー DMA (Direct Memory Access) エンジン、Xilinx Platform Studio LocalLink トライモード イーサネット MAC (XPS-LL-TEMAC)、ザイリンクス MIG (Memory Interface Generator) など追加の IP コアと共に動作します。

この TRD は、次のような独立したアプリケーションを導入している x1 PCI Express 用エンドポイント ブロック (v1.1 準拠) です。

- 次のいずれかを提供するネットワーク インターフェイス カード (ネットワーク パスと呼ばれる)
 - 外部のイーサネット PHY を使用する GMII モード — 通常は銅線ネットワークへの接続に使用される
 - FPGA デバイスの GTP トランシーバーを使用する 1000BASE-X モード — 通常は光ファイバー イーサネット ネットワークへの接続に使用される

このネットワーク パスにより、外部ネットワークへの接続、およびウェブ上のページの閲覧、Telnet、そして FTP などのネットワーク アプリケーションの実行が可能になります。

- PCI Express を使用する外部メモリ インターフェイス (メモリ パスと呼ばれる)

このメモリ パスは、Spartan-6 FPGA を介するシステム メモリと DDR3 SDRAM 間のデータ転送を示します。

TRD は、バスマスタリング スキャッター/ギャザー DMA (Direct Memory Access) エンジンを使用して、プロセッサのデータ転送におけるオーバーヘッドの負荷を軽減します。DMA は、PCI Express エンドポイントと共に動作し、システムと FPGA 間の高速度データ転送を実現します。

Spartan-6 FPGA PCIe-DMA-DDR3-GbE TRD の詳細は、『Spartan-6 FPGA コネクティビティ ターゲット リファレンス デザイン ユーザー ガイド』(UG392) を参照してください。[参照 1]

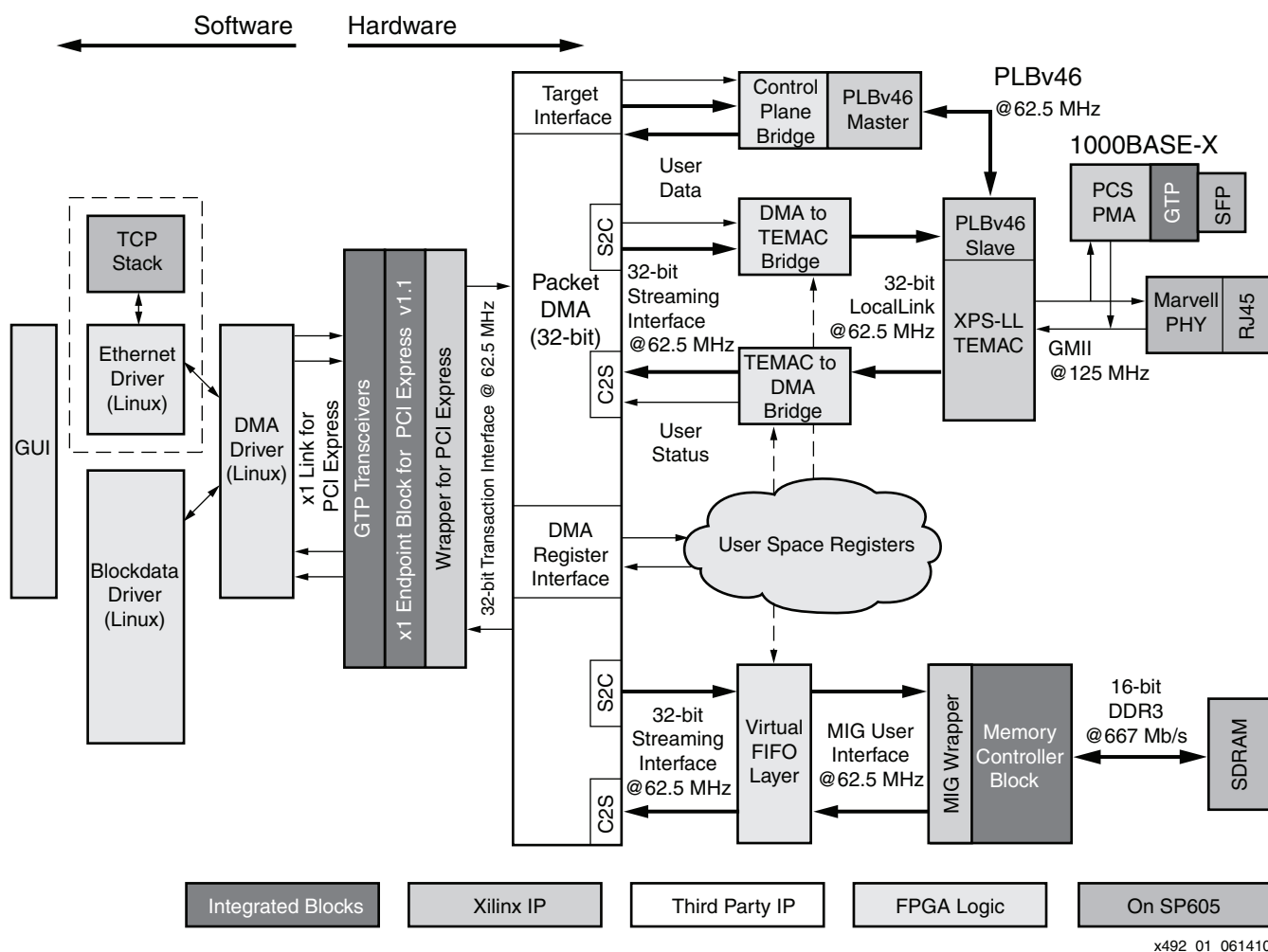


図 1 : Spartan-6 FPGA コネクティビティ TRD

TRD の全体的な構造は階層的に構築されています。PCIe ブロックおよび DMA ブロックがプラットフォーム全体の基礎を成しています。ネットワークパスおよびメモリパスは、この基礎周辺に開発されたアプリケーションです。

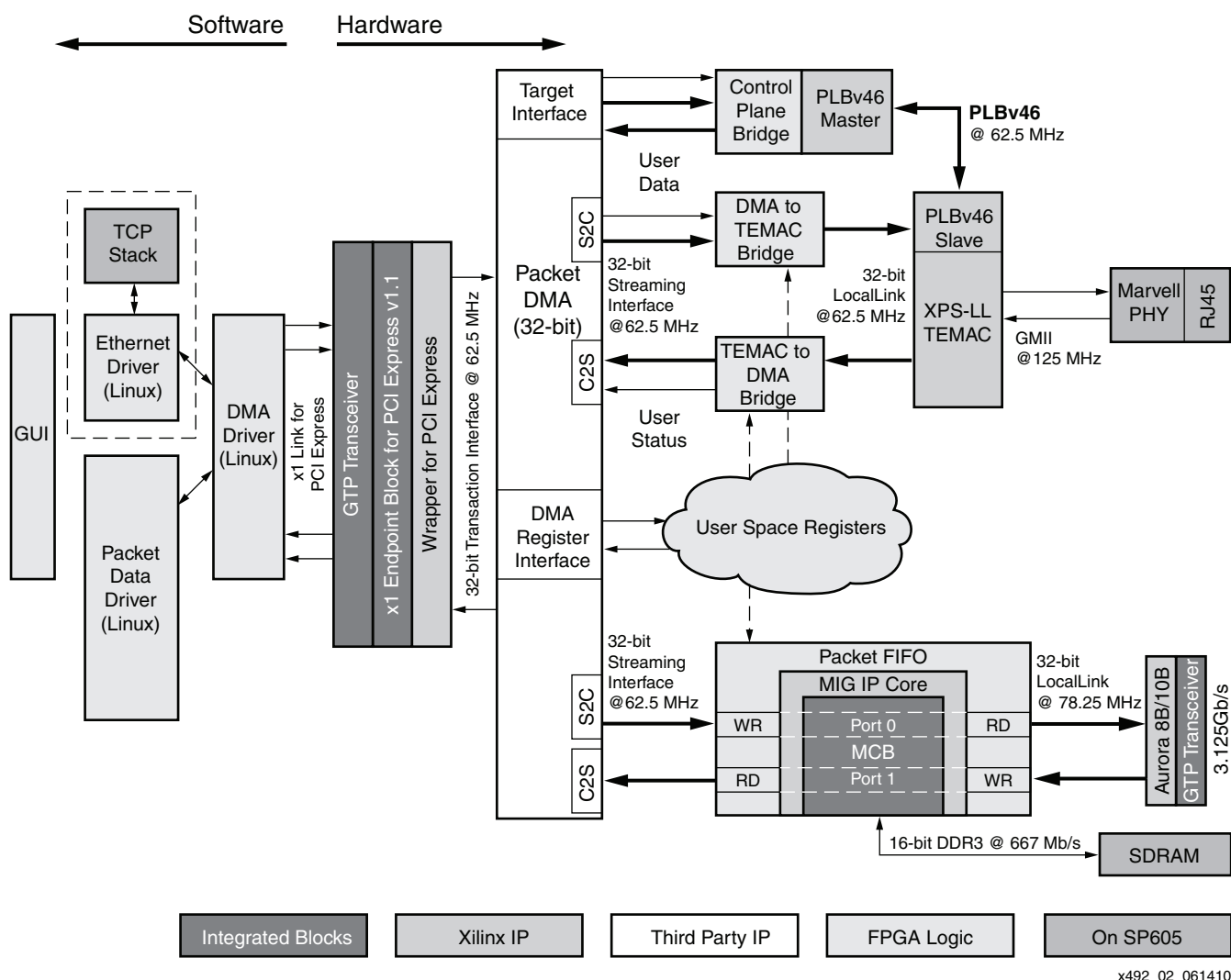
TRD を現状のまま、または本資料で提供されるガイドラインに沿って活用することで、ほかのリアルタイムプロトコル、ビデオ、あるいは LVDS を用いる最終的なバージョンのデザインを開発できます。

はじめに

このアプリケーションノートでは、ザイリンクス独自の Aurora 8B/10B シリアルプロトコルへ接続するように、Spartan-6 FPGA PCIe-DMA-DDR3-GbE TRD を拡張する設計を中心に説明しています。Aurora は、スケーラブルかつ軽量なリンク層プロトコルで、ポイントツーポイントシリアルリンクでのデータ転送に使用されます。また、物理的なシリアルリンクへ透過的なインターフェイスを提供し、フレーミングおよびストリーミング両モードでの動作をサポートします。このアプリケーションノートでは Aurora をフレーミングモードで使用します。

ネットワークインターフェイスカードとして機能するネットワークパスは、そのまま使用します。メモリパスは、Spartan-6 FPGA メモリコントローラーを通してパケット FIFO をサポートするように変更され、パケット FIFO を介して動作する Aurora 8B/10B LogiCORE IP が統合されます。

このアプリケーションノートでは、図 2 に示すブロック図のようなデザインを実現するように、Spartan-6 FPGA コネクティビティ TRD を変更し、Aurora 8B/10B IP を統合するガイドラインを提供します。



x492_02_061410

図 2 : パケット FIFO および Aurora IP によって拡張した Spartan-6 FPGA コネクティビティ TRD

リファレンス デザインの特長

Spartan-6 FPGA コネクティビティ TRD のリファレンス デザインにおける主な機能変更は次のとおりです。

- DDR3 SDRAM を LocalLink ベースのパケット FIFO に変更
 - デザインでは、メモリ コントローラー ブロック (MCB) の完全に双方向で 32 ビットのポートを 2 個用いて次の経路でデータ転送を行う
 - PC システムから Aurora Transmit (送信側) までの DMA (イグレス パス)
 - DMA を介する、PC システムへの Aurora Recieve (受信側) (イングレス パス)
- Spartan-6 FPGA MCB の完全な双方向ポートを 4 個使用した、拡張パケット FIFO デザイン
- Aurora 8B/10B LogiCORE IP を統合

注記：このデザインでは、1000BASE-X モードでの動作はサポートされていません。

必要なもの

- Spartan-6 FPGA コネクティビティ キット
 - Spartan-6 デバイス (XC6SLX45T-3FGG484C) を搭載した SP605 ボード
 - Fedora 10 Linux OS LiveCD
- ISE® Design Suite 12.1 (Embedded または System Edition)
- Modelsim 6.5c またはそれ以降
- PCI Express に対応するコンピューター (PC)
- FMC カード (入手可能な場合は、HW-FMC-XM104-G)
 - SMA ケーブル

注記：FMC カードは Spartan-6 FPGA コネクティビティ キットの付属品ではありません。

ハードウェア

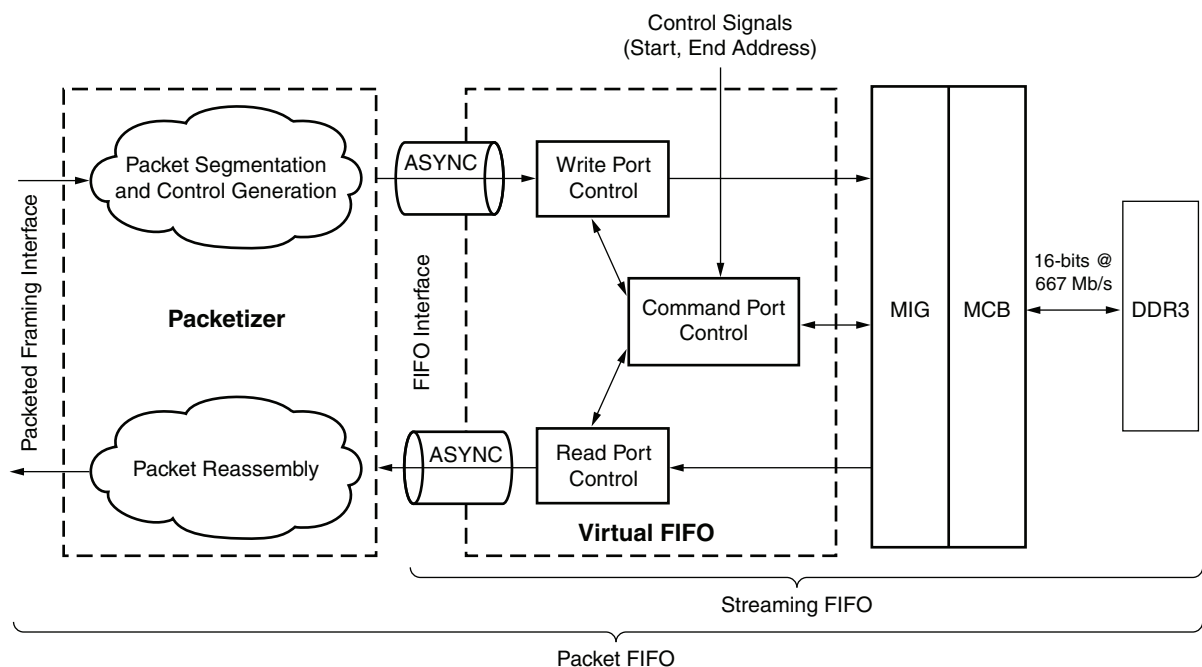
このセクションでは、Spartan-6 FPGA コネクティビティ TRD で提供される仮想 FIFO によるパケット FIFO の構築、および Aurora 8B/10B IP 向けに追加されたフロー制御ロジックのそれぞれについてハードウェア デザインを詳細に説明します。

マルチポート パケット FIFO

Spartan-6 FPGA コネクティビティ TRD は、メモリ コントローラー ポート (完全な双方向 32 ビット インターフェイス) 1 個をサポートする仮想 FIFO を提供します。この仮想 FIFO は、ストリーミング モードで使用されるため、パケットの内容やバウンダリの区切り文字に関する情報は認識せず、データ ブロックのみを把握します。

『Spartan-6 FPGA コネクティビティ ターゲット リファレンス デザイン ユーザー ガイド』[参照 1] の第 5 章で推奨されているように、マルチポート ストリーミング FIFO の構築にストリーミング FIFO の複数のインスタンスを複数のメモリ コントローラー ポートと共に使用できます。

このアプリケーション ノートでは、ストリーミング FIFO 機能をパケット FIFO にできる機能が追加されています。図 3 に、パケット FIFO デザインのブロック図を示します。



x492_03_061510

図 3：パケット FIFO のブロック図

パケタイザー モジュールは、パケット コンテキストの情報をデータ ストリームに埋め込み、既存のストリーミング FIFO とインターフェイスするように設計されています。パケット FIFO は、パケタイザー、仮想 FIFO、および MIG で生成されたメモリ コントローラー ラッパーで作成されます。

図 2 には、1 個の MCB ポートと接続しているパケット FIFO ブロックを示しています。MCB ポート (NUM_PORTS パラメーターで制御) が複数の場合は、それぞれの MCB ポートに接続されるパケット FIFO ブロックのインスタンスが複数生成されます。ユーザー デザインと仮想 FIFO ロジック間をまたぐクロックドメインの管理には、非同期 FIFO が使用されます。

パケタイザー

パケタイザー ブロックは、単純な格納および転送方法に基づいて、パケット内容の情報をストリーミング データに埋め込みます。パケタイザーは、パケット内容の情報を含む制御ワードを定期的にデータ ストリームに挿入します。制御ワードを挿入する間隔は、BLOCK_SIZE パラメーターまたは EoP のどちらか先に発生する方で定義されます。

パケット化の方法を理解するために、ザイリンクスの LocalLink をユーザー インターフェイスとして使用する次の例について考察してみます。

DDR3 メモリは、SOP、EOP、REM などのフレーミング サイドバンド信号を個別に格納できないため、パケタイザーはフレームを分割し、制御ワードをブロック バウンダリに (BLOCK_SIZE パラメーターでプログラムされているとおりに) 挿入します。制御ワードは、長さやさまざまな LocalLink サイドバンド信号に関する情報を提供します。

表 1 に、制御ワードの形式を説明します。

表 1: 制御ワードの形式

ビット位置	フィールド	説明
0	SOP ステータス	パケット ステータスの開始
1	EOP ステータス	パケット ステータスの終了
3:2	Remainder ステータス (REM)	制御ワードに格納された残りの値 (2 ビット幅の REM を使用)
15:3	予約	未使用、現時点でゼロを含む
31:16	長さ	制御ワードに続く、データ ペイロードのダブルワード (DW) の長さ (1 DW = 4 バイト)

制御ワードの挿入には DDR3 のある位置がオーバーヘッドとして使用されるため、パケット FIFO モードの動作は、ストリーミング FIFO モードの動作よりもスループットが若干低下します。

パケット FIFO のパラメーター

表 2 に、パケット FIFO に使用可能なデザイン パラメーターとそれらのデフォルト値を定義します。

表 2: デザイン パラメーター

パラメーター	デフォルト値	説明
NUM_PORTS	2	メモリ コントローラーのポート数を定義します。メモリ コントローラーは 4 個の完全な双方向ポートをサポートするため、設定可能な最大値は 4 です。
BLOCK_SIZE	64	パケット分割のバウンダリを決定するパケタイザー ブロックのデータ ブロック サイズ (ダブルワード単位) です。有効な値は、64、128 および 256 です。

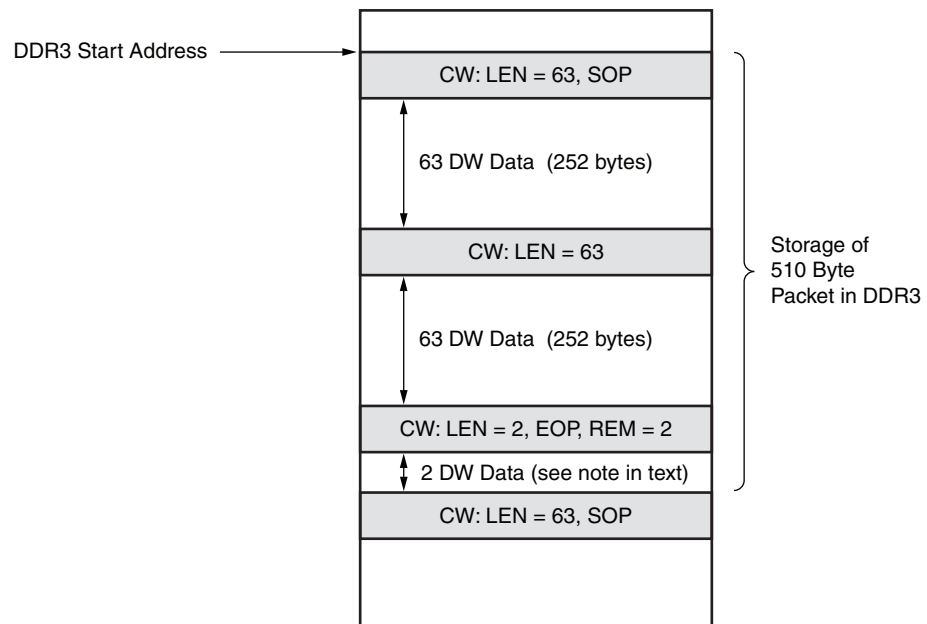
注記: 4 個の MCB ポートすべてとイーサネットを共に使用するパケット FIFO ラッパーを含むデザインは、Spartan-6 LX45T デバイスには適合しませんが、より大きな Spartan-6 デバイスでは作成可能です。

MIG コアはデフォルトで、ラウンドロビン アービトレーション手法を使用し、完全な双方向 32 ビット データ幅ポート 4 個で生成されます。アービトレーションの方法は、必要に応じて MIG IP コアの生成中にカスタマイズできます。

パケット分割およびワード挿入のバウンダリは、**BLOCK_SIZE** パラメーターで制御されます。**BLOCK_SIZE** よりも大きいパケットは、**BLOCK_SIZE-1** に等しいブロックに分割され、制御ワードがデータブロックの開始点に挿入されます。読み出しでは、制御ワードはデータストリームから削除され、対応するパケット フレーミング信号が作成されてユーザー インターフェイス (この例では LocalLink) へ渡されます。より大きな **BLOCK_SIZE** が使用される場合、制御ワード 1 つを読み出す際のデータ ペイロードが増加し、一方で書き込み時の分割情報の格納容量が増えます。現在のデザインは、深さが 512 ロケーションの分割用バッファを提供します。**BLOCK_SIZE** を指定可能な値よりも大きくするには、この分割用バッファの深さを増やす必要がありますが、これに伴ってブロック RAM の全体的な使用率も増加します。

分割の方法を理解するために、**BLOCK_SIZE = 64** と設定した、510 バイトのパケット サイズの例について考察してみます。図 4 に、このパケットが DDR3 SDRAM にどのように格納されているかを示します。**BLOCK_SIZE** が 64 の場合、510 バイトのパケットは 3 つのブロックに分割されます。最初の 2 つのブロックには制御情報の DW が 1 つ含まれ、その後に 63 DW データが続きます。最後のブロックには、制御情報の DW 1 つと 2 DW データが含まれます。

注記：格納された 2 DW データ パケットは 8 バイトで、そのうちの合計 6 バイトが有効です。REM で示されるように、最後の 4 バイトのうち 2 バイトのみが有効となります。



x492_04_061710

図 4：DDR3 におけるパケットの格納

パケタイザーではフレーミング ユーザー インターフェイスへ接続されるモジュールのみが、そのインターフェイス (この場合は LocalLink) の詳細を認識します。制御ワードが正しくアライメントされていない場合、17 ページの「パケット エラー レジスタ (0x9300)」に示すパケタイザー エラー ビットがセットされ、ソフトウェアによるポーリングが可能となります。外部メモリにデータの破損、または不正なアライメントがない限り、不正なアライメントは存在しないとされています。このアプリケーションノートで提供されるリファレンス デザインでは、現時点で、制御ワードの不正なアライメントから回復する方法はシステム リセットを要求する以外にありません。設計者は、パケット FIFO のデータ インテグリティを検証する方法をアプリケーションに応じて追加できます。

Aurora プロトコルの考察事項

Aurora は、スケーラブルかつ軽量なリンク層プロトコルで、ポイント ツー ポイント シリアル リンクでのデータ転送に使用されます。

リファレンス デザインでは、1 レーンのフレーミング、4 バイト幅のユーザー インターフェイス、3.125Gb/s で動作する Aurora 8B/10B リンク、FMC (FPGA Mezzanine Card) からアクセス可能なトランシーバー 1 つを使用しています。SP605 ボードで利用可能な 125MHz の差動クロックは、トランシーバーの基準クロックとして用いられます。

FMC 接続が存在しない場合、デザインはトランシーバーの近端 PMA ループバック モードを有効にしてテストできます。

ネイティブ フロー制御

Aurora 8B/10B IP は受信方向のデスティネーション準備完了制御信号を提供しないため、ネイティブ フロー制御 (NFC) インターフェイスを使用して FIFO オーバーフローによるパケットの損失を回避します。Aurora の NFC は、全二重チャンネルの受信終了時にデータの伝送レートを制御します。データ ストリームに配置しなければならないアイドルのデッドビートの数を指定することで、NFC によってレシーバーに送信されるデータ レートを制御できます。トランスミッターに一時的にアイドルのみを送信するように要求することで、データ フローを完全に無効にすることもできます。[参照 4]

デザインで使用される Aurora 8B/10B IP のコンフィギュレーションは、78.125MHz のユーザー クロックで動作します。Aurora プロトコルの仕様により、NFC の要求と発信元のチャンネル パートナーに最初に到達する一時停止との間で Aurora インターフェイスを介する往復遅延は、256 シンボル時間を超えてはなりません。

次に例を示します。

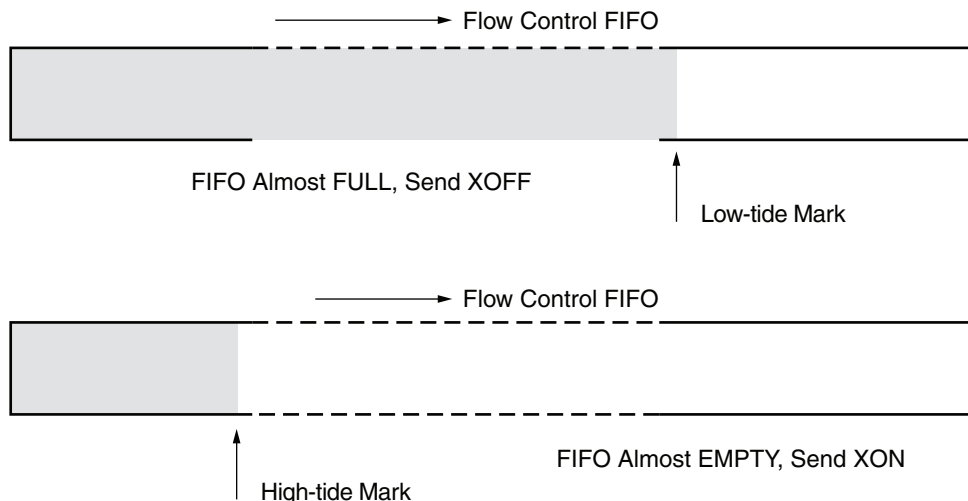
3.125Gb/s レートでは、1 シンボル = $10 \times 640\text{ps} = 6.4\text{ns}$

256 シンボル時間を使用する場合、 $256 \times 6.4 = 1638.4\text{ns}$

78.125MHz クロック (12.8ns 周期) を使用する場合、ワースト ケースの遅延は 128 クロック サイクル

これは、128 ロケーションのみが受信 FIFO で利用可能な場合に、NFC を挿入しなければならないことを意味しています。

NFC の制御には、深さ 512 ロケーションのフロー制御 FIFO を Aurora 8B/10B IP の受信インターフェイスで使用します (図 5 参照)。



x492_05_052410

図 5: フロー制御 FIFO および NFC

フロー制御 FIFO の最低点と最高点をそれぞれ Almost Full FIFO および Almost Empty FIFO と考えると、パケットの損失を回避できます。FIFO の書き込み可能領域のステータスが最低点に到達した場合、XOFF NFC 要求がチャンネルパートナーに送信され、リモート リンク パートナーからデータがそれ以上送信されなくなります。FIFO の書き込み可能領域のステータスが最高点に到達すると、XON NFC 要求が送信され、リモート パートナーからのデータ転送が有効になります。パケットの損失は、効果的なフロー制御のメカニズムによって回避されます。最高点および最低点のしきい値は、制御レジスタとして提供されます。これらの値は、ソフトウェア ドライバーを介してプログラム可能です。

ソフトウェア

Spartan-6 FPGA コネクティビティ TRD に付属するソフトウェア ドライバーは、「[Aurora ステータス/制御レジスタ](#)」で定義されている Aurora ステータス/制御ロジックを含むように、メモリ パスにわずかな変更が必要です。

Aurora パスのトラフィック開始前に Aurora のステータスをチェックできるように、ドライバーを変更します。Aurora リンクからのチャンネル アップまたはレーン アップがない場合は、ソフトウェアからトラフィックが開始されず、GUI に警告メッセージが表示されます。

FMC がない場合の Aurora 動作向けに、トランシーバーの近端 PMA ループバック モードを有効にするオプションを GUI で有効にします (図 6)。GUI でこの制御をオンにした場合、Aurora 8B/10B IP で使用されるトランシーバーは、LOOPBACK 入力信号の値を変更することによって、近端 PMA ループバック モードで動作するようにプログラムされます。

Loopback Control for Aurora

Network Path: Min Packet Size 64 Max Packet Size 1600 Start Test

Aurora Path: Enable Internal GT Loopback Min Packet Size 4096 Max Packet Size 4096 Stop Test

Payload Statistics System Status PCIe Statistics

DMA & Software Status

Network Path:		Transmit	Receive	Aurora Path:		Transmit	Receive
Throughput (Gbps)	0.000	0.000	0.000	Throughput (Gbps)	1.398	1.398	1.398
DMA Active Time (ns)	1000000000	1000000000	1000000000	DMA Active Time (ns)	1000000000	1000000000	1000000000
DMA Wait Time (ns)	1000000000	16	16	DMA Wait Time (ns)	16	16	16
BD Errors	0	0	0	BD Errors	0	0	0
BD Short Errors	0	n/a	n/a	BD Short Errors	0	n/a	n/a
# SW BDs	999	999	999	# SW BDs	999	999	999
# SW Buffers	0	998	1000	# SW Buffers	1000	1000	1000

Interrupts Enabled Int GT Loopback ← Loopback Status for Aurora

PCIe Transmit (writes) (Gbps) 1.518
PCIe Receive (reads) (Gbps) 1.540

PCIe Status

Link Status	Up	Vendor ID	0x10ee	MPS (bytes)	256
Link Speed	2.5 Gbps	Device ID	0x6011	MRRS (bytes)	512
Link Width	x1			Interrupts	Legacy

[INFO] Test Started

x492_06_061410

図 6 : GUI

ソフトウェアドライバーのロード/削除およびハードウェアでのデザインテストの手順は、UG392 [参照 1] または UG665 [参照 2] に記載されているとおりです。ソフトウェアで Aurora 8B/10B 特有の変更を反映させるには、AURORA というマクロを定義します。

手順のまとめ

このセクションでは、既存の Spartan-6 FPGA コネクティビティ TRD を再利用し、Aurora プロトコルに対応するよう拡張する手順をまとめています。最終的なリファレンス デザインはこのアプリケーション ノートの一部として提供されていますが、これらの手順は既存の TRD を修正するためのガイダンスとして簡単にまとめたものです。

ソフトウェア ドライバーの修正という点では、Aurora 8B/10B IP のメモリ パスへの統合は、ブロック データ ドライバーを変更して追加レジスタを統合できるため簡単です。

注記： IP コアの再生成に必要な Core Generator™ ファイル、デザイン ソース コード、シミュレーション テストベンチ、およびインプリメンテーション スクリプトは、リファレンス デザインで提供されています。

IP の生成

- 次の仕様に従った Aurora 8B/10B IP を生成する
 - 1 レーン、4 バイトのフレーミング インターフェイス
 - ライン レートは 3.125Gb/s で、即時モードの NFC で 125MHz の基準クロックを使用し、タイトル 1 の X1Y0 トランシーバーを使用する
- 次の仕様に従った、Spartan-6 FPGA メモリ コントローラーを MIG ツールで生成する
 - ラウンドロビン アービトレーション方式の DDR3 SDRAM をサポートする完全な双方向ポート x 4

Aurora 8B/10B IP は「[リファレンス デザイン](#)」ファイルで提供され、付属のスクリプトを実行すると MIG IP が生成されます。IP コアの生成に必要な XCO ファイル一式も、`design/reference/xco_files` フォルダにあります。

デザイン

- 「[マルチポート パケット FIFO](#)」で説明されているように、パケタイザー ブロックを仮想 FIFO で設計する
- 「[ネイティブ フロー制御](#)」で説明されているように、Aurora 8B/10B IP のネイティブ制御ロジックを設計する
- 必要に応じてその他の制御レジスタを追加する。レジスタの簡単な説明は、「[補足資料 A](#)」: 「[レジスタの説明](#)」を参照

統合

- パケット FIFO および Aurora 8B/10B IP を最上位デザインに統合する
- 最上位テスト ベンチを変更して新しいポートが含まれるようにし、Aurora シリアル インターフェイス ループバックを追加する
- シミュレーション スクリプトを変更して新しいソースが含まれるようにし、シミュレーションを実行する

ソフトウェア ドライバーの変更

- ブロック データ ドライバー (`driver/xblockdata/user.c`) を変更して、Aurora パスの制御レジスタのプログラミングと、Aurora リンク ステータスをトラフィック開始前に確認するチェックポイントが含まれるように追加する
- GUI を変更して、Aurora パス向けのトランシーバー ループバック オプションを追加する

デザインのインプリメンテーション

新しいソースおよび制約を追加して、インプリメンテーション スクリプトおよび UCF をアップデートします。デザインには Project Navigator フローをサポートするスクリプトが付属しています。デザインには完全なリファレンス デザインの bit ファイルおよび mcs ファイルも、design/reference/configuration フォルダにあります。

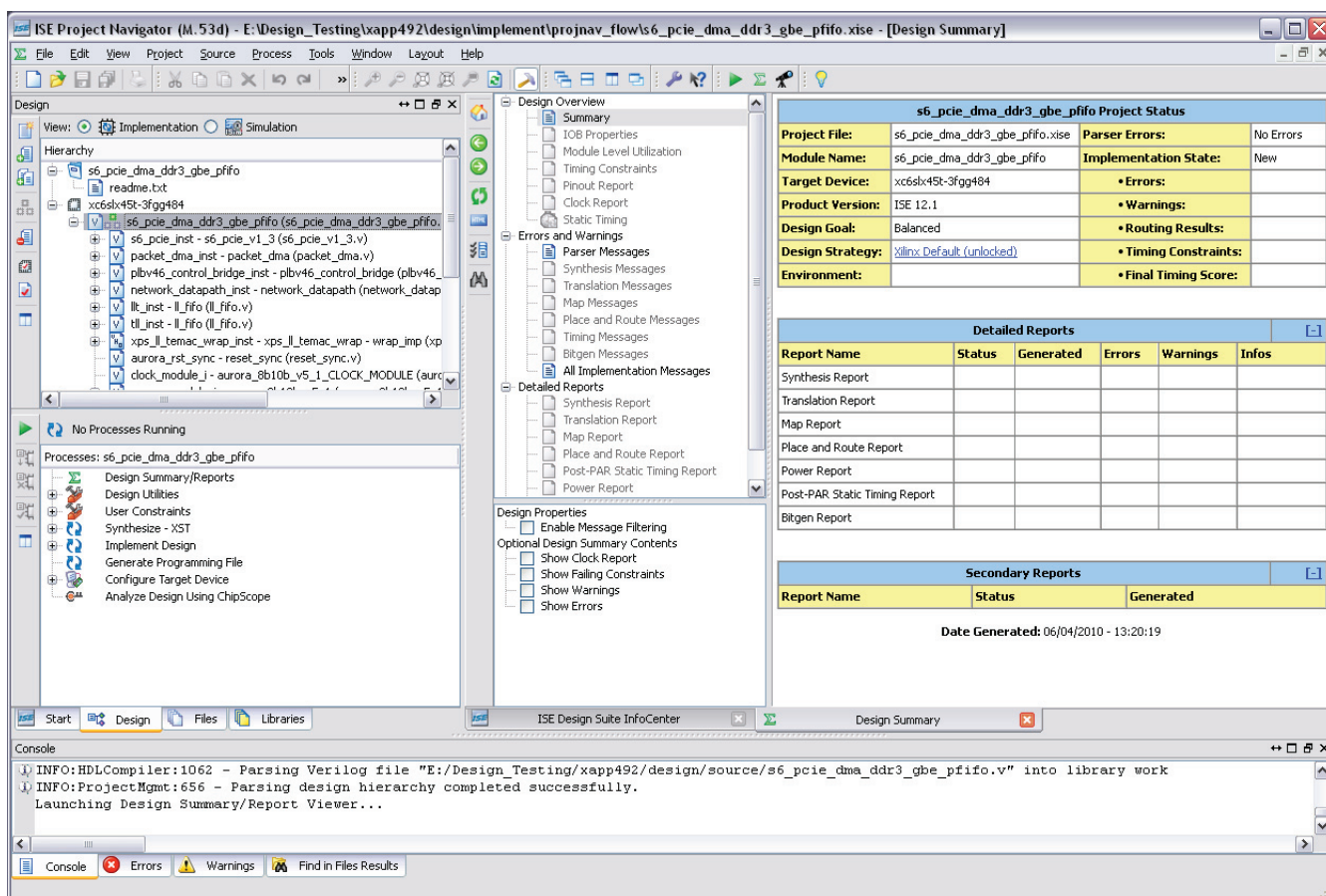
ハードウェア テスト

ハードウェアでデザインをテストする手順は、UG392 [参照 1] (第 2 章) または UG665 [参照 2] で説明されているとおりです。

シミュレーション、インプリメンテーション、および Project Navigator のフロー

readme.txt ファイルでは、シミュレーション スクリプトおよびインプリメンテーション スクリプトの使用法が詳しく説明されています。

図 7 に、Project Navigator の GUI を示します。s6_pcie_dma_ddr3_gbe_pfifo は最上位モジュールです。



x492_07_061410

図 7 : Project Navigator の GUI

考察事項

このセクションでは、デザインのパフォーマンスおよびリソース使用率に関する重要な考察事項を簡単に説明します。

パフォーマンス

- 予測されるとおり、スループットはパケット サイズに比例します。つまり、パケット サイズが大きくなると、スループットは高くなります。
- 図 8 に示すように、スループットのわずかな変動でも `BLOCK_SIZE` で確認されます。`BLOCK_SIZE` がより大きいと、制御ワードのオーバーヘッドが小さくなり、制御ワードの読み出しごとにさらに多くのデータ ペイロードが使用できることを意味します。サイズの大きなパケットの送信時は、より大きな `BLOCK_SIZE` の使用が若干望ましいといえます。

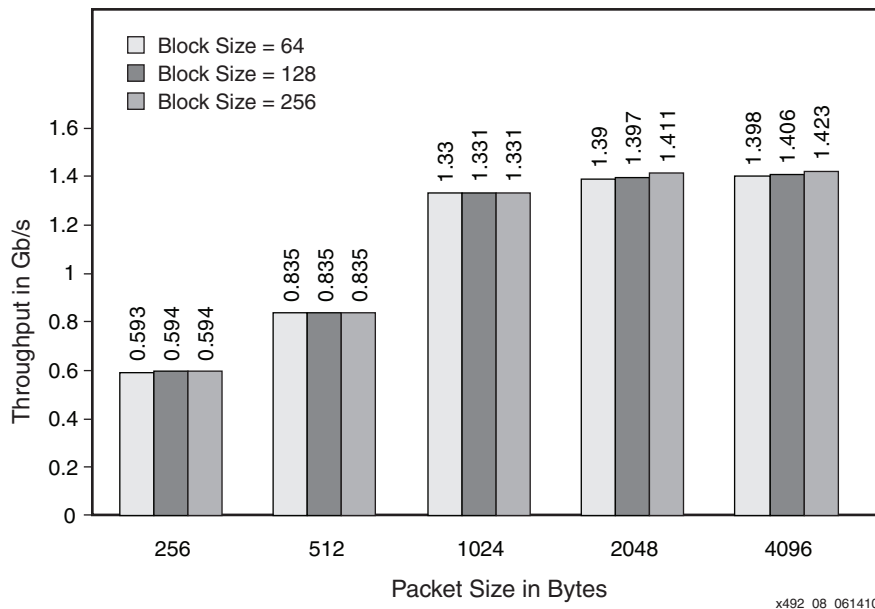


図 8：スループットの変動

図 8 に示すパフォーマンスは Aurora 仕様の定義に従い、ワーストケースの条件で導き出された Aurora 8B/10B IP のネイティブフロー制御 FIFO しきい値で得られたものです。スループットに影響を与える要因は次のとおりです。

- パケット FIFO の格納および転送方法
- MCB ポートのアービトレーション
- Aurora NFC によるトラフィックのスロットル

スループットは、Aurora ピア間の往復時間に応じて、Aurora ピア 1 つと特性評価の高い NFC しきい値を使用することで改善できます。

デバイス リソースの使用率

表 3 に、図 2 で示したデザインにおけるリソースの概算使用率を示します。これらの数値は、最上位デザインで提供されるさまざまなパラメーターのデフォルト オプション、およびスクリプトで提供されるインプリメンテーション オプションを使用して得ています。オプションを変更すると、使用率は変わります。トランシーバーの使用率は、`GTPA1_DUAL` についてレポートされています。1 組のトランシーバーのうちデザインに使用されるのは 1 つのみで、両方は使用されません。

表 3：リソース使用率

リソース	使用されているリソース数	使用可能な総リソース数	使用されている割合
スライス レジスタ	24,593	54,576	45
スライス LUT	23,213	27,288	85
I/OB	84	296	28
RAMB16BWER	42	116	36
DCM	1	8	12
PLL_ADV	3	4	75
BUFG	12	16	75
GTPA1_DUAL	2	2	100

リファレンス デザイン

リファレンス デザイン ファイルは、次のサイトからダウンロードできます。

<https://secure.xilinx.com/webreg/clickthrough.do?cid=147907>

表 4 に、リファレンス デザインのチェックリストをまとめています。

表 4：リファレンス デザインのチェックリスト

パラメーター	説明
開発元	Xilinx Inc.
ターゲット デバイス (ステッピング レベル、ES、製造、スピード グレード)	Spartan-6LXT デバイス
ソース コードの提供	あり
ソース コードの形式	Verilog
既存のリファレンス デザイン、アプリケーションノート、サードパーティ、CORE Generator™ からデザインへのコードまたは IP 流用の有無	オプション <ul style="list-style-type: none"> • Spartan-6 FPGA コネクティビティ TRD からのコード • Aurora 8B/10B の Core Generator IP
シミュレーション	
機能シミュレーションの実行	はい
タイミング シミュレーションの実行	いいえ
提供される機能シミュレーションへのテストベンチの使用	はい
テストベンチの形式	Verilog
シミュレータ ソフトウェアの使用	ModelSim 6.5c
SPICE/IBIS シミュレーション	いいえ
インプリメンテーション	
合成ソフトウェア ツールの使用	XST (ISE Design Suite : 12.1 Embedded または System Edition)
インプリメンテーション ソフトウェア ツールの使用	ISE Design Suite : 12.1 Embedded または System Edition
スタティック タイミング解析の実行	はい
ハードウェア検証	
ハードウェア検証	はい
検証に使用したハードウェア プラットフォーム	SP605 開発ボード

まとめ

このアプリケーション ノートでは、プラットフォーム ソリューションの Spartan-6 FPGA コネクティビティ TRD の使用法を具体的に示しました。提供されているサンプル デザインで既存のインフラストラクチャ (TRD) を基盤として使用し、修正を加えて簡単に新しいデザインを作成しました。

参考資料

1. [UG392](#): 『Spartan-6 FPGA コネクティビティ ターゲット リファレンス デザイン ユーザー ガイド』
2. [UG665](#): 『Spartan-6 FPGA コネクティビティ キット スタートアップ ガイド』
3. [UG388](#): 『Spartan-6 FPGA メモリ コントローラー ユーザー ガイド』
4. [UG353](#): 『LogiCORE™ IP Aurora 8B/10B ユーザー ガイド』
5. [DS637](#): 『LogiCORE IP Aurora 8B/10B データシート』
6. [SP002](#): 『Aurora 8B/10B プロトコル仕様』

補足資料 A

レジスタの説明

このセクションでは、マルチポート仮想 FIFO および Aurora IP に対応するために追加された制御/ステータス レジスタについて説明します。

表 5: ユーザー アプリケーション レジスタの範囲

ユーザー ロジック レジスタ グループ	範囲 (BAR0 からのオフセット)
「マルチポート仮想 FIFO のステータス/制御レジスタ」	0x9100–0x91FF
「Aurora ステータス/制御レジスタ」	0x9200–0x92FF
「パケタイザ レジスタ」	0x9300–0x93FF

明確に定義されていないレジスタ ビットは、読み出しの際にゼロの値を返し、事実上予約済みと想定されています。

マルチポート仮想 FIFO のステータス/制御レジスタ

マルチポート仮想 FIFO のステータス/制御レジスタは、仮想 FIFO 専用のレジスタを定義します。メモリ コントローラーの複数のポートが使用されるため、各ポートについて個別のレジスタが定義されます。

ステータス レジスタ (0x9100)

ステータス レジスタは、ソフトウェア ドライバーに対して DDR3 キャリブレーションのステータスを示します。ソフトウェアを有効にして、ハードウェアが動作準備完了かどうかを判断します。

表 6: ステータス レジスタ

ビット位置	フィールド	モード	デフォルト値	説明
0	キャリブレーション ステータス	RO	1'b0	キャリブレーション完了。メモリ コントローラーからのキャリブレーション完了ステータスを示します。

書き込みしきい値レジスタ (0x9104)

書き込みしきい値レジスタは、書き込み FIFO に書き込みしきい値と同等またはそれ以上の領域がある場合にのみ、メモリ コントローラーへ書き込みコマンドを発行するように書き込みしきい値をプログラムします。このレジスタは、すべてのポートに対して適用可能です。

表 7: 書き込みしきい値レジスタ

ビット位置	フィールド	モード	デフォルト値	説明
7:0	書き込みしきい値	RW	8'h38	DDR3 へ書き込みコマンドを発行するための書き込みしきい値

表 8 に、複数のメモリ コントローラー ポートのアドレス範囲を示します。

表 8：メモリ ポート レジスタ

メモリ コントローラー ポート	範囲 (BAR0 からのオフセット)
Port 0	0x9110–0x913F
Port 1	0x9140–0x917F
Port 2	0x9180–0x91BF
Port 3	0x91C0–0x91FF

TRD は 2 個のメモリ コントローラー ポートのみをサポートしていますが、メモリ コントローラー ポートを増やした場合にデザインを柔軟に変更できるように、追加のレジスタおよびロジックが提供されています。

パケット長レジスタ (0x9110、0x9140、0x9180、0x91C0)

パケット長レジスタは、受信方向でビルドするためのパケット サイズ (バイト単位) を示します。デフォルト値は 1KB です。

表 9：受信パケット長レジスタ

ビット位置	フィールド	モード	デフォルト値	説明
12:0	パケット長	RW	12'h0400	DDR3 受信パケット長。受信方向にビルドするためのパケット サイズ (バイト単位) を示します。

開始アドレス レジスタ (0x9114、0x9144、0x9184、0x91C4)

開始アドレス レジスタは、DDR3 パーティションの開始アドレスを示します。デフォルト値は、Port 0 レジスタのリセットでゼロです。各ポートに対して、深さ 1MB の FIFO があり、開始アドレスおよび終了アドレスは適宜プログラムされます。このレジスタのソフトウェアプログラムはオプションです。

終了アドレス レジスタ (0x9118、0x9148、0x9188、0x91C8)

終了アドレス レジスタは、DDR3 パーティションの終了アドレスを示します。デフォルト値は、リセットで 32'h0010_0000 となり、Port 0 に深さ 1MB の FIFO があることとなります。このレジスタのソフトウェアプログラムはオプションです。

エラー統計レジスタ (0x911C、0x914C、0x918C、0x91CC)

DDR3 のエラー統計レジスタは、メモリ コントローラーからのさまざまなエラー ビットを記録します。このレジスタはリセットでクリアされます。

表 10：エラー統計レジスタ

ビット位置	フィールド	モード	デフォルト値	説明
0	書き込みのアンダーラン	RW	0	メモリ コントローラー ポートの書き込みアンダーラン ステータス
1	読み出しのオーバーフロー	RW	0	メモリ コントローラー ポートの読み出しオーバーフロー ステータス

Aurora ステータス/制御レジスタ

Aurora ステータス/制御レジスタグループは、特定の Aurora IP ステータス/制御レジスタを定義します。

Aurora 制御/ステータス (0x9200)

ソフトウェアドライバーは、現時点で近端 PMA ループバックをサポートするようにプログラムされています。必要な場合は driver/xblockdata/user.c ファイルで、これを近端 PCS ループバックに変更できます。

表 11: Aurora およびステータス レジスタ

ビット位置	フィールド	モード	デフォルト値	説明
0	レーン アップ	RO	0	Aurora レーン アップ ステータスを示します。
1	チャンネル アップ	RO	0	Aurora チャンネル アップ ステータスを示します。
31:29	ループバック	RW	0	GT ループバックを制御します。 <ul style="list-style-type: none"> • 3'b000 - ループバックなし • 3'b001 - 近端 PCS ループバック • 3'b010 - 近端 PMA ループバック

Aurora 最低点レジスタ (0x9204)

Aurora 最低点レジスタは、FIFO で利用可能な領域の下限值を定義します。ネイティブ フロー制御インターフェイスは、最低点および最高点の値に基づいて駆動されます。

表 12: Aurora 最低点レジスタ

ビット位置	フィールド	モード	デフォルト値	説明
8:0	最低点	RW	9'd128	FIFO の領域の可用性に対応する最低点

Aurora 最高点レジスタ (0x9208)

Aurora 最高点レジスタは、FIFO で利用可能な領域の上限值を定義します。ネイティブ フロー制御インターフェイスは、最低点および最高点の値に基づいて駆動されます。

表 13: Aurora 最高点レジスタ

ビット位置	フィールド	モード	デフォルト値	説明
8:0	最高点	RW	9'd384	FIFO の領域の可用性に対応する最高点

パケタイザー レジスタ

パケット エラー レジスタ (0x9300)

パケット エラー レジスタは、各パケット FIFO ポートにおけるパケット化のエラー ステータスを提供します。パケット エラーは、パケットの再構築での制御ワードの不正なアライメントが原因で発生します。パケット エラーが発生した場合は、デザインのリセットが必要です。

表 14: パケット エラー レジスタ

ビット位置	フィールド	モード	デフォルト値	説明
1:0	パケット エラー	RW	2'b0	メモリ コントローラー ポート 0 および 1 におけるパケット化のエラーを示します。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2010年6月23日	1.0	初版リリース

Notice of
Disclaimer

Xilinx is disclosing this Application Note to you “AS-IS” with no warranty of any kind. This Application Note is one possible implementation of this feature, application, or standard, and is subject to change without further notice from Xilinx. You are responsible for obtaining any rights you may require in connection with your use or implementation of this Application Note. XILINX MAKES NO REPRESENTATIONS OR WARRANTIES, WHETHER EXPRESS OR IMPLIED, STATUTORY OR OTHERWISE, INCLUDING, WITHOUT LIMITATION, IMPLIED WARRANTIES OF MERCHANTABILITY, NONINFRINGEMENT, OR FITNESS FOR A PARTICULAR PURPOSE. IN NO EVENT WILL XILINX BE LIABLE FOR ANY LOSS OF DATA, LOST PROFITS, OR FOR ANY SPECIAL, INCIDENTAL, CONSEQUENTIAL, OR INDIRECT DAMAGES ARISING FROM YOUR USE OF THIS APPLICATION NOTE.

CRITICAL APPLICATIONS DISCLAIMER

XILINX PRODUCTS (INCLUDING HARDWARE, SOFTWARE AND/OR IP CORES) ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS IN LIFE-SUPPORT OR SAFETY DEVICES OR SYSTEMS, CLASS III MEDICAL DEVICES, NUCLEAR FACILITIES, APPLICATIONS RELATED TO THE DEPLOYMENT OF AIRBAGS, OR ANY OTHER APPLICATIONS THAT COULD LEAD TO DEATH, PERSONAL INJURY OR SEVERE PROPERTY OR ENVIRONMENTAL DAMAGE (INDIVIDUALLY AND COLLECTIVELY, “CRITICAL APPLICATIONS”). FURTHERMORE, XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED FOR USE IN ANY APPLICATIONS THAT AFFECT CONTROL OF A VEHICLE OR AIRCRAFT, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR. CUSTOMER AGREES, PRIOR TO USING OR DISTRIBUTING ANY SYSTEMS THAT INCORPORATE XILINX PRODUCTS, TO THOROUGHLY TEST THE SAME FOR SAFETY PURPOSES. TO THE MAXIMUM EXTENT PERMITTED BY APPLICABLE LAW, CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN CRITICAL APPLICATIONS.

AUTOMOTIVE APPLICATIONS DISCLAIMER

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。