

# JESD204 PHY v1.0

## LogiCORE IP 製品ガイド

Vivado Design Suite

PG198 2014 年 10 月 1 日

本資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

# 目次

## IP の概要

### 第 1 章: 概要

アプリケーション .....	6
ライセンスおよび注文情報 .....	6

### 第 2 章: 製品仕様

パフォーマンス .....	7
リソース使用状況 .....	7
ポートの説明 .....	9

### 第 3 章: コアを使用するデザイン

一般的なデザイン ガイドライン .....	17
クロック .....	18
リセット .....	18
プロトコルの説明 .....	18

### 第 4 章: デザイン フローの手順

コアのカスタマイズおよび生成 .....	19
コアへの制約 .....	21
シミュレーション .....	23
合成およびインプリメンテーション .....	23

### 第 5 章: サンプル デザイン

### 第 6 章: テストベンチ

### 付録 A: 検証、互換性、相互運用性

シミュレーション .....	30
ハードウェア テスト .....	30

### 付録 B: デバッグ

ザイリンクス ウェブサイト .....	31
デバッグ ツール .....	33
シミュレーション デバッグ .....	34
ハードウェアのデバッグ .....	35

### 付録 C: その他のリソースおよび法的通知

ザイリンクス リソース .....	36
参考資料 .....	36
改訂履歴 .....	37
法的通知 .....	37

## はじめに

ザイリンクスの LogiCORE™ IP JESD204 PHY コアは、送信および受信コア間で 1 つの MGT チャネルを簡単に共有可能にする、JESD204B 物理インターフェイスをインプリメントします。このコアは、スタンドアロンで使用することを目的としたものではなく、JESD204 コアと併用する場合のみ使用できます。

注記：このコアは、JESD204 IP で使用する場合を除いてプリプロダクション用であり、JESD204 IP のサンプル デザインで使用する場合のみスタンドアロン IP として提供されます。

## 機能

- JEDEC® JESD204B [参照 1] 向け
- 1 から 12 レーンのコンフィギュレーションをサポート
- サブクラス 0、1、および 2 をサポート
- 物理層機能を提供
- TX および RX コア間のトランシーバー共有をサポート

この LogiCORE IP について	
<b>コアの概要</b>	
サポートされるデバイスファミリ (1)	UltraScale™ アーキテクチャ、Zynq®-7000 All Programmable SoC、7 シリーズ
サポートされるユーザーインターフェイス	N/A
リソース	表 2-1、表 2-2、表 2-3 を参照
<b>コアに含まれるもの</b>	
デザイン ファイル	RTL
サンプル デザイン	Verilog
テストベンチ	Verilog
制約ファイル	XDC
シミュレーションモデル	Verilog
サポートされるソフトウェアドライバ	N/A
<b>テスト済みデザイン フロー (2)</b>	
デザイン入力	Vivado® Design Suite
シミュレーション	サポートされるシミュレータについては、『 <a href="#">Vivado Design Suite ユーザー ガイド：リリース ノート、インストールおよびライセンス</a> 』を参照
合成	Vivado 合成
<b>サポート</b>	
<a href="http://japan.xilinx.com/support">japan.xilinx.com/support</a> で提供	

### 注記：

1. サポートされているデバイスの一覧は、Vivado IP カタログを参照してください。
2. サポートされているツールのバージョンは、『[Vivado Design Suite ユーザー ガイド：リリース ノート、インストールおよびライセンス](#)』を参照してください。

## 概要

LogiCORE™ IP JESD204 PHY コアは、JESD204B 物理インターフェイスをインプリメントします。GTX、GTH、または GTP トランシーバーを用いて、1 から 12 レーン上で 1 ~ 12.5Gb/s の間の任意のライン レートをサポートします (各デバイスおよびファミリでサポートされる最大ライン レートについては、「[参考資料](#)」に示すデバイス データシートを参照)。JESD204 PHY コアは、送信および受信のライン レートを個別に設定できます。

図 1-1 に、サンプル デザイン内に共有ロジックを持つ JESD204 PHY コアのブロック図を示します。

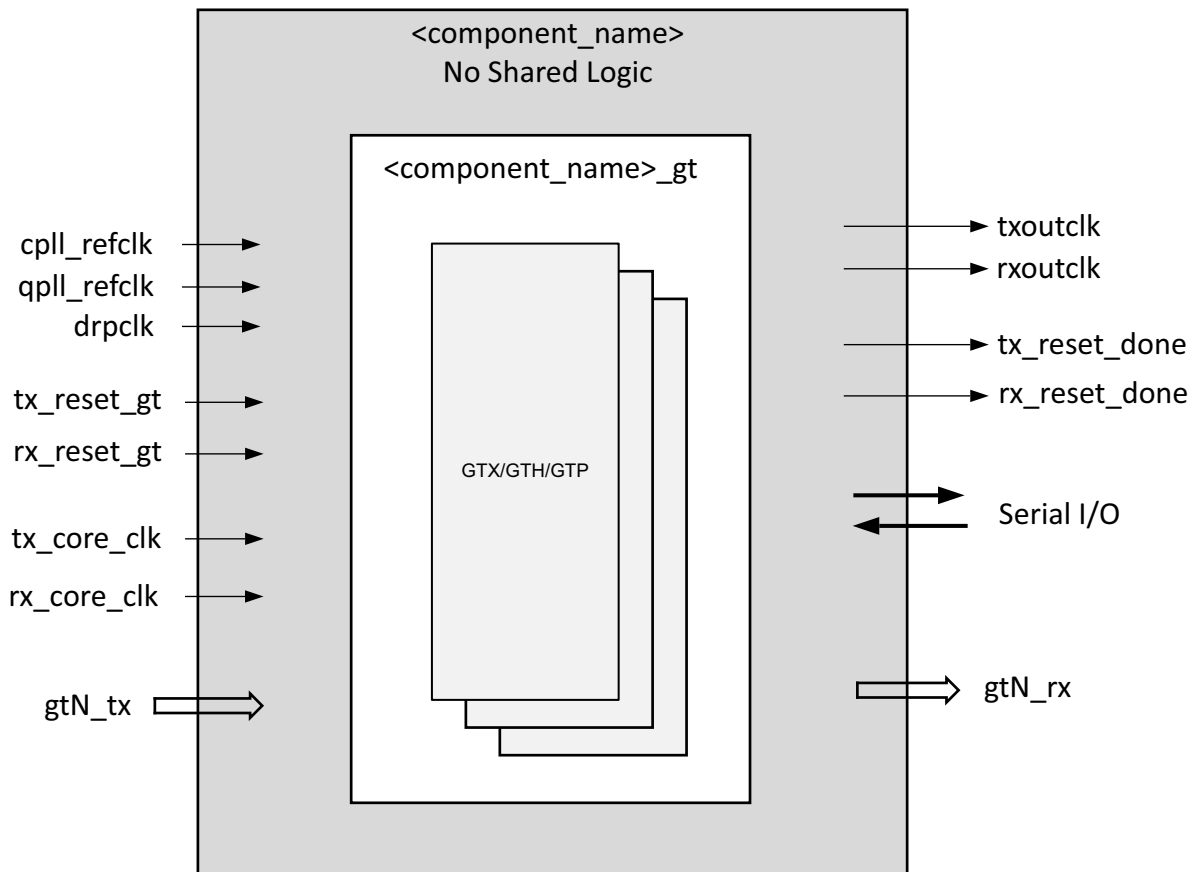


図 1-1 : JESD204 PHY のブロック図 : 共有ロジックをサンプル デザインに含む

図 1-2 に、コア内に共有ロジックを持つ JESD204 PHY コアのブロック図を示します。

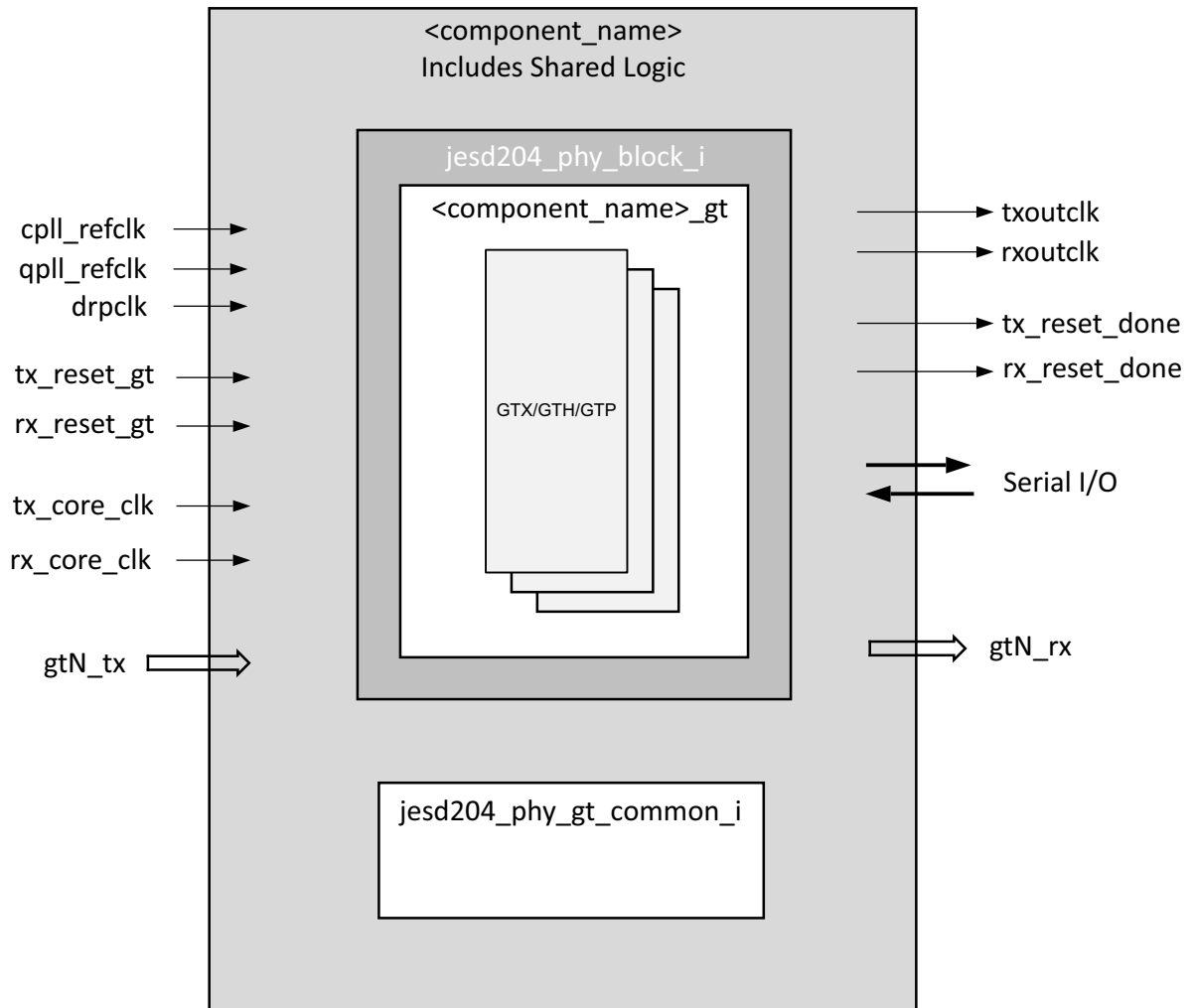


図 1-2 : JESD204 PHY のブロック図 : 共有ロジックをコアに含む

JESD204 PHY コアは JESD204 と併用すると、ザイリンクス Vivado® Design Suite を使用して完全に検証されたソリューション デザインを実現できます。さらに、Verilog でもサンプル デザインが提供されています。詳細は、『JESD204 製品ガイド』(PG066) [参照 2] を参照してください。

## アプリケーション

JESD204 PHY コアは、JESD204 コアのサブコアです。アプリケーションの詳細は、『JESD204 製品ガイド』(PG066) [参照 2] を参照してください。図 1-3 に、JESD204 デザインで使用されている JESD204 PHY を示します。

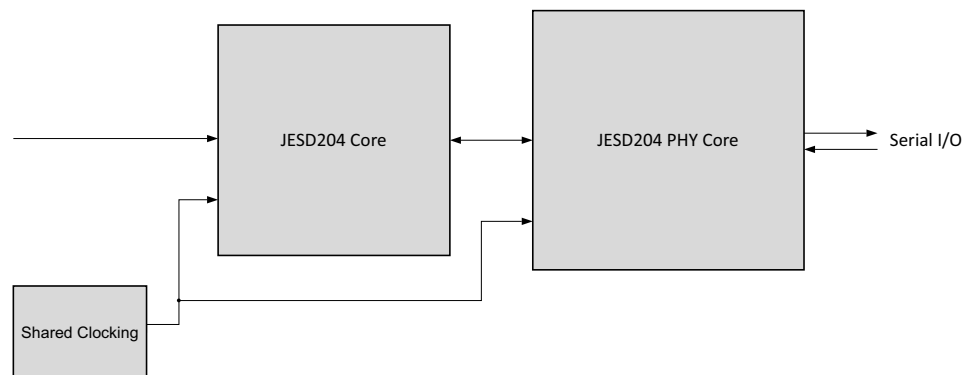


図 1-3 : JESD204 ソリューションで使用されている JESD204 PHY

## ライセンスおよび注文情報

このザイリンクス LogiCORE™ IP モジュールは、[ザイリンクス エンドユーザー ライセンス規約](#)のもとザイリンクス Vivado Design Suite を使用して追加コストなしで提供されています。この IP およびその他のザイリンクス LogiCORE IP に関する情報は、[ザイリンクス IP コア](#) ページから入手できます。その他のザイリンクス LogiCORE IP モジュールおよびツールの価格や提供状況については、[ザイリンクス販売代理店](#)にお問い合わせください。

# 製品仕様

この章では、リソース使用状況と JESD204 PHY コアのポートについて詳述します。

## パフォーマンス

このコアは JESD204B のパフォーマンス仕様に準拠しています。最大シリアル ライン レートは、選択したデバイスの最大 GTX/GTP/GTH ライン レートで制限されます。付録 C の「参考資料」に示す、該当するデバイス データシートを参照してください。

## リソース使用状況

表 2-1、表 2-2、および表 2-3 に、各種コアオプションのリソース概数を示します。

表 2-1 : GTXE2/GTHE2 デバイスのリソース量 (XC7K325T FFG900 -2)

トランシーバー数	FF	LUT	BUFG
1	351	223	5
2	402	262	5
3	455	302	5
4	506	338	5
5	559	377	5
6	610	413	5
7	663	455	5
8	714	494	5
9	767	531	5
10	818	567	5
11	871	608	5
12	922	648	5

表 2-2 : GTPE2 デバイスのリソース量 (XC7A200T FBG676 -2)

トランシーバー数	FF	LUT	BUFG
1	406	276	6
2	531	377	6
3	656	476	6
4	781	577	6
5	906	676	6
6	1031	775	6
7	1156	876	6
8	1281	977	6

表 2-3 : GTHE3 デバイスのリソース量 (XCVU095 FFVD 1924 -2 E ES1)

トランシーバー数	FF	LUT	BUFG	BUFG_GT
1	440	252	3	1
2	711	424	3	2
3	982	658	3	3
4	1253	854	3	4
5	1524	1050	3	5
6	1795	1246	3	6
7	2066	1447	3	7
8	2337	1643	3	8
9	2608	1839	3	9
10	2879	2035	3	10
11	3150	2231	3	11
12	3421	2432	3	12

## ポートの説明

このセクションでは、JESD204 PHY ポートについて説明します。

### クロックおよびリセット ポート

生成されたコア コンポーネント上で利用可能なクロックおよびリセット ポートは、コアをカスタマイズする際に選択した共有ロジックに依存します。表 2-4 に、コアの設定にかかわらず利用可能なポートを示します。

表 2-4 : 共通のクロックおよびリセット ポート

信号名	方向	説明
<b>クロック</b>		
tx_core_clock	入力	トランシーバーの txusrclk2 を駆動するために使用される、JESD204 コアのロジック クロックです。周波数 = シリアル ライン レート / 40
rx_core_clock	入力	トランシーバーの rxusrclk2 を駆動するために使用される、JESD204 コアのロジック クロックです。周波数 = シリアル ライン レート / 40
txoutclk	出力	トランシーバーからの出力クロックです。Subclass 0 モードでは、JESD204 コアのクロックとして使用可能です。
rxoutclk	出力	トランシーバーからの出力クロックです。Subclass 0 モードでは、JESD204 コアのクロックとして使用可能です。
<b>リセット</b>		
tx_reset_gt	入力	コアの非同期ロジックのリセットです。
rx_reset_gt	入力	コアの非同期ロジックのリセットです。

表 2-5 に、サンプル デザイン内で共有ロジックを使用する場合にのみ利用可能なポートを示します。

表 2-5 : サンプル デザイン内の共有ロジックのクロックおよびリセット

信号名 <sup>(1)</sup>	方向	説明
<b>クロック</b>		
txusrclk	入力	GTP デバイスにのみ存在します。トランシーバーへの入力クロックです。
rxusrclk	入力	GTP デバイスにのみ存在します。トランシーバーへの入力クロックです。
commonM_qpll_clk_in	入力	QPLL (クワッド M) のクロック入力です。常に存在します。
commonM_qpll_refclk_in	入力	QPLL (クワッド M) のクロック入力です。常に存在します。
commonM_pll0_clk_in	入力	PLL (クワッド M) のクロック入力です。PLL0 が選択された場合のみ存在します。
commonM_pll0_refclk_in	入力	PLL (クワッド M) のクロック入力です。PLL0 が選択された場合のみ存在します。
commonM_pll1_clk_in	入力	PLL (クワッド M) のクロック入力です。PLL0 が選択された場合のみ存在します。
commonM_pll1_refclk_in	入力	PLL (クワッド M) のクロック入力です。PLL1 が選択された場合のみ存在します。
commonM_qpll0_clk_in	入力	QPLL (クワッド M) のクロック入力です。QPLL0 が選択された場合のみ存在します。
commonM_qpll0_refclk_in	入力	QPLL (クワッド M) のクロック入力です。QPLL0 が選択された場合のみ存在します。
commonM_qpll1_clk_in	入力	QPLL (クワッド M) のクロック入力です。QPLL1 が選択された場合のみ存在します。

表 2-5 : サンプル デザイン内の共有ロジックのクロックおよびリセット (続き)

信号名 <sup>(1)</sup>	方向	説明
commonM_qpll1_refclk_in	入力	QPLL (クワッド M) のクロック入力です。QPLL1 が選択された場合のみ存在します。
リセット		
qpll_reset_out	出力	コモンブロックをリセットするための、トランシーバー ロジックからのリセット出力です。QPLL が選択された場合のみ存在します。
commonM_pll0_reset_out	出力	コモンブロックをリセットするために使用される、トランシーバー ロジックからのリセット出力です。PLL0 が選択された場合のみ存在します。
commonM_pll1_reset_out	出力	コモンブロックをリセットするために使用される、トランシーバー ロジックからのリセット出力です。PLL1 が選択された場合のみ存在します。
pll_reset_out	出力	コモンブロックをリセットするために使用される、トランシーバーからのリセット出力です。UltraScale デバイスにのみ存在します。
mcm_reset	出力	MMCM をリセットするための、トランシーバーからのリセット出力です。GTP デバイスにのみ存在します。

1. M = クワッド数 - 1 です。

表 2-6 に、コア内で共有ロジックを使用する場合にのみ利用可能なポートを示します。

表 2-6 : コア内の共有ロジックのクロック

信号名 <sup>(1)</sup>	方向	説明
クロック		
commonM_qpll_clk_out	出力	QPLL (クワッド M) からのクロック出力です。QPLL がイネーブルの場合のみ存在します。
commonM_qpll_refclk_out	出力	QPLL (クワッド M) からのクロック出力です。QPLL がイネーブルの場合のみ存在します。
commonM_qpll_lock_out	出力	QPLL (クワッド M) からのロック出力です。QPLL がイネーブルの場合のみ存在します。
commonM_pll0_clk_out	出力	PLL (クワッド M) からのクロック出力です。PLL0 がイネーブルの場合のみ存在します。
commonM_pll0_refclk_out	出力	PLL (クワッド M) からのクロック入力です。PLL0 がイネーブルの場合のみ存在します。
commonM_pll0_lock_out	出力	PLL0 (クワッド M) からのロック出力です。PLL0 がイネーブルの場合のみ存在します。
commonM_pll1_clk_out	出力	PLL (クワッド M) からのクロック出力です。PLL0 がイネーブルの場合のみ存在します。
commonM_pll1_refclk_out	出力	PLL (クワッド M) からのクロック出力です。PLL1 がイネーブルの場合のみ存在します。
commonM_pll1_lock_out	出力	PLL1 (クワッド M) からのロック出力です。PLL1 がイネーブルの場合のみ存在します。
commonM_qpll0_clk_out	出力	QPLL (クワッド M) からのクロック出力です。QPLL0 がイネーブルの場合のみ存在します。
commonM_qpll0_refclk_out	出力	QPLL (クワッド M) からのクロック出力です。QPLL0 がイネーブルの場合のみ存在します。
commonM_qpll0_lock_out	出力	QPLL0 (クワッド M) からのロック出力です。QPLL0 がイネーブルの場合のみ存在します。

表 2-6: コア内の共有ロジックのクロック (続き)

信号名 <sup>(1)</sup>	方向	説明
commonM_qpll1_clk_out	出力	QPLL (クワッド M) からのクロック出力です。QPLL1 がイネーブルの場合のみ存在します。
commonM_qpll1_refclk_out	出力	QPLL (クワッド M) からのクロック出力です。QPLL1 がイネーブルの場合のみ存在します。
commonM_qpll1_lock_out	出力	QPLL1 (クワッド M) からのロック出力です。QPLL1 がイネーブルの場合のみ存在します。

1. M = クワッド数 - 1 です。

## トランシーバー インターフェイス ポート - TX

表 2-7 または表 2-8 に示すように、任意のコア コンポーネント上で利用可能なトランシーバー ポートは、コアをカスタマイズする際に選択した共有ロジックに依存します。

表 2-7: トランシーバー インターフェイス ポート - サンプル デザイン内の共有ロジック

信号名	方向	説明
gtN_txdata[31:0]	入力	トランシーバーへの TX データです。N = 0 ... [レーン数 - 1]
gtN_txcharisk[3:0]	入力	トランシーバーへの K 符号である TX Char 符号です。N = 0 ... [レーン数 - 1]
gt_prbssel[2:0] <sup>(1)</sup>	入力	トランシーバーへの PRBS 選択です。

1. UltraScale デバイスでは、gt\_prbssel 幅は [3:0] です。

表 2-8: TX コア: トランシーバー インターフェイス ポート - コア内の共有ロジック

信号名	方向	説明
txp_out[N:0]	出力	差動シリアル データ出力の正側です。 N = (レーン数 - 1)
txn_out[N:0]	出力	差動シリアル データ出力の負側です。 N = (レーン数 - 1)

## トランシーバー インターフェイス ポート - RX

表 2-9 または表 2-10 に示すように、任意のコア コンポーネント上で利用可能なトランシーバー ポートは、コアをカスタマイズする際に選択した共有ロジックに依存します。

表 2-9: トランシーバー インターフェイス ポート - サンプル デザイン内の共有ロジック

信号名	方向	説明
gtN_rxdata[31:0]	出力	トランシーバーからの RX データです。N = 0 ... [レーン数 - 1]
gtN_rxcharisk[3:0]	出力	トランシーバーからの K 符号である RX Char 符号です。N = 0 ... [レーン数 - 1]
gtN_rxdisperr[3:0]	出力	トランシーバーからの RX ディスパリティ エラーです。N = 0 ... [レーン数 - 1]
gtN_rxnotintable[3:0]	出力	トランシーバーからの RX Not In Table 信号です。N = 0 ... [レーン数 - 1]

表 2-10 : RX コア : トランシーバー インターフェイス ポート - コア内の共有ロジック

信号名	方向	説明
rxp_in[N:0]	入力	差動シリアル データ入力の正側です。 N = (レーン数 - 1)
rxn_in[N:0]	入力	差動シリアル データ入力の負側です。 N = (レーン数 - 1)

## トランシーバー デバッグ インターフェイス

トランシーバー デバッグ インターフェイスがある場合、デバッグ用のトランシーバー制御およびステータス ピンが利用できます。これらのピンの詳細は、該当するトランシーバー ユーザー ガイド (『UltraScale アーキテクチャ GTH トランシーバー ユーザー ガイド』(UG576) [参照 10]、『7 シリーズ FPGA GTX/GTH トランシーバー ユーザー ガイド』(UG476) [参照 11]、または『7 シリーズ FPGA GTP トランシーバー ユーザー ガイド』(UG482) [参照 12]) を参照してください。このインターフェイスは、コアの生成時に [Include Shared Logic in core] および [Additional transceiver control and status ports] をオンにした場合にのみ、コア上に存在します。

表 2-11: オプションのトランシーバー デバッグ ポート (7 シリーズ デバイス)

信号名 <sup>(1)(2)</sup>	方向	説明
gtN_loopback[2:0]	入力	トランシーバーのループバックです。 <ul style="list-style-type: none"> <li>• 000: ループバックなし</li> <li>• 001: 近端 PCS ループバック</li> <li>• 010: 近端 PMA ループバック</li> <li>• 100: 遠端 PMA ループバック</li> <li>• 110: 遠端 PCS ループバック</li> </ul>
gtN_txpostcursor[4:0]	入力	送信差動ドライバー制御 (TX のみ) です。
gtN_txprecursor[4:0]	入力	送信差動ドライバー制御 (TX のみ) です。
gtN_txdiffctrl[3:0]	入力	送信差動ドライバー制御 (TX のみ) です。
gtN_txpolarity	入力	送信極性制御 (TX のみ) です。
gtN_rxpolarity	入力	受信極性制御 (RX のみ) です。
gtN_cpplllock_out	出力	チャンネル PLL が入力基準クロックにロックしたことを示す、アクティブ High 信号です。
gtN_eyes candataerror_out	出力	EYESCAN エラーが発生するとアサートされます。
gtN_eyes canreset_in	入力	EYESCAN のリセット シーケンスを開始するため、このポートは High パルスで駆動されます。
gtN_eyes cantrigger_in	入力	このポートを High にすると、EYESCAN トリガー イベントが発生します。
gtN_rxbufreset_in	入力	RX エラスティック バッファの リセット シーケンスを開始するため、このポートは High 駆動された後ディアサートされます。
gtN_rxbufstatus_out[2:0]	出力	RX エラスティック バッファ ステータスです。
gtN_rxbyteisaligned_out	出力	RX バイト アライメント ステータスです。
gtN_rxbyterealign_out	出力	RX バイト アライメントが変更されたことを示します。
gtN_rxcdrhold_in	入力	CDR 制御ループを停止状態に保持します。
gtN_rxcommadet_out	出力	RX カンマ検出です。
gtN_rxdfelpmreset_in	入力	DFE リセットです。
gtN_rxlpmen_in	入力	LPM モード イネーブルです。
gtN_rxmonitorout_out	出力	RX モニター出力です。
gtN_rxmonitorsel_in	入力	RX モニター出力のモード選択です。
gtN_rxpcsreset_in	入力	PCS リセットです。
gtN_rxpd_in[1:0]	入力	RX パワー ダウンです。
gtN_rxpmareset_in	入力	PMA リセットです。
gtN_rxprbscntreset_in	入力	RX PRBS カウンター リセットです。

表 2-11: オプションのトランシーバー デバッグ ポート (7 シリーズ デバイス) (続き)

信号名 <sup>(1)(2)</sup>	方向	説明
gtN_rxprbserr_out	出力	RX PRBS エラー検出です。
gtN_rxprbsssel_in	入力	RX PRBS 選択です。
gtN_rxresetdone_out	出力	RX リセット完了です。
gtN_rxstatus_out[2:0]	出力	RX ステータスおよびエラー コードをエンコードします。
gtN_txbufstatus_out[1:0]	出力	TX エラスティック バッファ ステータスです。
gtN_txpcsreset_in	入力	TX PCS リセットです。
gtN_txpd_in	入力	TX パワー ダウンです。
gtN_txpmareset_in	入力	TX PMA リセットです。
gtN_txprbsforceerr_in	入力	TX PRBS 強制エラーです。
gtN_txresetdone_out	出力	TX リセット完了です。
gtN_rxlpmhfold_in	入力	(GTP のみ) LPM モード制御です。
gtN_rxlpmhfoverden_in	入力	(GTP のみ) LPM モード制御です。
gtN_rxlpmfold_in	入力	(GTP のみ) LPM モード制御です。

## 注記 :

1. N はトランシーバー チャンネル数です。
2. 7 シリーズ デバイスから UltraScale アーキテクチャ デバイスへ移行する場合、シングル レーン コアでは、オプションのトランシーバー デバッグ ポートの接頭辞が gt0、gt1 から gt へ変更され、接尾辞 \_in および \_out が削除されます。マルチレーン コアの場合、接頭辞が付いたオプションのトランシーバー ポート gt (n) は 1 つのポートに集約されます (表 2-12 参照)。

表 2-12: オプションのトランシーバー デバッグ ポート (UltraScale アーキテクチャ デバイス)

信号名 <sup>(1)</sup>	方向	説明
gtN_drpaddr [8:0]	入力	DRP アドレス バスです。
gtN_drpdi [15:0]	入力	FPGA ロジックからトランシーバーへコンフィギュレーション データを書き込むためのデータ バスです。
gtN_drpen	入力	DRP のイネーブル信号です。 • 0 : 読み出しましたは書き込み処理が無効 • 1 : 読み出しましたは書き込み処理が有効
gtN_drpwe	入力	DRP の書き込みイネーブル信号です。 • 0 : DEN が 1 のときに読み出し処理を実行 • 1 : DEN が 1 のときに書き込み処理を実行
gtN_drpdo [15:0]	出力	GTX/GTH トランシーバーから FPGA ロジック リソースへコンフィギュレーション データを読み出すためのデータ バスです。
gtN_drprdy	出力	DRP 書き込み処理が完了し、データの読み出しが有効であることを示します。
gt_txpmareset [(レーン数 -1):0]	入力	TX PMA のリセット シーケンスを開始するため、このポートは High パルスで駆動されます。
gt_txpcsreset [(レーン数 -1):0]	入力	TX PCS のリセット シーケンスを開始するため、このポートは High パルスで駆動されます。
gt_txresetdone [(レーン数 -1):0]	出力	このポートが High の場合、TX のリセット シーケンスが完了したことを示します。

表 2-12: オプションのトランシーバー デバッグ ポート (UltraScale アーキテクチャ デバイス) (続き)

信号名 <sup>(1)</sup>	方向	説明
gt_rxpmareset [(レーン数 -1):0]	入力	RX PMA のリセット シーケンスを開始するため、このポートは High パルスで駆動されます。
gt_rxpcsreset [(レーン数 -1):0]	入力	RX PCS のリセット シーケンスを開始するため、このポートは High パルスで駆動されます。
gt_rxbufreset [(レーン数 -1):0]	入力	RX エラスティック バッファのリセット シーケンスを開始するため、このポートは High 駆動された後ディアサートされます。
gt_rxpmarestdone [(レーン数 -1):0]	出力	このポートが High の場合、RX PMA のリセット シーケンスが完了したことを示します。
gt_rxresetdone [(レーン数 -1):0]	出力	このポートが High の場合、RX のリセット シーケンスが完了したことを示します。
gt_txbufstatus [(レーン数 *2)-1:0]	出力	エラスティック バッファ ステータスです。
gt_rxbufstatus [(レーン数 *3)-1:0]	出力	RX エラスティック バッファ ステータスです。
gt_cplllock [(レーン数 -1):0]	出力	チャンネル PLL が入力基準クロックにロックしたことを示す、アクティブ High 信号です。
gt_rxrate [(レーン数 *3)-1:0]	入力	リンク信号レート制御です。
gt_eyesctrigger [(レーン数 -1):0]	入力	このポートが High の場合、EYESCAN トリガー イベントが発生します。
gt_eyescanreset [(レーン数 -1):0]	入力	EYESCAN のリセット シーケンスを開始するため、このポートは High パルスで駆動されます。
gt_eyescanerror [(レーン数 -1):0]	出力	EYESCAN エラーが発生するとアサートされます。
gt_loopback [(レーン数 *3)-1:0]	入力	トランシーバーのループバックです。 <ul style="list-style-type: none"> <li>• 000: ループバックなし</li> <li>• 001: 近端 PCS ループバック</li> <li>• 010: 近端 PMA ループバック</li> <li>• 100: 遠端 PMA ループバック</li> <li>• 110: 遠端 PCS ループバック</li> </ul>
gt_rxpolarity [(レーン数 -1):0]	入力	High に設定すると、入力シリアル データが反転します。
gt_txpolarity [(レーン数 -1):0]	入力	High に設定すると、出力シリアル データが反転します。
gt_rxdfeprmreset [(レーン数 -1):0]	入力	LPM および DFE データパスのリセットです。
gt_rxlpmen [(レーン数 -1):0]	入力	1 に設定すると、LPM データパスを選択します。
gt_txprecursor [(レーン数 *5)-1:0]	入力	トランスミッター プリカーソルのプリエンファシスを制御します。
gt_txpostcursor [(レーン数 *5)-1:0]	入力	トランスミッター ポストカーソルのプリエンファシスを制御します。
gt_txdiffctrl [(レーン数 *4)-1:0]	入力	ドライバーの強度を制御します。
gt_txprbsforceerr [(レーン数 -1):0]	入力	High に設定すると、PRBS トランスミッターでエラーが発生します。

表 2-12: オプションのトランシーバー デバッグ ポート (UltraScale アーキテクチャ デバイス) (続き)

信号名 <sup>(1)</sup>	方向	説明
gt_rxprbsel [(レーン数 *4)-1:0]	入力	レシーバーの PRBS チェッカーのテスト パターンを制御します。
gt_rxprbserr [(レーン数 -1):0]	入力	このポートが High の場合、PRBS エラーが発生したことを示します。
gt_rxprbsentreset [(レーン数 -1):0]	入力	PRBS エラー カウンターをリセットします。
gt_rxcdrhold [(レーン数 -1):0]	入力	CDR 制御ループを停止状態に保持します。
gt_dmonitorout [(レーン数 *15-1):0]	出力	デジタル モニター出力バスです。
gt_rxdisperr [(レーン数 *4-1):0]	出力	レシーバーのディスパリティ エラーのステータス信号です。
gt_rxnotintable [(レーン数 *4-1):0]	出力	レシーバーの Not In Table エラーのステータス信号です。
gt_rxcommadet [(レーン数 -1):0]	出力	このポートが High の場合、カンマ アライメント ブロックが有効なカンマを検出したことを示します。
gt_rxpd [(レーン数 -1):0]	入力	RX パワー ダウンです。
gt_txpd [(レーン数 -1):0]	入力	TX パワー ダウンです。

1. N はトランシーバー チャンネル数です。

# コアを使用するデザイン

この章では、コアを使用した設計をより容易にするためのガイドラインおよび追加情報を紹介します。JESD204 PHY コアは、次の 2 つのモードで使用できます。

- JESD204 PHY コアは、JESD204 コアの生成時に自動的にインスタンス化されます。これはユーザーから透過的に実行され、すべてのポートおよびパラメーターは JESD204 IP で制御されます。このモードでの IP の使用にはユーザーの操作は不要であり、ここではその使用方法は記載されていません。このモードの詳細は、『JESD204 製品ガイド』(PG066) [参照 2] を参照してください。このモードは、UltraScale™ デバイスを除くプロダクションシステムで完全にサポートされています。
- JESD204 PHY コアは、JESD204 IP と併せて提供されるサンプル デザイン内で、スタンドアロンの IP コアとしてインスタンス化されます。この場合、JESD204 PHY IP の最上位はデザイン内のインスタンス化に直接利用でき、JESD204 PHY IP の GUI も利用できます。ここでは、このモードでの JESD204 PHY の使用方法について説明します。

**注記:** このモードは、サンプルとしてのみ提供されており、プリプロダクション用です。いずれのデバイスについても、プロダクションシステムで使用することは推奨されません。

---

## 一般的なデザイン ガイドライン

このセクションでは、JESD204 PHY コアを用いたデザインを開始するにあたって有益な補足情報を説明します。

### スターティングポイントとしてサンプル デザインを使用

Vivado® Design Suite で作成された JESD204 PHY コアの各インスタンスは、FPGA にインプリメントおよびシミュレーション可能なサンプル デザインを使用して構築されます。サンプル デザインは、独自デザインを構築するためのスターティングポイントとして使用したり、必要に応じてアプリケーションの問題を解決するために使用できます。

JESD204 PHY コアのサンプル デザインの使用およびカスタマイズ方法は、[第 5 章「サンプル デザイン」](#)を参照してください。

### 難易度

JESD204 デザインは、どのテクノロジーにインプリメントする場合でも困難であり、その難易度は次の要素によって異なります。

- 最大システム クロック周波数
- ターゲット デバイス アーキテクチャ
- アプリケーションの特徴

すべての JESD204 のインプリメンテーションでは、システム性能の要件に注意を払う必要があります。パイプライン処理、ロジック マップ、配置制約、およびロジック複製は、システム性能を向上させる最適手段です。

---

## クロック

このセクションでは、JESD204 PHY コアおよびトランシーバーのクロッキングのために利用可能なオプションについて説明します。JESD204 PHY コアでは、次のクロックが使用されます。

- **DRP クロック (UltraScale デバイスのみ)** : GTHE3 UltraScale デバイスのトランシーバーには、内部用および JESD204 PHY コア内のリセット ステート マシン用に、補助クロックが必要です。DRP で許容される最小および最大クロック周波数については、該当するデバイス ファミリのデータシートを参照してください。
- **コア クロック** : JESD204 PHY コアは 32 ビット (4 バイト) データパスを使用して動作します。そのため、コア ロジック用のデバイス クロックは、バイト クロック レートの 4 分の 1 (シリアル ライン レートの 1/40) で動作します。JESD204 と JESD204 PHY コアの場合は、このクロックがコア クロックとして参照されます。
- **基準クロック** : GTP/GTX/GTH シリアル トランシーバーには、デバイスおよびスピード グレードに応じた、安定した低ジッターの基準クロックが必要です。場合によっては、基準クロックとコア クロックに同一ソースのクロックを供給できます。GUI で CPLL と QPLL の両方を選択した場合は、2 つの基準クロックが必要です。

---

## リセット

送信および受信方向に対して個別のリセットが用意されています。これにより、送信 JESD204 リンクおよび受信 JESD204 リンクからそれぞれ JESD204 PHY コアを使用できます。システム リセットはありません。システム リセットの際は、JESD204 PHY に付属する JESD204 コアに JESD204 PHY をリセットさせます。

- **送信リセット** : 送信リセットの入力によって、トランシーバーの送信ロジックを完全にリセットするシーケンスが開始され、リセット シーケンスが完了すると `tx_reset_done` がアサートされます。
- **受信リセット** : 受信リセットの入力によって、トランシーバーの受信ロジックを完全にリセットするシーケンスが開始され、リセット シーケンスが完了すると `rx_reset_done` がアサートされます。

---

## プロトコルの説明

プロトコルの詳細は、『JESD204 製品ガイド』(PG066) [参照 2] を参照してください。

# デザイン フローの手順

この章では、コアのカスタマイズと生成、制約、およびシミュレーション/合成/インプリメンテーションの手順について説明します。一般的な Vivado® デザインフローについては、次の『Vivado Design Suite ユーザーガイド』を参照してください。

- 『Vivado Design Suite ユーザーガイド : IP を使用した設計』(UG896) [参照 3]
- 『Vivado Design Suite ユーザーガイド : 入門』(UG910) [参照 5]
- 『Vivado Design Suite ユーザーガイド : ロジック シミュレーション』(UG900) [参照 6]

---

## コアのカスタマイズおよび生成

ここでは、ザイリンクス ツールを使用し、Vivado® Design Suite でコアをカスタマイズおよび生成する方法について説明します。

IP はユーザー デザインに合わせてカスタマイズできます。それには、IP コアに関連する各種パラメーターの値を次の手順に従って指定します。

1. IP カタログから IP を選択します。
2. 選択した IP をダブルクリックするか、ツールバーまたは右クリック メニューから [Customize IP] コマンドをクリックします。

詳細は、『Vivado Design Suite ユーザーガイド : IP を使用した設計』(UG896) [参照 4] および『Vivado Design Suite ユーザーガイド : 入門』(UG910) [参照 5] を参照してください。

**注記 :** この章の図には Vivado IDE のスクリーンショットが使用されていますが、現在のバージョンとはレイアウトが異なる場合があります。

## [Configuration] タブ

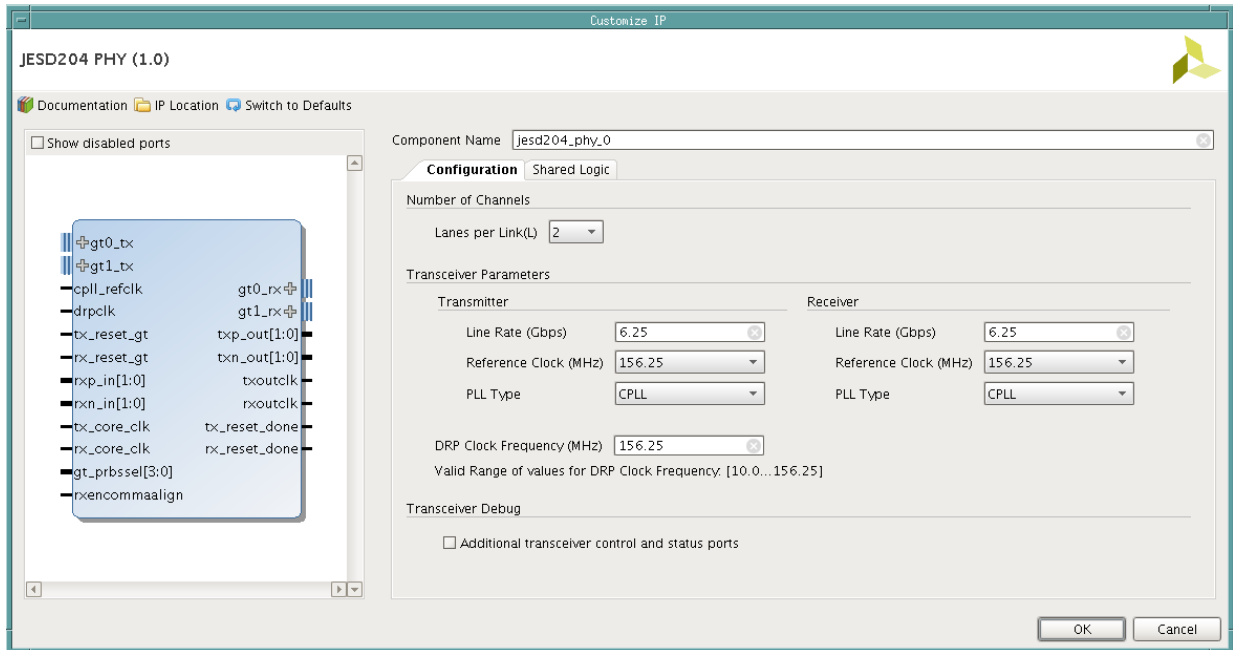


図 4-1 : [Configuration] タブ

- **[Number of Channels]**
  - **[Lanes per Link]** : コアは、1 から 12 レーンをサポートします。送信レーン数は、常に受信レーン数と一致します。非対称インターフェイスでは、複数のコアを作成でき、1 つの JESD204 コアに対して複数の PHY コアを接続できます。
- **[Transceiver Parameters]、[Transmitter]、および [Receiver]**
  - **[Line Rate]** : 送信および受信についてシリアル ライン レート (Gbps) を個々に選択できます。最小レートは 1Gbps で、最大レートは選択したデバイスおよびスピード グレードに依存します。
  - **[Reference Clock]** : 基準クロックは、ドロップダウン リストから選択します。このリストには、選択されたライン レートに対して有効な基準クロックの一覧が表示されます。送信と受信に対して異なる PLL が選択されている場合のみ、基準クロックを個別に選択できます。
  - **[PLL Type]** : 送信と受信に対して QPLL または CPLL を選択します。詳細と制約事項については、該当するデバイスのトランシーバーのユーザー ガイドを参照してください。
  - **[DRP Clock Frequency]** : コアに供給される DRP クロックの周波数です。これによりリセット ステート マシンでリセットの遅延を調整できます。
- **[Transceiver Debug]** : デバッグ用に、トランシーバー制御およびステータス ポートを選択して追加します。詳細は、第 2 章の「トランシーバー デバッグ インターフェイス」を参照してください。

## [Shared Logic] タブ

コア内またはサンプル デザイン内に共有ロジック含めて、JESD204 PHY を生成できます。JESD204 IP コアを JESD204 PHY と併用する場合は、共有ロジックは必ずコア内に含まれている必要があります。

## ユーザー パラメーター

表 4-1 に、Vivado IDE の GUI フィールドと対応するユーザー パラメーターの関係を示します。ユーザー パラメーターは Tcl コンソールで表示できます。

表 4-1 : GUI パラメーターと対応するユーザー パラメーター<sup>(1)</sup>

GUI パラメーター / 値	ユーザー パラメーター / 値	デフォルト値
Lanes per Link	C_LANES	2
Line Rate		
Transmit	GT_Line_Rate	6.25
Receive	RX_GT_Line_Rate	6.25
Reference Clock		
Transmit	GT_REFCLK_FREQ	156.25
Receive	RX_GT_REFCLK_FREQ	156.25
PLL Type		
Transmit	C_PLL_SELECTION	0
Receive	RX_PLL_SELECTION	0
DRP Clock Frequency	DRPCLK_FREQ	10.0
Shared Logic	SupportLevel	1
Transceiver Debug	TransceiverControl	false

1. パラメーターおよびデフォルト値は、選択したデバイスによって異なる場合があります。

## 出力の生成

詳細は、『Vivado Design Suite ユーザー ガイド : IP を使用した設計』(UG896) [参照 4] を参照してください。

## コアへの制約

このセクションでは、JESD204 コアを含むデザインの制約方法を説明します。制約は、コア作成時に生成される XDC を使用して適用されます。IP のサンプル デザインと共に別の XDC ファイルが生成されますが、ユーザー デザインで使用するのはコア XDC ファイルのみです。

### 必須の制約

このセクションでは、コアの制約要件を説明します。制約は、コアおよびサンプル デザインと共に生成される複数の XDC ファイルで提供され、ユーザー デザインの制約の出発点となります。

このコアに関連する 3 つの XDC 制約ファイルを次に示します。

- <corename>\_example\_design.xdc
- <corename>\_ooc.xdc
- <corename>.xdc

最初のファイルは、このサンプル デザインでのみ使用されるものです。2 番目のファイルは、このコアをラッパーなしで合成できる Out Of Context をサポートするために使用されます。3 番目のファイルは、このコアの主要な XDC ファイルです。

## クロック周波数

基準クロックおよびコア クロックの周波数の制約は、コア生成時に選択したライン レートおよび基準クロックに大きく依存します。詳細は、生成された XDC を参照してください。

## クロックドメイン

クロック乗せ替えが発生するパスも複数存在します。これらには、管理インターフェイスが含まれます。詳細は、生成された XDC ファイルを参照してください。

## クロック管理

基準クロックおよびコア クロックのリソースには、最上位デザインに適したロケーション制約が必要です。

## クロック配置

基準クロック入力には、最上位デザインおよびトランシーバーの配置に適したロケーション制約を与える必要があります。

コア クロック入力が必要な場合は、最上位デザインに適したロケーション制約を与える必要があります。

## バンク設定

すべてのポートには、バンク設定の範囲内で、最上位デザインに適したロケーション制約を与える必要があります。

## トランシーバーの配置

トランシーバーには、デザインに適したロケーション制約を与える必要があります。トランシーバーのロケーション制約の例が、サンプル デザインの XDC ファイルに含まれている場合もあります。7 シリーズ デバイスでは、GT のロケーション制約がトランシーバーの XDC ファイル内にあります。

## I/O 規格と配置

すべてのポートには、最上位デザインに適した I/O 規格およびロケーション制約を与える必要があります。

---

## シミュレーション

Vivado シミュレーション コンポーネントについて、またサポートされているサードパーティ ツールについては、『Vivado Design Suite ユーザー ガイド : ロジック シミュレーション』(UG900) [\[参照 6\]](#) を参照してください。

---

## 合成およびインプリメンテーション

合成およびインプリメンテーションの詳細は、『Vivado Design Suite ユーザー ガイド : IP を使用した設計』(UG896) [\[参照 4\]](#) を参照してください。

## サンプル デザイン

この章では、Vivado® Design Suite で提供されているサンプル デザインについて説明します。

JESD204 PHY コアは、スタンドアロン ソリューションで使用することを目的としたものではありませんが、IP コアのサンプル デザインは存在します。このサンプル デザインには、外部の TX から RX へのループバックで動作でき、または独立した RX/TX チャネル モードとして動作できる、簡単な例が含まれます。JESD204 PHY IP コアの使用例の詳細は、JESD204 IP を含むサンプル デザインを参照してください [参照 2]。

サンプル デザインを開くには、図 5-1 に示すように、IP を右クリックし、[Open IP Example Design] を選択します。

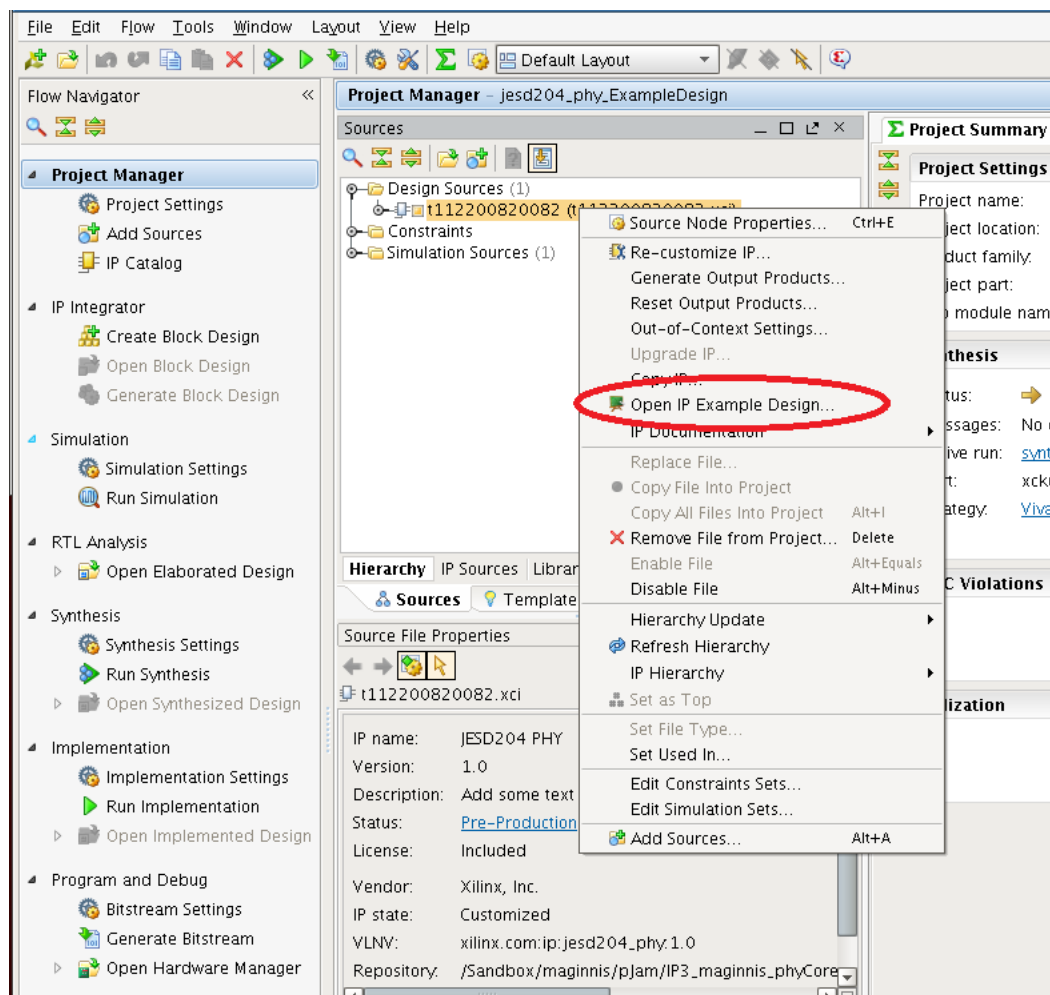


図 5-1: サンプル デザインを開く

サンプル デザインは、TX パス用のデータを内部で生成します。入力データが 8'hBC であることを検証する単純なチェック機能が備わっている場合、このデータを外部から確認でき、また RX パスにフィードバックすることもできます。

clks\_in モジュールは、選択したテクノロジーに応じて適切なクロック バッファをクロック パス上に配置します。

シーケンサーは、サンプル デザインが入力データをテストできることを示すだけでなく、伝送されるデータの順序制御を行います。RX および TX チャンネルの両方がリセット状態から回復すると、シーケンサーは K28.5 シンボルを送出します。JESD204 データ インターフェイス上で見られるような 4 つの /R/.../A/ フレームが、その後続きます。ただし、/Q/ と 14 バイトの /Q/ データは送出不されることに注意が必要です。これらは、カウンター値をインクリメントするだけです。

図 5-2 に、サンプル デザインのブロック図を示します。

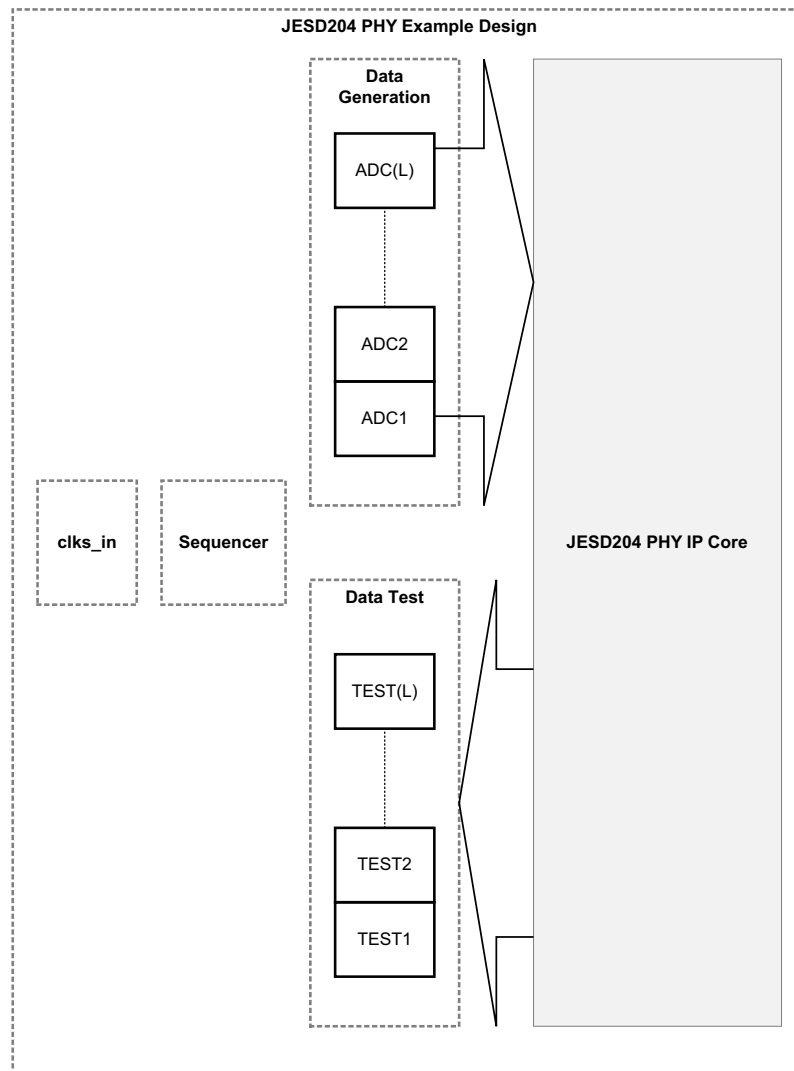


図 5-2: サンプル デザインのブロック図

図 5-3 と図 5-4 に、異なる PLL タイプおよび同じ PLL タイプを持つクロック構造をそれぞれ示します。



ヒント : RX および TX パスに対して異なる PLL を選択した場合は、refclk のポート名に「rx」または「tx」が付きます。同じ PLL を選択した場合は、ポート名に「common」が付きます。

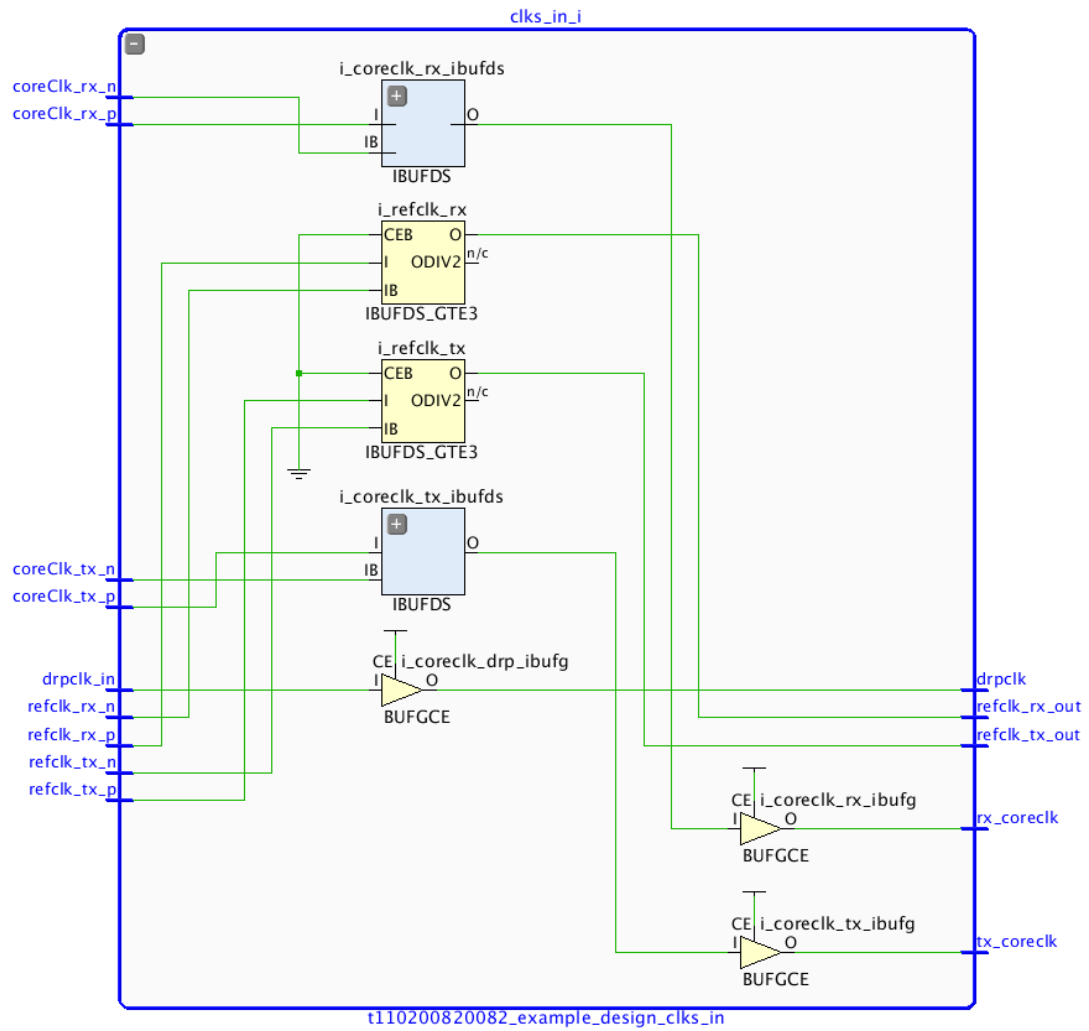


図 5-3 : 異なる PLL タイプを用いるクロック構造

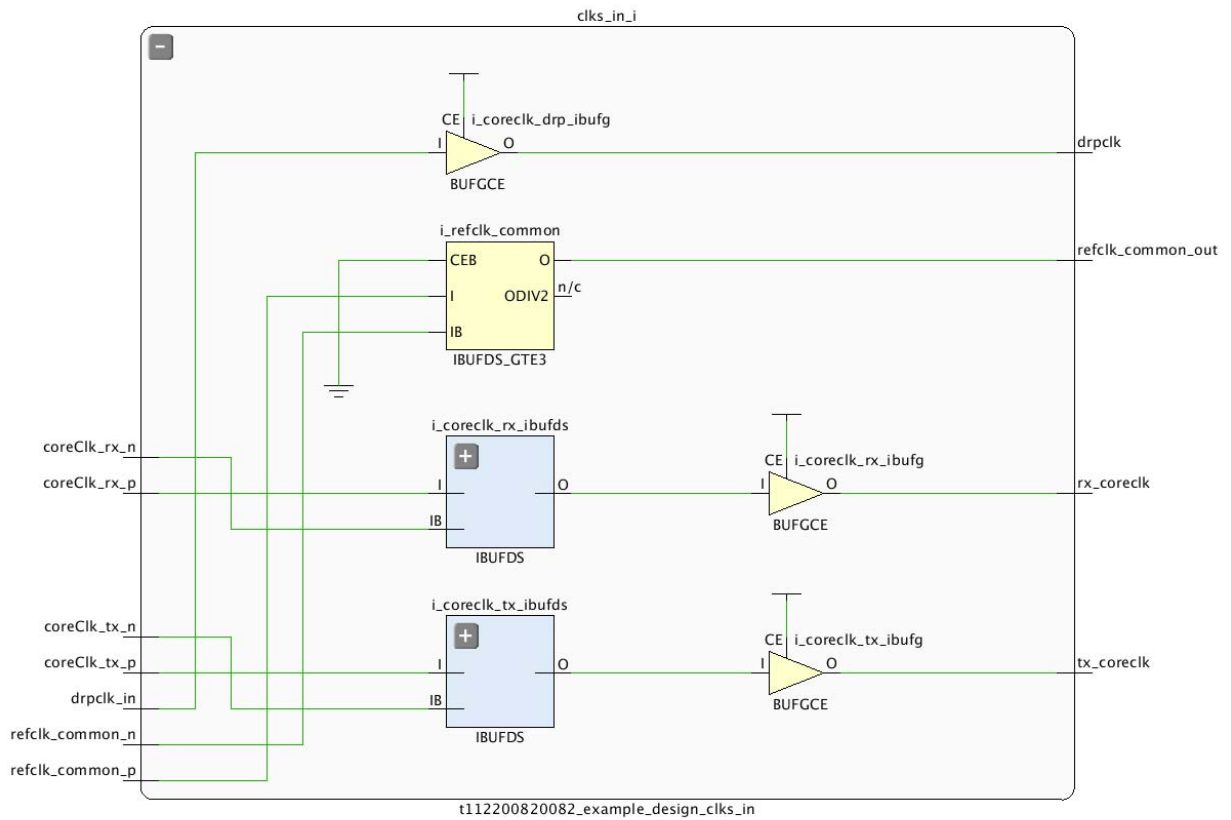


図 5-4 : 同じ PLL タイプを用いるクロック構造

# テストベンチ

この章では、Vivado® Design Suite で提供されているテストベンチについて説明します。図 6-1 に、テストベンチのブロック図を示します。

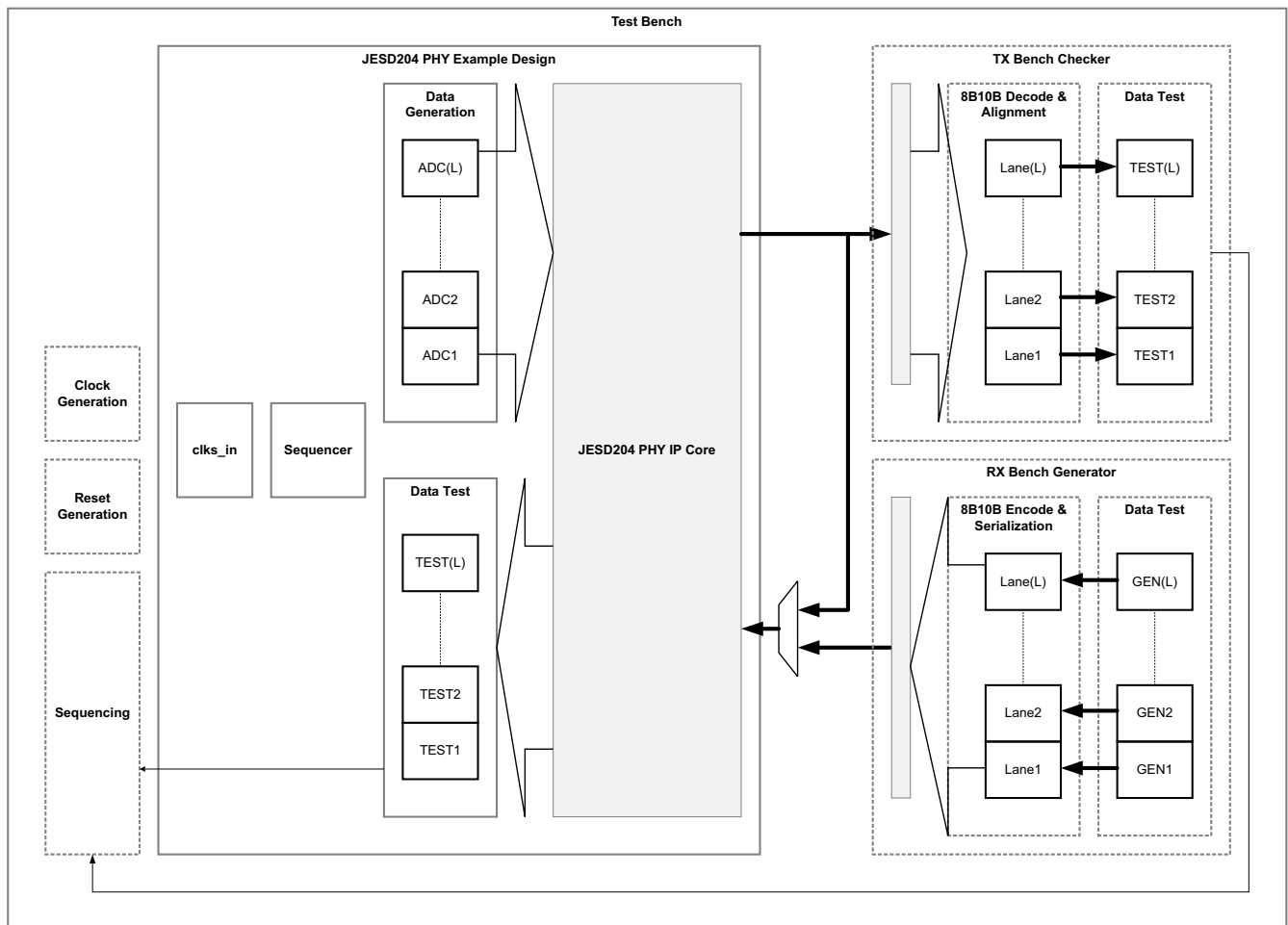


図 6-1: テストベンチのブロック図

レーンごとの波形およびチェッカーブロックを生成するために階層が広く使用されており、波形エリアに信号を簡単に表示できます。

テストベンチは、デザインに必要なすべてのクロックを備えています。TX および RX のライン レートが同じ場合、IP 構築時のシミュレーション用にループバックパスが自動的に選択されます。

最上位には、イベント メッセージング機能が複数備えられており、レーンがリセット状態から回復したとき、および RX と TX チャンネルで使用されるビット レートを示します。タイムアウト機能も含まれます。

データ生成機能および検証機能は、最上位テストベンチにインスタンス化された個別モジュールにそれぞれ備わっています。これにより、波形ビューアーを用いてレーンのデータストリームへ確実に移動できます。データストリームは、TX および RX パスの両方がリセットされると開始されます。K28.5 (K/) シンボルが送信されると、トランシーバーはビットアライメントを実行します。

K28.0 (R/)、K28.3 (A/)、およびデータだけから成る ILA タイプのシーケンスが送出されると、テストベンチは 32 ビット境界に揃えられます。テストベンチは、指定したコアクロックサイクル間実行し続けます。



---

**重要** : IP パラメーターを変更する場合は、IP をリコンフィギュレーションしてサンプル デザインを生成し直す必要があります。

---

# 検証、互換性、相互運用性

JESD204 コアは、シミュレーションおよびハードウェア テストの両方を使用して検証済みです。

---

## シミュレーション

コアの検証には、高度にパラメータ指定可能なトランザクション ベースのシミュレーション テスト手法が用いられています。テストには、次の項目が含まれます。

- スクランブルとアライメント
- 同期の損失および回復
- フレーム送信
- フレーム受信
- エラー状態からの回復

---

## ハードウェア テスト

コアは、ザイリンクスの数多くのハードウェア テスト プラットフォームおよび外部のハードウェア ベンダーとの相互運用性テストで使用されています。

# デバッグ

この付録では、ザイリンクス サポート ウェブサイトより入手可能なリソースおよびデバッグ ツールについて説明します。

---

## ザイリンクス ウェブサイト

JESD204 PHY を使用した設計およびデバッグでヘルプが必要な場合は、[ザイリンクス サポート ウェブ ページ](#)から製品の資料、リリース ノート、アンサーなどを参照するか、テクニカル サポートでケースを開いてください。

### 資料

この製品ガイドは JESD204 PHY に関する主要資料です。このガイド並びに全製品の設計プロセスをサポートする資料はすべて、ザイリンクス サポート ウェブ ページ (<http://japan.xilinx.com/support>) またはザイリンクスの Documentation Navigator から入手できます。

Documentation Navigator は、ダウンロード ページ (<http://japan.xilinx.com/download>) の [デザイン ツール] タブからダウンロードできます。このツールの詳細および機能は、インストール後にオンライン ヘルプを参照してください。

### アンサー

アンサーには、よく発生する問題についてその解決方法、およびザイリンクス製品に関する既知の問題などの情報が記載されています。アンサーは、ユーザーが該当製品の最新情報にアクセスできるよう作成および管理されています。

このコアに関するアンサーの検索には、[ザイリンクス サポート ウェブ ページ](#)にある検索ボックスを使用します。よりの確な検索結果を得るには、次のようなキーワードを使用してください。

- 製品名
- ツールで表示されるメッセージ
- 問題の概要

検索結果は、フィルター機能を使用してさらに絞り込むことができます。

### JESD204 PHY コアに関するマスター アンサー

AR : [61911](#)

## テクニカル サポート

ザイリンクスは、製品資料の説明に従って使用されている LogiCORE™ IP 製品に対するテクニカル サポートを [japan.xilinx.com/support](http://japan.xilinx.com/support) で提供しています。資料で定義されていないデバイスにインプリメントしたり、許容されている範囲を超えてカスタマイズしたり、あるいは「DO NOT MODIFY」とされているデザイン セクションに変更を加えたりした場合、タイミング、機能、製品サポートは保証されません。

テクニカル サポートへのお問い合わせ方法は、次のとおりです。

1. <http://japan.xilinx.com/support> にアクセスします。
2. 「その他のリソース」の下の [\[ウェブケースを作成\]](#) リンクをクリックし、ウェブケースを開きます。

ウェブケースを作成する際は、次の情報を含めてください。

- パッケージおよびデバイス スピード グレードを含むターゲット FPGA の情報
- 該当するすべてのザイリンクス デザイン ツールとシミュレータのソフトウェア バージョン
- 問題によっては、ファイルの追加を求められる場合があります。ウェブケースに含める特定ファイルについては、この資料の関連セクションを参照してください。

**注記:** すべての問題がウェブケースの利用対象になるわけではありません。ウェブケース ツールにログインしてサポート オプションを確認してください。

## デバッグ ツール

JESD204 PHY デザインの問題を解決するには、数多くのツールを利用できます。さまざまな状況をデバッグするのに有益なツールを理解しておくことが重要です。

### Vivado ラボ ツール

Vivado<sup>®</sup> ラボ ツールは、Logic Analyzer (ILA) および Virtual I/O (VIO) コアをユーザーのデザインに直接挿入します。Vivado ラボ ツールを使用すると、トリガー条件を設定して、ハードウェアでアプリケーションおよび統合ブロックのポート信号をハードウェアに取り込むことができます。取り込まれた信号は、その後解析できます。Vivado IDE のこの機能は、サイリンクス デバイスで実行されるデザインの論理デバッグおよびバリデーションに使用されます。

Vivado ロジック解析は次の論理デバッグ LogiCORE IP コアと共に使用されます。

- ILA 2.0 (およびそれ以降のバージョン)
- VIO 2.0 (およびそれ以降のバージョン)

詳細は、『Vivado Design Suite ユーザー ガイド : プログラムおよびデバッグ』(UG908) [\[参照 8\]](#) を参照してください。

### リファレンス ボード

JESD204 PHY はさまざまなサイリンクス開発ボードでサポートされています。これらのボードを使用してデザインのプロトタイプを作成し、コアがシステムと通信できるようにします。

#### 7 シリーズ FPGA 評価ボード

- AC701
- KC705
- ZC706
- VC709

# シミュレーション デバッグ

図 B-1 に、Questa<sup>®</sup> SIM によるシミュレーションのデバッグ フローを示します。ほかのシミュレータについても、同様の方法が使用できます。

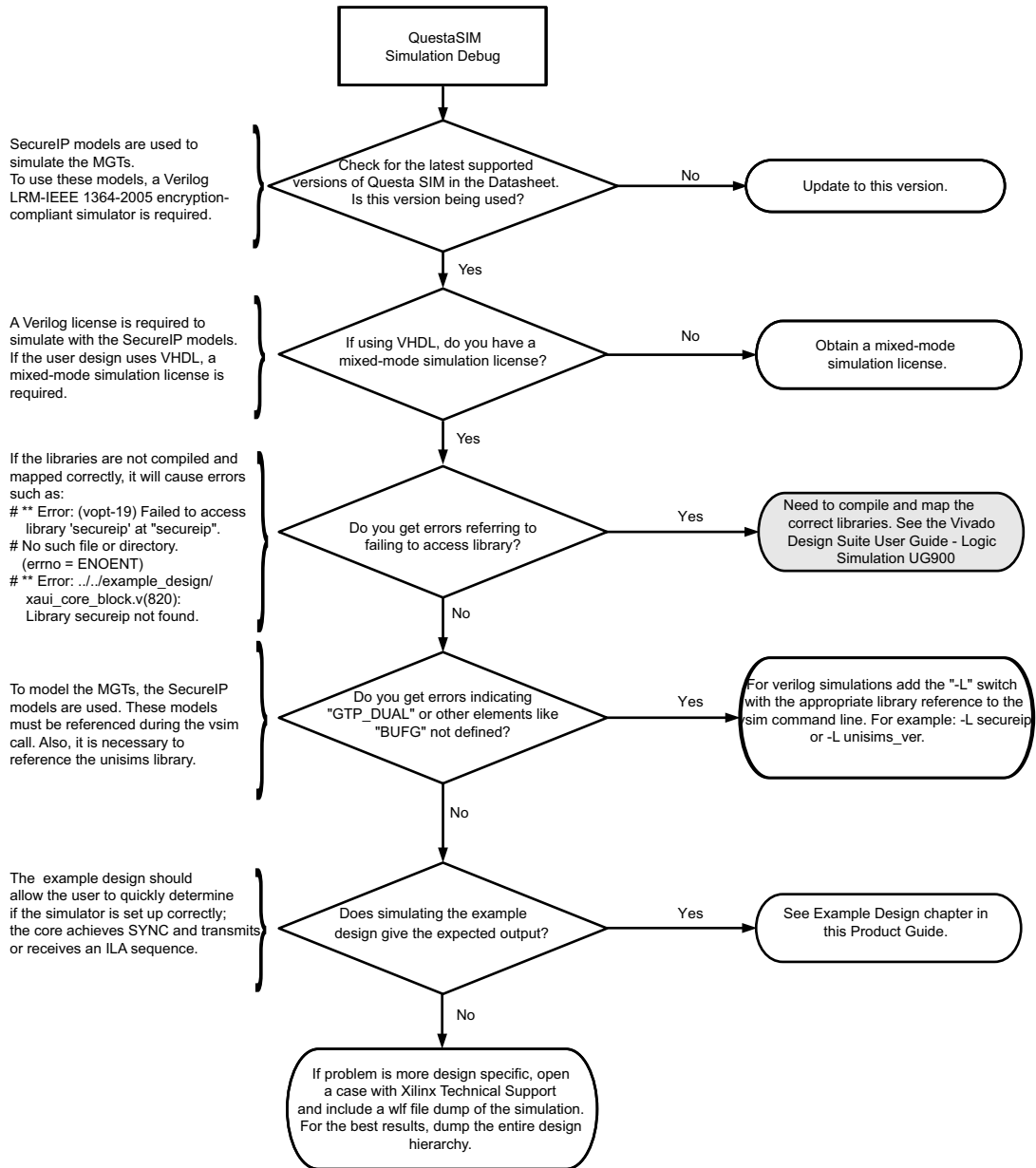


図 B-1 : Questa SIM のデバッグ フロー図

## ハードウェアのデバッグ

ハードウェアの問題は、リンク立ち上げ時の問題から、何時間ものテストの後に発生する問題までさまざまです。ここでは、一般的な問題のデバッグ手順を説明します。Vivado ラボ ツールは、ハードウェア デバッグに有益なリソースです。次の各セクションに示す信号を Vivado ラボ ツールでプローブすることで、個々の問題をデバッグできます。

### 汎用チェック

- インプリメンテーション時に、コアに対するすべてのタイミング制約が満たされていることを確認します。
- すべてのクロック ソースがクリーンで、特にトランシーバーの基準クロックが GTX/GTH/GTP トランシーバーの要件を満たしていることを該当する FPGA データシートから確認します。
- Vivado ラボ ツールを使用するか信号を予備ピンへ配線し、すべての GTX/GTH/GTP トランシーバー PLL がロックしていることを QPLLLOCK\_OUT または CPLLLOCK\_OUT ポートをモニターして確認します。
- 新規の GTX/GTH/GTP トランシーバーを生成し直す場合は、新しいトランシーバーの基準クロックがデザインの基準クロックと一致することを確認します。

# その他のリソースおよび法的通知

---

## ザイリンクス リソース

アンサー、資料、ダウンロード、フォーラムなどのサポート リソースは、[ザイリンクス サポート サイト](#)を参照してください。

---

## 参考資料

次の資料は、この製品ガイドの補足資料として役立ちます。

1. 『Serial Interface for Data Converters』([JESD204B](#))
2. 『JESD204 製品ガイド』([PG066](#))
3. 『Vivado Design Suite ユーザー ガイド : IP インテグレーターを使用した IP サブシステムの設計』([UG994](#))
4. 『Vivado Design Suite ユーザー ガイド : IP を使用した設計』([UG896](#))
5. 『Vivado Design Suite ユーザー ガイド : 入門』([UG910](#))
6. 『Vivado Design Suite ユーザー ガイド : ロジック シミュレーション』([UG900](#))
7. 『ISE から Vivado Design Suite への移行ガイド』([UG911](#))
8. 『Vivado Design Suite ユーザー ガイド : プログラムおよびデバッグ』([UG908](#))
9. 『Vivado Design Suite ユーザー ガイド : インプリメンテーション』([UG904](#))
10. 『UltraScale アーキテクチャ GTH トランシーバー ユーザー ガイド』([UG576](#))
11. 『7 シリーズ FPGA GTX/GTH トランシーバー ユーザー ガイド』([UG476](#))
12. 『7 シリーズ FPGA GTP トランシーバー ユーザー ガイド』([UG482](#))
13. 『Artix-7 FPGA データシート』([DS181](#))
14. 『Kintex-7 FPGA データシート』([DS182](#))
15. 『Virtex-7 T および XT FPGA データシート』([DS183](#))
16. 『Kintex UltraScale アーキテクチャ データシート』([DS892](#))
17. 『Virtex UltraScale アーキテクチャ データシート』([DS893](#))

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2014 年 10 月 1 日	1.0	初版

## 法的通知

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of Xilinx's limited warranty, please refer to Xilinx's Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in such critical applications, please refer to Xilinx's Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>.

© Copyright 2014 Xilinx, Inc. Xilinx, the Xilinx logo, Artix, ISE, Kintex, Spartan, Virtex, Vivado, Zynq, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

この資料に関するフィードバックおよびリンクなどの問題につきましては、[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。フィードバックは日本語で入力可能です。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。