



# 競合製品のレガシ LUT4 アーキテクチャ に対する AMD FPGA の優位性

WP558 (v1.0) 2024 年 9 月 24 日

ホワイト ペーパー

この資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

## 概要

最小のコストで FPGA の性能と消費電力を最適化することは、依然として、FPGA 設計者にとっての重要な課題です。AMD のコスト重視 FPGA は、消費電力を低く抑えながら高性能を実現するという、バランスの取れたソリューションを提供します。LUT6 アーキテクチャがもたらす使用率の優位性により、小規模で低コストなデバイスの選択が可能になります。さらに、この使用率の優位性に熱効率の高いパッケージを組み合わせることで、スタティック消費電力とダイナミック消費電力の両方が削減されます。

AMD アダプティブ コンピューティングは、従業員、顧客、パートナーそれぞれが認められ、受け入れられていると実感できる環境作りに取り組んでいます。その一環として、製品資料およびその他関連資料に含まれる非包括的な用語/表現を排除していきます。当社ソフトウェアおよび IP に組み込まれている用語を含め、人を差別、疎外したり、歴史的な偏見を増長する可能性のある表現をなくすための社内的取り組みが始まっています。該当表現を改め、進化する業界標準に則った取り組みを進めていますが、旧製品資料には配慮に欠ける表現が残っている可能性があります。詳細は、この[リンク](#)を参照してください。

WP558 (v1.0) 2024 年 9 月 24 日

ホワイト ペーパー

## 定評ある AMD のコスト重視の実績

AMD には、過去何世代にもわたってコスト重視デバイスを提供してきたという顕著な実績があります。さまざまなベンダーがこの市場への参入を試みており、設計者はアーキテクチャ間のトレードオフを理解することが重要です。この文書では、十分な情報に基づいてデバイスを選択できるように、データに基づいた比較を提供します。

## 低集積アプリケーションにおける優先順位: コスト、消費電力、サイズ

200 kLC を下回る、「低集積製品」と呼ばれるデバイスを必要とするアプリケーションでは、通常、コスト、消費電力、サイズの3つが優先されます。選択肢は数多くあるように思えますが、この領域で競合するほとんどのデバイスには、コストを下げる目的で、旧式のレガシアーキテクチャとレガシインターフェイスが採用されています。

## その他の考慮事項

特定のアプリケーションに対してどの FPGA を選択するかを決定する際、一般に、シリコン性能、ソフトウェア設計環境、ツール、フィールドサポートなど多数の要因が考慮されます。

AMD は次を最新テクノロジーで提供します。

- プログラマブルロジック
- インターフェイス
- パッケージ
- デザインツールおよび IP

## 6 入力 LUT: 性能に対する最適化

FPGA の登場以来、LUT アーキテクチャの基礎から始まり、さまざまなプログラマブルロジックアーキテクチャが評価されてきました。一般には次のことが言えます。

- 4 入力のルックアップテーブル (LUT) は、エリア使用率に対して最適化されている
- 6 入力 LUT は性能に対して最適化されている

このホワイトペーパーでは、ハイエンドの革新的アーキテクチャの活用、6 入力 LUT アーキテクチャの使用率の優位性、ローエンドアプリケーションにとっての性能/消費電力の利点に焦点を当てて解説します。

## LUT6 シリコンでの使用率の優位性

ザイリンクス (現在の AMD) が 1984 年に開発した初の FPGA は、2 個の 3 入力 LUT と 1 個のレジスタを搭載していました。その後すぐに、4 入力 LUT が導入されました。さまざまな FPGA ベンダーが性能を高めるために、5、6、7 入力 LUT を試してきましたが、競合する低集積 FPGA の大半は、引き続き、LUT4 アーキテクチャをベースにしています。

## 過去 10 年間に発表されたすべての AMD FPGA は LUT6 アーキテクチャを使用

AMD デバイスと Lattice デバイスそれぞれの LUT 実装を次に示します。

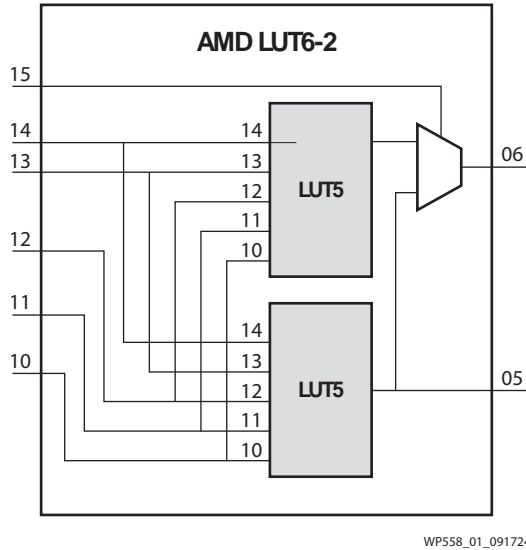


図 1: 1 つの AMD LUT6 FPGA アーキテクチャ ブロック (UltraScale+ デバイスの例)

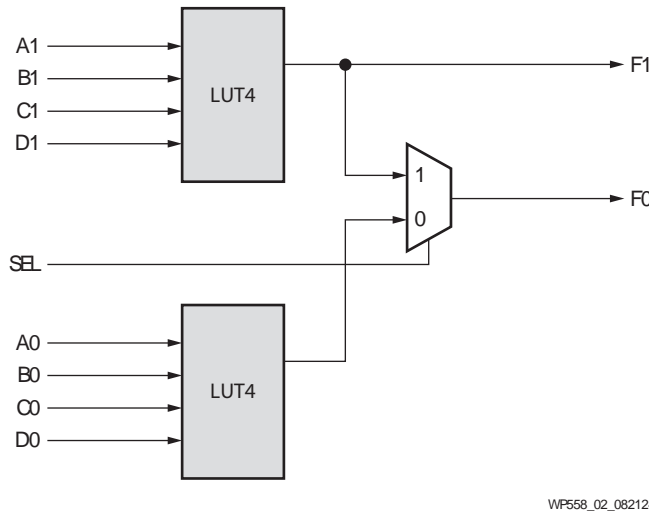


図 2: 2 つの Lattice LUT4 FPGA アーキテクチャ ブロック

## 解析に使用したデバイス、スピード グレード、ソフトウェア ツール

特定の LUT アーキテクチャの機能を評価する際、重要なパラメーターの 1 つに使用率があります。使用率は、特定のデザインをリソースにどれだけうまくマッピングできるかを測定しています。

LUT アーキテクチャ間での使用率の違いを評価するため、AMD は包括的な解析を実施しました。AMD デバイスおよび同等の Lattice デバイスをターゲットとして、30 のオープンコア (OC) デザインを実装しました。次の表に、テストに使用したデバイス、スピード グレード、ソフトウェア ツールを示します。

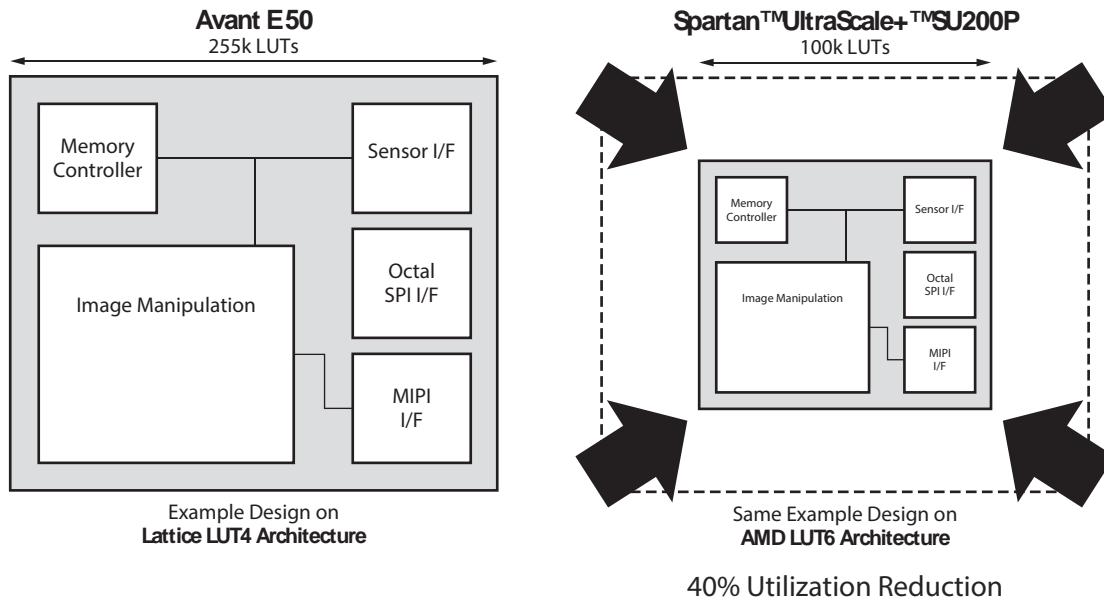
表 1: テストに使用された AMD および Lattice デバイス、スピード グレード、ツール

| ベンダー       | AMD                      |                         | Lattice                         |               |
|------------|--------------------------|-------------------------|---------------------------------|---------------|
|            | 28 nm                    | 16 nm                   | 28 nm                           | 16 nm         |
| ファミリー      | Artix™ 7 FPGA            | Artix UltraScale+™ FPGA | MachXO5™-NX FPGA                | Avant™-E FPGA |
| デバイス       | 7A100T                   | AU7P                    | LFMXO5-25                       | LAV-AT-E70    |
| スピード グレード  | -1L                      | -2, -1, -1LV            | 9HP, 7LP, 9LP, 7HP              | -1, -3        |
| ソフトウェア ツール | AMD Vivado™ Design Suite |                         | Lattice Radiant Design Software |               |
| ツールバージョン   | Vivado 2024.1            |                         | Radiant 2024.1                  |               |

## 結果: LUT6 で使用される LUT は LUT4 アーキテクチャよりも平均で 40% 少ない

各 OC デザインに対し、AMD ツールと Lattice ツールの両方で LUT 使用率を記録しました。LUT 使用率の幾何平均を算出したところ、AMD デバイスで使用された LUT は平均で約 40% 少ない結果となりました。つまり、LUT6 アーキテクチャで使用される LUT は、LUT4 FPGA アーキテクチャよりも平均で 40% 少ないと見積もることができます。

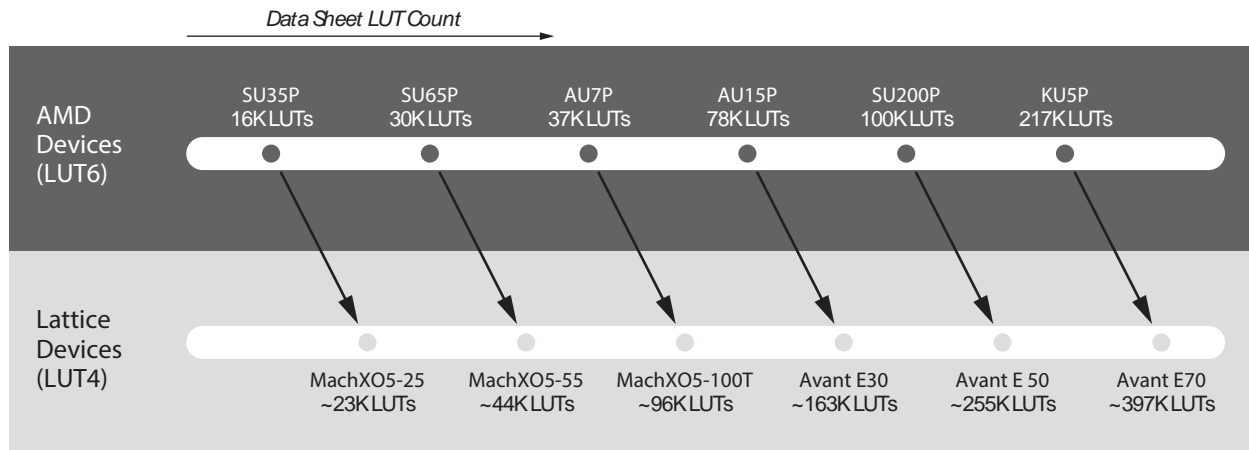
この 40% の差分からいくつかの利点をもたらされます。直接的な影響があるのはデザインのフットプリントで、Lattice デバイスのサイズと比較すると、同じ機能を実行するために、より低集積の AMD デバイスを選択できるようになります。ロジック集積度の低いデバイスを選択することで、スタティック消費電力が低減します (詳しくは後述)。図 3 は、LUT6 アーキテクチャによって、使用リソースが 40% まで削減される場合のイメージを図示したものです。この例は、LUT6 がもたらす 40% という使用率の削減で、Avant E 50 に適合するデザインが、AMD Spartan™ UltraScale+ SU200P に収まることを示しています。



WP558\_03\_090424

図 3: LUT6 アーキテクチャによる 40% という使用率削減のイメージ図

図 4 に、40% という使用率の優位性を踏まえた、AMD デバイスから Lattice デバイスへのマッピングを示します。



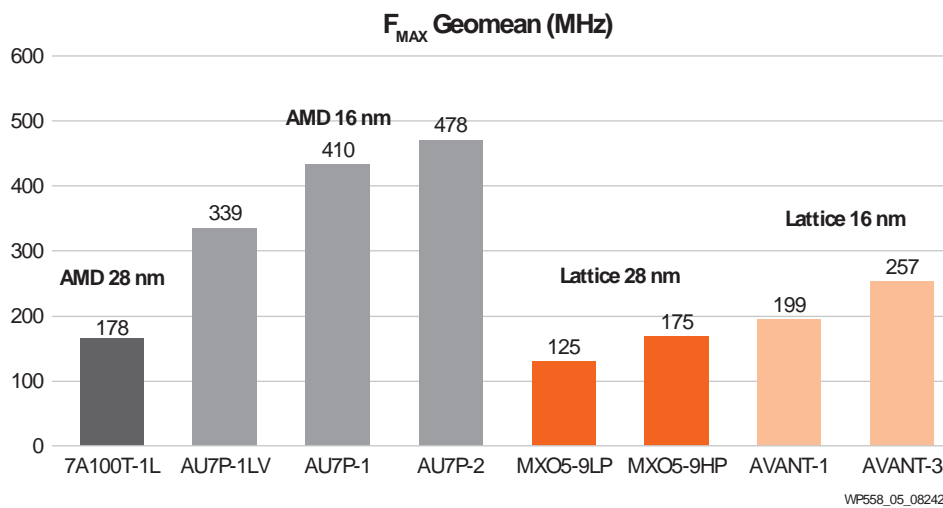
WP558\_04\_091724

図 4: 競合する Lattice デバイスからより小規模の AMD デバイスへのマッピング

## LUT6 アーキテクチャが実現する高い性能

上述した LUT6 の使用率の優位性に加えて、AMD のベンチマークから、AMD UltraScale+ FPGA は  $F_{MAX}$  で Lattice Avant の 1.8 倍を、Lattice Nexus の 2.7 倍を達成することがわかっています。

上に示したデバイスで、同じ 30 種類のオープンコア デザインを実行しました。そこから、デバイスがタイミング制約を満たせなくなるまでデザインを繰り返し実行することで、各デバイスの  $F_{MAX}$  を出し、その結果と幾何平均を記録しました。



WP558\_05\_082424

図 5: AMD デバイスと Lattice デバイスでの  $F_{MAX}$  の幾何平均

結果: AMD はおおよそ 2 スピード グレード分高速

図 5 について要約します。

- AMD UltraScale+ -1LV デバイスは Avant -3 よりも 27% 高速であり、大まかに言って「2 スピード グレード分高速」
- Lattice Avant の最も速いスピード グレード (-3) は、最も遅いスピード グレード (-1) よりも 29% 高速
  - 。つまり、約 29% の  $F_{MAX}$  の差分は、Lattice Avant ではおおよそ「2 スピード グレード分」に相当

図 5 で、AMD 16 nm で最も速いスピード グレード製品 (AU7P-2、507 MHz) を Lattice 16 nm で最も速いスピード グレード製品 (Avant E70 -3、278 MHz) と比較すると、 $F_{MAX}$  は 1.8 倍高い結果となっています。

さらに詳しく確認するため、図 6 に、各 OC デザインを実行したデバイス別の  $F_{MAX}$  結果を示しています。ほぼすべてのデザインで、AMD の方が高い性能を達成しています。

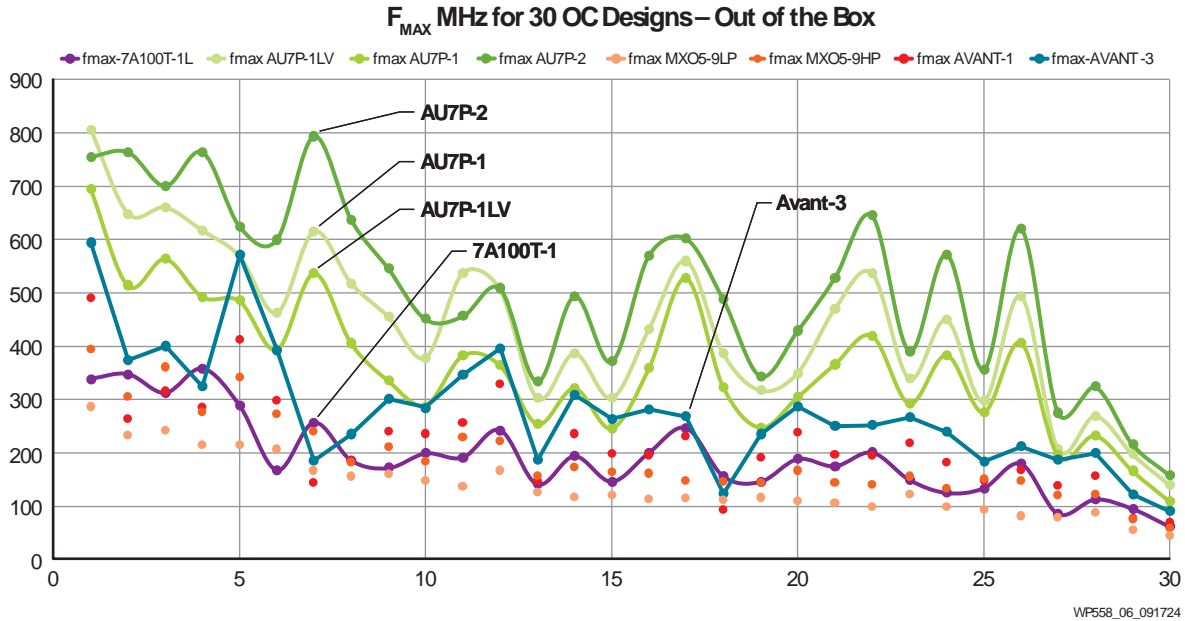


図 6: すべてのデザイン実行での AMD デバイスと Lattice デバイスの  $F_{MAX}$  を比較

**結果: AMD UltraScale+ FPGA の  $F_{MAX}$  は、Lattice Avant よりも 1.8 倍高く、Lattice Nexus よりも 2.7 倍高い**

# AMD が提供する複数のスピード グレードおよびコア電圧オプション

AMD Spartan UltraScale+ および Artix UltraScale+ デバイスは、複数のスピード グレードとコア電圧オプションで提供されます。表 2 では、公開されているデータシートに基づいて、クロック ネットワークの  $F_{MAX}$  を比較しています。

表 2: 公開データシートに記載された FPGA クロック  $F_{MAX}$  の AMD と Lattice での比較

| コア電圧 (V) | NX スピード グレード (Mach、Certus、CertusPro) | NX $F_{MAX}$ (MHz) | Avant スピード グレード | Avant $F_{MAX}$ (MHz) | Artix 7 スピード グレード | Artix 7 $F_{MAX}$ (MHz) | UltraScale+ スピード グレード | UltraScale+ $F_{MAX}$ (MHz) |
|----------|--------------------------------------|--------------------|-----------------|-----------------------|-------------------|-------------------------|-----------------------|-----------------------------|
| 0.72     |                                      |                    |                 |                       |                   |                         | -1LV<br>-2LV          | 667<br>725                  |
| 0.82     |                                      |                    | -1<br>-2<br>-3  | 375<br>500<br>625     |                   |                         |                       |                             |
| 0.85     |                                      |                    |                 |                       |                   |                         | -1<br>-2              | 667<br>775                  |
| 0.9      |                                      |                    |                 |                       | -2L               | 394                     | -3                    | 891                         |
| 0.95     |                                      |                    |                 |                       | -1L               | 464                     |                       |                             |
| 1.0      | -7<br>-8<br>-9                       | 276<br>325<br>400  |                 |                       | -1<br>-2<br>-3    | 628                     |                       |                             |

**結果: 2 スピード グレード分の優位性のため、より低集積なデバイスでより多くの機能を実行可能**

表 2 について要約します。

- AMD UltraScale+ -1LV ( $V_{LOW}$ 、0.72V) デバイスの性能は、Lattice Avant -3 スピード グレード デバイスをより高いコア電圧 (0.82V) で駆動したときの性能に匹敵
- 動作電圧が低い分、スタティック消費電力とダイナミック消費電力が低くなる
  - 消費電力性能の解析において、この点は競合他社による比較で見過ごされがちです。競合製品との比較では AMD の  $V_{NOM}$  (0.85V) デバイスが引き合いに出されることが多くありますが、AMD には Lattice の  $V_{NOM}$  と同等かそれを上回る性能を提供できる低電圧オプションがあるため、正しい比較になっていません。この表からは、AMD -1LV デバイスが Lattice ポートフォリオの性能に対抗できることがわかります。

## 少ないロジックで多くの機能を実行

AMD のコスト重視 FPGA ポートフォリオは、柔軟な FPGA アーキテクチャを提供しているため、アプリケーション要件に合わせて 150 ~ 500+ MHz の範囲でデザインを実行できます。低速な Lattice デバイスでタイミング要件を満たせない場合、より高速な Lattice デバイスに移行せざるを得ないため、低速デバイスであれば実現し得る消費電力の削減が無効になります。これは、AMD 製品には当てはまりません。2 スピード グレード分の優位性があるため、少ないロジックでより多くの機能を実行できます。つまり、小規模の LUT6 対応デバイスを選択しても、LUT4 ベースのより大きなデバイスと同じ機能を実行できます。

デザインの実行が高速になると、次の 2 つのシナリオのいずれかが該当すると考えられます。

1. より少ない使用リソースで性能を達成できるため、デザイン全体のサイズが小さくなり、小規模デバイスを選択できるため、総消費電力および BOM コストを削減できる

または

2. デバイス サイズをそのままにして、将来的なスケーリングのために性能を利用することで、製品寿命を長期化できる

このセクションで示したデータからわかるように、ハイエンド ポートフォリオの革新的アーキテクチャをローエンドで活用することで、極めて大きな利点が得られます。もちろん、ここから消費電力と熱特性に関する疑問が生じますが、それについては、この後のセクションで分析していきます。

## パッケージ熱特性の優位性

デバイスの消費電力について考察する際、次の2つを評価する必要があります。

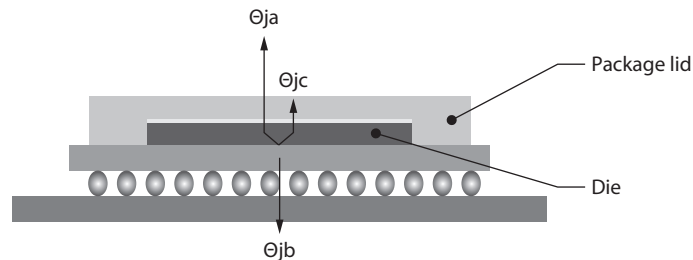
- ダイナミック消費電力: 使用されるリソース、クロックレート、トグルレートに基づいて直接的に生じる
- スタティック消費電力: リソース使用とは無関係に、デバイスのジャンクション温度 ( $T_j$ ) に応じて大きくなる

システムコストを最小限に抑えるため、コスト重視製品は、パッシブ熱ソリューションと共に運用されることが多くあります。したがって、スタティック消費電力を決める要因としてパッケージの熱特性が非常に重要になります。

### 熱特性の評価

パッケージの熱特性を評価するには、次に示す3つの主要な放熱パスを考慮する必要があります。

- $\theta_{ja}$  - ジャンクションから周囲環境までの熱抵抗の係数
- $\theta_{jc}$  - ジャンクションからボードまでの熱抵抗の係数
- $\theta_{jb}$  - ジャンクションからケースまたはヒートシンク (使用する場合) までの熱抵抗の係数



WP558\_07\_082324

図7: リッド付き FPGA デバイスの放熱パス

熱抵抗の係数が大きいほど、材料の熱伝導が小さくなるため、負荷と熱ソリューションが同じでもシリコン温度は高くなります。この場合、最終的には、上で述べたようにスタティック消費電力が大きくなります。ヒートシンクを使用しない低コストアプリケーションでは、0 LFM での  $\theta_{ja}$  を考慮に入れる必要があります。これは、エアフローなしでの周囲環境への放熱を測定します。

公開されているデータシート、ユーザーガイド、Radiant ツールを解析した結果、AMD パッケージでは、静止空気条件でのジャンクションから周囲環境までの ( $\theta_{ja}$ ) 平均放熱が最大で 34% 低いことが判明しました。<sup>(1)</sup> これにより、熱ソリューションを簡略化でき、ダイナミック電力が同程度であれば、スタティック消費電力は低くなります。環境条件とデザインのダイナミック消費電力により、熱ソリューションが不要になる可能性もあります。さらに、熱ソリューションの簡略化により、総システムコストが削減できる可能性もあります。

### 結果: AMD パッケージはジャンクションから周囲までの放熱を最大で 34% 低減

総合的な消費電力解析では、100°C ( $T_j$ ) の固定ジャンクション温度が評価に使用されました。これは標準的な顧客比較を再現しています。

また、静止空気の JEDEC  $\theta_{ja}$  仕様に対して、Radiant ツールで示された「最大安全周囲」温度が確認されました。この最大安全周囲温度が AMD デバイスに適用され、その  $\theta_{ja}$  が AMD の見積りに使用されました。

1. この解析は、パッケージ向けの JESD51 仕様に基づいており、実際の結果とは異なる場合があります。

## 結果: $\theta_{ja}$ が低いことで、 $T_j$ とスタティック消費電力も低くなる

サイズが同等の場合、AMD デバイスの方が  $\theta_{ja}$  値が低いため、結果として、 $T_j$  およびスタティック消費電力も低くなりました。これらの結果は、後半の分析で「熱特性の優位性」として示されています。もう 1 つの注目点として、デバイスのダイナミック消費電力が増加しても、この AMD パッケージではジャンクション温度が大幅に低く抑えられました。一部のシナリオでは、Lattice デバイスの「最大安全周囲」温度としてマイナス温度が示されており、熱ソリューションまたはパッケージへの専用エアフローが必要になることから、ソリューションのコストと複雑さが増すと考えられます。

## 総消費電力の削減

このセクションでは、AMD LUT6 デバイスと Lattice LUT4 デバイスの消費電力を詳細に比較します。消費電力の見積もりには、各ベンダーの消費電力見積もりツールを使用しました。使用ツールは、Lattice Radiant ソフトウェアと、ターゲットの AMD デバイスに応じた、Xilinx Power Estimator (XPE) または Power Design Manager (PDM) です。

## 消費電力の比較: セットアップ

デバイス使用率については、Lattice デバイスで使用可能なファブリック リソースのうち 80% が使用されると想定しています。次のステップとして、前のセクションで説明した、LUT4 と比較した場合の LUT6 による 40% 削減を活用します。この 40% の差分を踏まえて同等の AMD デバイスを特定します。両方のデバイスについて、これらのリソースを各消費電力見積もりツールに入力します。注意点として、40% の削減は LUT のみに適用され、その他すべてのリソースはそのままで比較されました。

これらの前提条件でダイナミック消費電力を比較しました。ベンダー間の比較を実施する際、多くの場合で同じジャンクション温度が前提となります。ただし、この場合、使用可能なパッケージの熱に関する優位性が考慮されません。比較時にスタティック消費電力を考慮するには、Lattice デバイスのジャンクション温度 ( $T_j$ ) が  $100^{\circ}\text{C}$  になるように見積もりの周囲温度 (TA) を設定します。これは、ワースト ケース シナリオと典型的なコスト制約のある運用を前提としています。

ターゲット デバイスに応じて、XPE または PDM にこの同じ周囲温度を適用し、パッケージの  $\theta_{ja}$  からジャンクション温度 ( $T_j$ ) が推定されます。ジャンクション温度が低いと、スタティック消費電力が低減することがわかっています。

図 8 に、MachXO5-NX LFMXO5-25、Spartan UltraScale+ SU35P、Artix 7 XA25T の各種スピード グレードに対し、100 MHz で測定された総消費電力を示します。図 9 に、Artix UltraScale+ AU7P、CertusPro-NX-50、MachXO5-100、Artix 7 50T、Artix 7 75T の 150 MHz での総消費電力を示します。

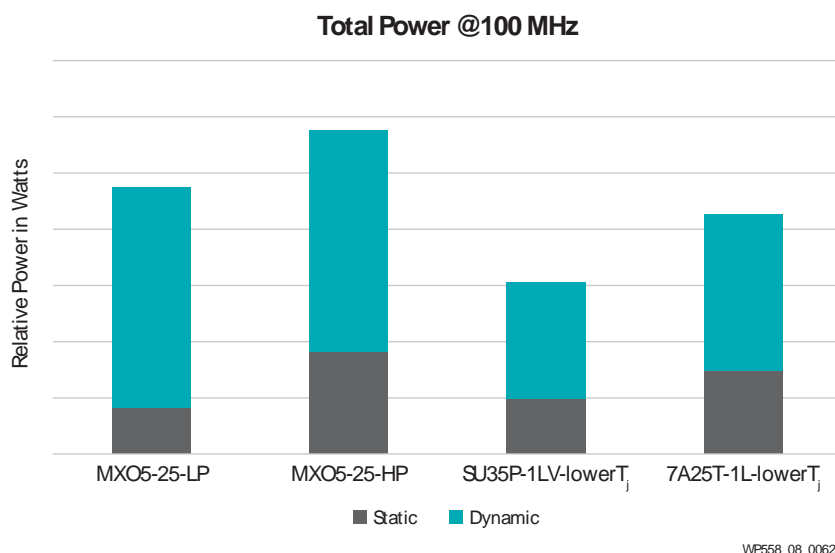


図 8: 総消費電力 (ワット): MachXO5-25、Spartan UltraScale+ SU35P、Artix 7 25T

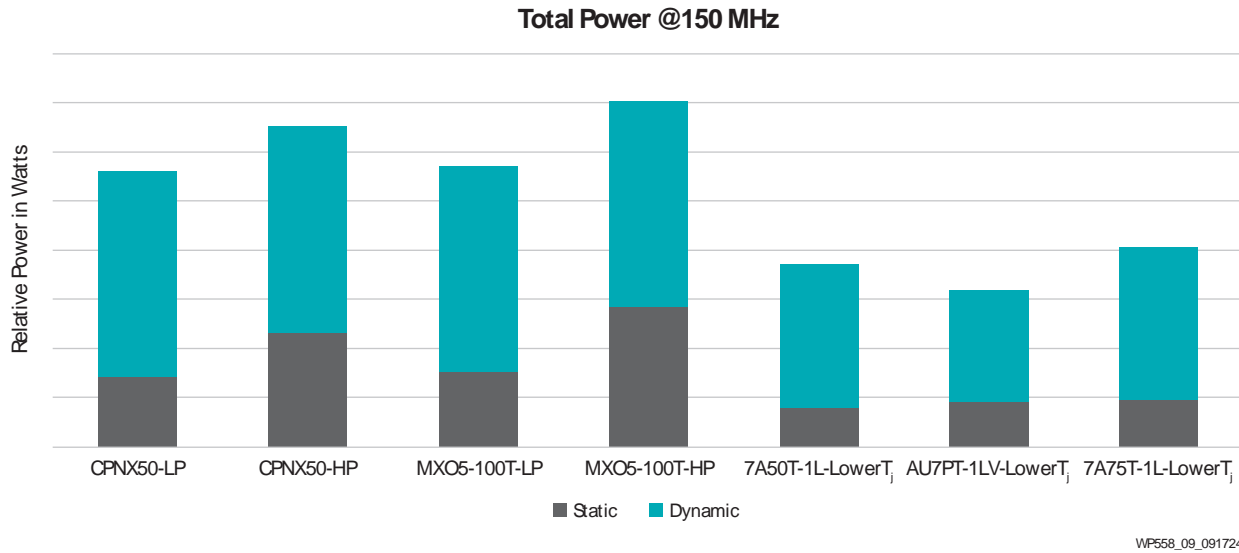


図 9: 総消費電力 (ワット): Artix 7 7A50T、Artix 7 7A75T、Artix UltraScale+ AU7P、CertusPro-NX-50、MachXO5-100

## 結果: AMD UltraScale+ FPGA は、Lattice Nexus/Avant の両プラットフォームより低い総消費電力を実現

Spartan UltraScale+ FPGA の消費電力値は、UltraScale+ アーキテクチャと暫定的なパッケージデータに基づく見積もりです。これに加えて、LUT6 による 40% の優位性が LUT に対してのみ含まれています。ブロック RAM、DSP、HDIO など、その他すべてのリソースはそのままです。

高性能デザインを対象とした [図 10](#) <sup>(1)</sup> と、低消費電力デザインを対象とした [図 11](#) <sup>(1)</sup> の両方で、SU35P、SU50P、SU100P デバイスの消費電力の優位性 (% で表示) が確認されました。

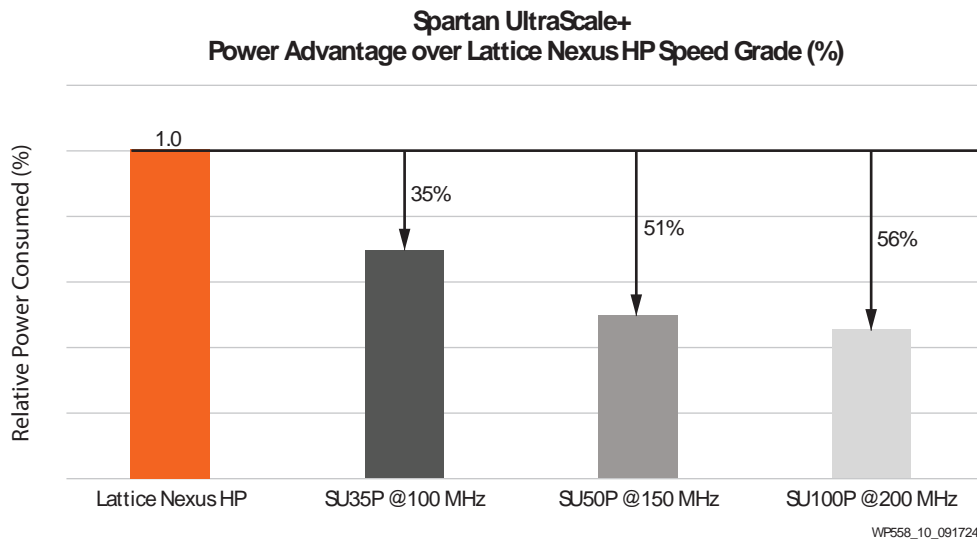


図 10: Lattice Nexus HP に対する AMD Spartan UltraScale+ FPGA の消費電力の優位性 (%)

1. Lattice Nexus HP および LP には、3 つのデバイス (Mach XO5-NX 25、CertusPro-NX 100、Mach XO5-NX 100T) が含まれています。これら 3 つすべてを 100% に正規化しています。

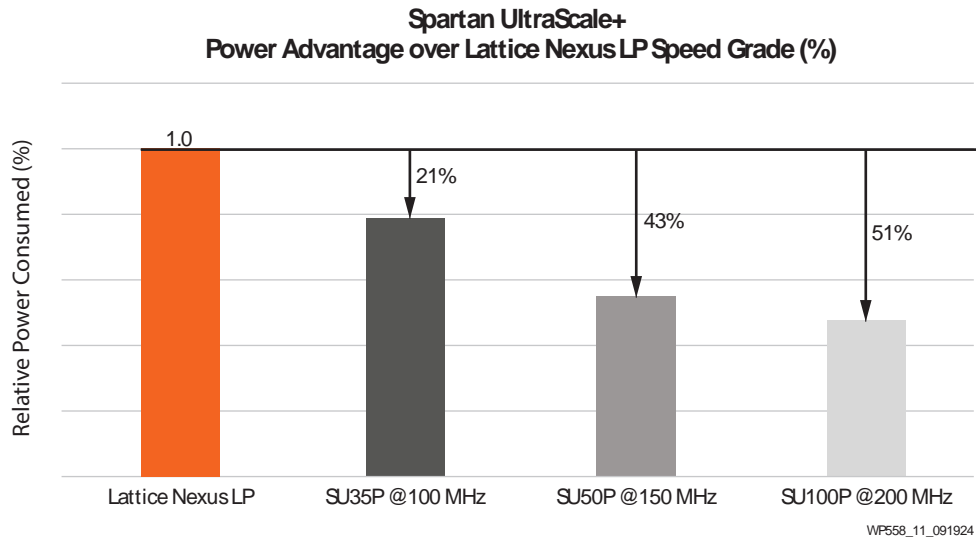


図 11: Lattice Nexus LP に対する AMD Spartan UltraScale+ FPGA の消費電力の優位性 (%)

これらの結果の幾何平均が算出され、Spartan UltraScale+ FPGA の総消費電力は、Lattice 28 nm Nexus プラットフォームよりも最大で 36% 低い結果となりました。高性能デザイン向けでは、Spartan UltraScale+ FPGA は、Lattice Nexus FPGA と比較して最大で 46% 低い総消費電力を実現します。

図 12 は、AMD Kintex™ UltraScale+ KU5P FPGA のスタティック消費電力が、Lattice Avant E70 よりも大幅に低く抑えられていることを示しています。これは、静止空気放熱時に Avant E70 を 100°C 未満に維持するために、Radiant ツールでマイナスの周囲温度 (-18°C) が要求されるためです。この結果、200 MHz を上回る周波数で Lattice Avant E70 デバイスを動作させるには、標準的な周囲温度でヒートシンクが必要になります。対照的に、AMD デバイス (KU5P) のダイナミック消費電力は低く、パッケージの熱特性も優れているため、ジャンクション温度が大幅に低くなり、結果的にスタティック消費電力も低く抑えられます。

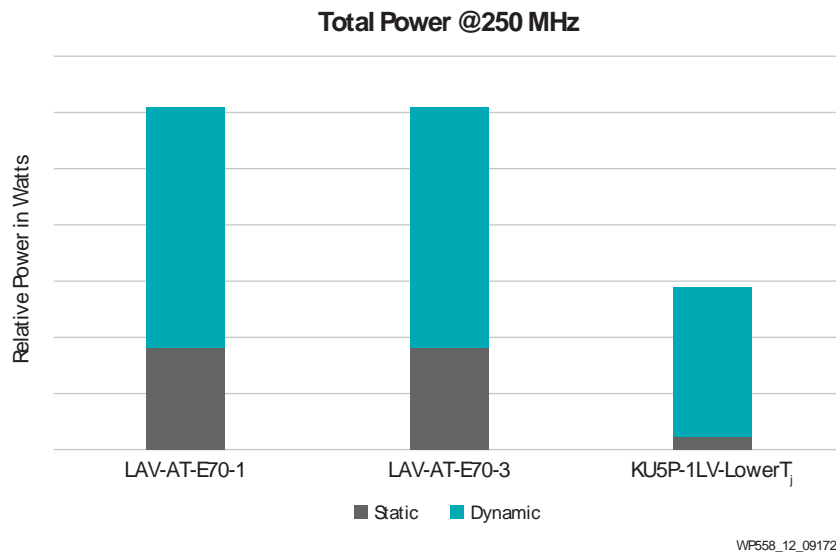


図 12: 総消費電力の比較 (ワット): Lattice Avant E70、AMD Kintex UltraScale+ KU5P

## 消費電力の比較: まとめ

総消費電力をワット数で示した上の図から、AMD のコスト重視製品ポートフォリオが、Lattice ポートフォリオ (Nexus および Avant) と比較して、いかに低い総消費電力を実現するかがわかります。AMD -1L デバイスは、消費電力と性能の両面で、Lattice 製品ラインの低消費電力 (LP) スピード グレードおよび高性能 (HP) スピード グレードに対抗できます。

小規模デバイスの選択によりダイナミック消費電力が削減され、熱効率の高いパッケージによりスタティック消費電力が削減されるため、競合製品よりも総消費電力が低く抑えられます。AMD のコスト重視 FPGA は、同じパワー エンベロップでより高い性能を提供し、同じ  $F_{MAX}$  でより低い消費電力を実現します。

リソース使用率を引き下げる LUT6 の優位性を活用することで、より小規模のデバイスを選択し、必要な速さを達成できるだけでなく、熱効率の高いパッケージが低温での動作を可能にします。これらの要因すべてが相まって、カスタマーのパワー エンベロップ基準を満たすソリューションが実現します。AMD 製品を選択すれば、性能も消費電力も妥協する必要はありません。

---

## まとめ

AMD のコスト重視デバイスは、消費電力を最小化しながら高性能を実現するという、バランスの取れたソリューションを提供します。コア電圧が低い、より小規模なデバイスを熱効率の高いパッケージで使用することで、ダイナミック消費電力とスタティック消費電力の両方を削減できます。つまり、同じパワー エンベロップ内でより高い性能を求める場合も、同じ最大周波数で消費電力を下げる場合も、性能と電力効率のいずれも損なうことなくこれらを実現できます。さらに、このようなアーキテクチャがもたらす利点は、BOM コストの削減につながります。

Lattice は、ローエンドの「変革」を明確に主張しています。これは、レガシ FPGA アーキテクチャをレガシ インターフェイスと共に活用するという意味に過ぎず、結果的に、時代遅れになりやすい、最小限の実用性しかない製品になります。AMD のコスト重視製品ポートフォリオは、業界をリードするシリコンと最新のインターフェイスを提供することで、将来にわたって使用可能なデバイスを実現し、製品寿命を最大限に延ばすことを可能にします。

自身で試算することに興味がある場合は、[COP Competitive Lounge](#) を確認してください。詳細は、AMD まで直接お問い合わせください。

## その他の資料

### 技術資料ポータル

AMD 技術情報ポータルは、ウェブブラウザで資料の検索機能やナビゲーション機能を利用できるオンライン ツールです。技術情報ポータルには、<https://docs.amd.com> からアクセスできます。

注記: 資料のリンクをクリックすると、英語版が開きますが、資料ポータル内のドロップダウン リストからバージョンと言語を選択できます。日本語版のバージョンは、英語版より古い場合があります。

### Documentation Navigator

Documentation Navigator (DocNav) は、AMD アダプティブ コンピューティングの資料、ビデオ、サポート リソースにアクセスできるツールで(要インストール)、フィルター機能や検索機能を利用して必要な情報を取得できます。DocNav を開くには、次のいずれかを実行します。

- AMD Vivado™ IDE で、[Help] → [Documentation and Tutorials] をクリックします。
- Windows で [Start] → [Xilinx Design Tools] → [DocNav] をクリックします。
- Linux の場合は、コマンド プロンプトに「docnav」と入力します。

注記: DocNav の詳細は、Documentation Navigator User Guide (UG968) を参照してください。

注記: Documentation Navigator からは、日本語版は参照できません。ウェブサイトのデザイン ハブ ページをご利用ください。

### デザイン ハブ

AMD デザイン ハブには、資料やビデオへのリンクがデザイン タスクおよびトピックごとにまとめられており、これらを参照することでキー コンセプトを学び、よくある質問 (FAQ) を参考に問題を解決できます。デザイン ハブにアクセスするには、次のいずれかを実行します。

- DocNav で [Design Hubs View] をクリックします。
- [デザイン ハブ](#) ウェブ ページを開きます。

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

| セクション  | 変更内容                      |
|--------|---------------------------|
|        | 2024 年 9 月 24 日、バージョン 1.0 |
| 全般的な更新 | 初版。                       |

## お読みください: 重要な法的通知

本資料に掲載されている情報は情報提供のみを目的としており、技術的に不正確な情報、省略、誤植を含む可能性があります。ここに記載の情報は、製品およびロードマップの変更、コンポーネントとマザーボードのバージョン変更、新しいモデルや製品のリリース、製造業者の違いによる製品の差異、ソフトウェア変更、BIOS のフラッシュ、ファームウェア アップグレードなどを含む(ただしこれに限定されない)多くの理由によって変更される場合があります。AMD は、情報の更新、または修正や改訂について一切の義務を負わないものとします。ただし AMD は本情報を改訂してその内容を随時変更する権利を有し、その改訂または変更に関して通知する義務は負いません。本情報は「現状有姿」で提供されます。AMD は本書の内容について一切の表明も保証も行わないものとし、本情報の不正確さ、誤り、省略について一切の責任を負いません。また、AMD は非侵害性、商品性、または特定目的適合性に関する黙示的保証を行わないものとします。AMD は本資料に含まれる情報の使用に起因する依存、直接、間接、特別、または結果的な損害に対して、AMD が当該の損害の可能性を知らされていた場合であっても、責任を負うことはありません。

### 自動車用アプリケーションの免責条項

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティアプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品責任の制限を規定する適用法令および規則にのみ従うものとします。

© Copyright 2024 Advanced Micro Devices, Inc. AMD、AMD の矢印形のロゴ、Artix 7、Kintex、Spartan、UltraScale+、Vivado、およびその組み合わせは Advanced Micro Devices, Inc の商標です。本書に使用されているその他の製品名は識別目的のみに使用されており、所有するそれぞれの企業の商標である可能性があります。

この資料に関するフィードバックおよびリンクなどの問題につきましては、[jpn\\_trans\\_feedback@amd.com](mailto:jpn_trans_feedback@amd.com) まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。フィードバックは日本語で入力可能です。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。