WP539 (v1.2.1) 2025 年 2 月 13 日

Versal プラットフォームの システム レベルのメリット

この資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

AMD Versal™ アダプティブ SoC のシステム レベルの
メリットと、競合するプログラマブル ロジック デバイスと
比較した場合の性能について解説します。

概要

ムーアの法則はこの 50 年間にわたり技術の隆盛を支えてきましたが、現在一般的には、ゴードン・ムーアが 1965 年に立てたイノベーションの速度に関する予測は当てはまらなくなっていると考えられています。従来のシリコンのアーキテクチャのままでは、将来のワークロード需要の高まりに対応できません。コンピューター アーキテクチャ分野のリーダーがよく指摘するように [参照 1]、ワークロード需要に対応するため、業界はコンピューター アーキテクチャの新たな黄金期に突入し、ドメイン特化型のアーキテクチャが登場しました。

AMD の Versal ポートフォリオは、革新的なアーキテクチャを提供するものです。クラス最高の 7 nm プログラマブル ロジックと、スカラー プロセッシング エンジン、空間プロセッシング ハードウェア エンジン、ベクトル プロセッシング エンジン、最先端のメモリおよびインターフェイス技術を搭載し、幅広い市場とアプリケーションに対応する適応型のドメイン特化アーキテクチャの基盤となるプラットフォームを提供します。

このホワイト ペーパーでは、一連のドメイン アプリケーションにおいて競合するプログラマブル ロジック ベースのデバイスと比較し、Versal アーキテクチャのシステム レベルの性能を評価します。

AMD アダプティブ コンピューティングは、従業員、顧客、パートナーそれぞれが認められ、受け入れられていると実感できる環境作りに取り組んでいます。その一環として、製品資料およびその他関連資料に含まれる非包括的な用語/表現を排除していきます。当社ソフトウェアおよび IP に組み込まれている用語を含め、人を差別、疎外したり、歴史的な偏見を増長する可能性のある表現をなくすための社内的取り組みが始まっています。該当表現を改め、進化する業界標準に則った取り組みを進めていますが、旧製品資料には配慮に欠ける表現が残っている可能性があります。詳細は、このリンクを参照してください。

はじめに

ここ数年にわたり、コンピューティング産業はデータの爆発的増大および機械学習 (ML) と AI アプリケーションの急成長を目のあたりにしました。その結果、高スループットかつリアルタイムの演算性能のニーズはこれまでになく高まっており、ワークロード要件の進化とプロトコルの変化に対応できる適応性を維持することも求められています。図 1 を参照してください。

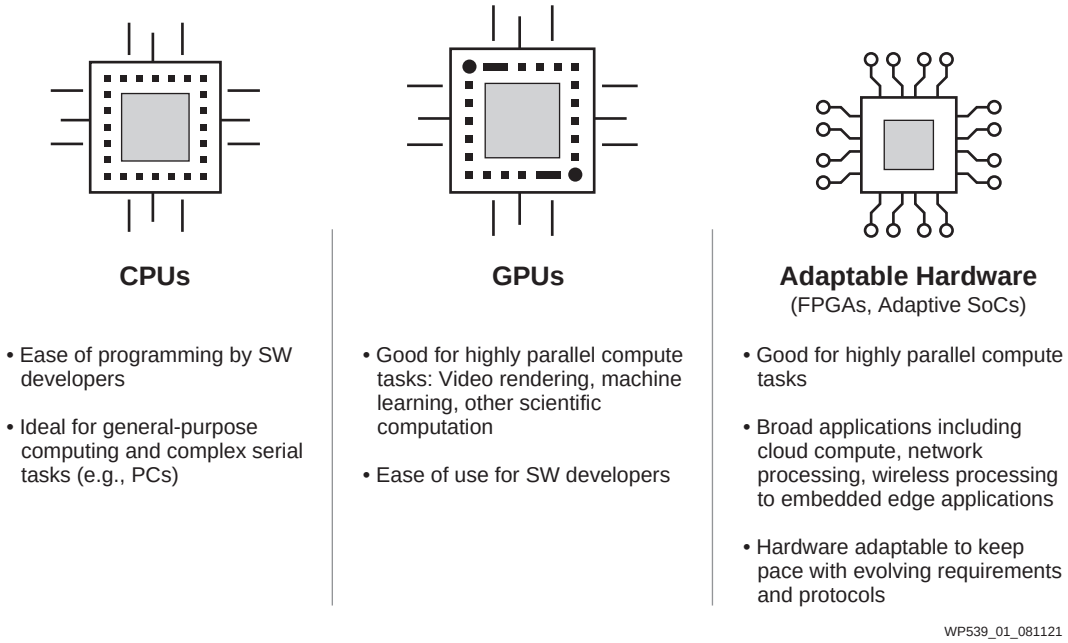


図 1: デバイス タイプの比較

Versal アダプティブ SoC は、データセンター ネットワーク、ストレージおよび演算アクセラレーション、エッジからクラウドでの AI アクセラレーション、5G 無線、有線アプリケーション、自動運転、航空宇宙/防衛市場などをはじめとする幅広い市場およびアプリケーションの未来の製品の基盤となる準備ができています。

システム レベルの性能

Versal のアーキテクチャは従来 FPGA のアーキテクチャではありません。Versal はその登場以来、ファブリックのインクリメンタルな QoR (結果の品質) 性能よりも、システム レベルの性能を向上することを目指していました。AMD が掲げていた具体的な目標は、前世代およびほかのプログラマブル ロジック ベース アーキテクチャに対してシステム レベル性能を最大 5 倍にすることでした。Versal アーキテクチャは、AI エンジン、プログラマブル ネットワーク オン チップ (NoC)、100G イーサネット MRMAC、600G イーサネット DCMAC、400G 高速暗号化エンジン、600G Interlaken、メモリ コントローラーなどの基本的な IP を統合することによってそれを実現しています。

主な課題

Versal アーキテクチャは主に 3 つの課題に対処します。

- 1 ワットあたりのシステム レベル性能
- エネルギー効率の高い演算およびデータ移動機能
- プログラマブル ロジックにおけるメタル スケーリングの限界

システム レベルの価値を向上するのは、単に性能そのものを提供することだけではありません。消費電力を考慮せずに性能を比較しても、問題の半分しか見ていないことになります。消費電力は、運用コストの上昇と高度な冷却コストの上昇の両面において、全体的なシステム コストに影響を与えます。たとえば、Google によれば、システムの総消費電力 (TDP) と総保有コスト (TCO) には $R^2 = 0.78$ の相関関係があります [参照 2]。

従来のプログラマブル ロジックは非常に柔軟性に優れている一方で、その柔軟性にはコストがかかります。ハード化されたゲートに実装された機能は、プログラマブル ロジックへのソフト実装よりも電力効率が 10 倍向上する場合があります。たとえば、PCIe® DMA - CPU ホスト、ベクトル - ベクトル演算、行列 - 行列演算、メモリ アクセスおよびデータ移動、高速プロトコル エンジン、暗号化などの基盤となる演算およびデータ移動機能を ASIC ハード化すると、より多くのプログラマブル ロジックおよびプラットフォーム リソースが開発者に開放され、業界を一変させるような革新的で適応性の高いドメイン特化アーキテクチャを開発できるようになります。

Versal アーキテクチャでは、メタルのスケーリング限界にも対応できます。トランジスタの遅延は改善され続けているものの、メタルのスケーリングが大きな課題になっていました。FPGA では通常より多くのメタルのインターコネクトを持ち、ASIC より高負荷であるため、問題はさらに悪化したのです。

図 2 のグラフはこの傾向を示しています。このグラフが示すのは、28 nm から 20 nm、16 nm、10 nm、7 nm にスケーリングされた同一のクワッド配線リソースに関するトランジスタとメタルの正規化された遅延時間です。トランジスタの遅延時間は徐々に短くなっていくのに対し、メタルの遅延時間はほとんど 2 次曲線的に増加していきます [参照 3]。7 nm Versal アダプティブ SoC ファブリックでは、メタル トラックを厚くし抵抗を低くするためにメタル層を追加したため、この傾向は部分的に緩和されています。AMD がこの問題に対処したもう 1 つの方法は、メタル主導のプログラマブル ロジックと比較して性能が大きく向上するよう、より多くの ASIC ハード ブロックを提供したことです。

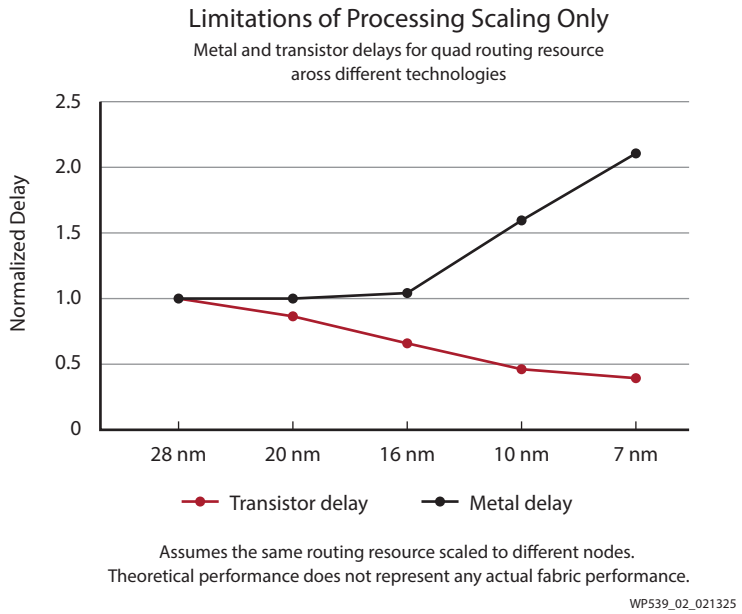


図 2: プロセス スケーリングのみの限界

これまで、FPGA のベンチマークはファブリックの QoR のみに基づいて取られていました。また、一部はメタルの遅延に関する課題が原因で、現在のプログラマブル ロジック ファブリックの性能は前世代と同様です。たとえば、図 3 は、24 の RTL デザインの集まりに対する GEOMEAN F_{MAX} 性能について、AMD の前世代の Virtex™ UltraScale+™ FPGA と競合の Agilex デバイスのファブリック性能の比較を示しています。

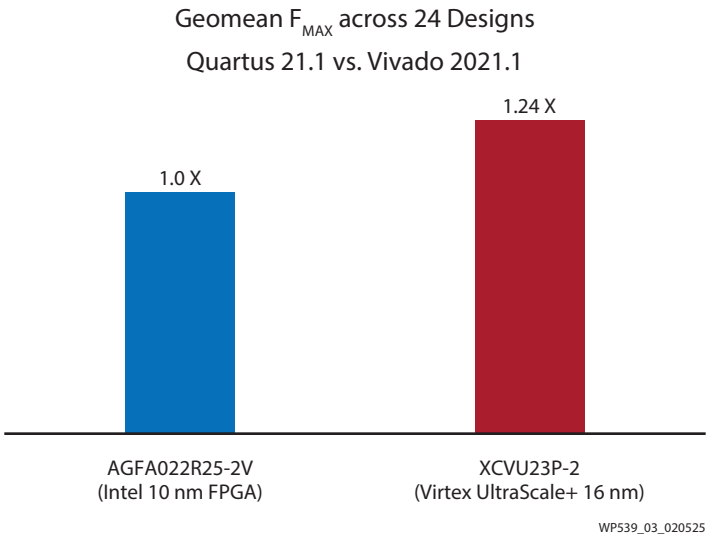


図 3: GEOMEAN F_{MAX} 性能比較

ソフトウェア プログラマブル アーキテクチャに使用する Vivado、Vitis、Vitis AI

Versal はヘテロジニアス プロセッシング アーキテクチャを採用しているため、開発者は個々のワークロードを最適なプロセッサに割り当てて実行でき、性能を最大限に高めることができます。システム レベルで Versal の価値を引き出すには、いくつかのツールとワークフローが必要です。

このため、AMD は複数のソフトウェア開発プラットフォームを提供しています。Vitis™ および Vitis AI は、これまでソフトウェア開発者にとって障壁となっていた要素を取り除いた専用の開発プラットフォームです。一方、Vivado ML はハードウェア開発者向けに従来のフローを提供します。

Versal アダプティブ SoC を使用した開発には、システム設計手法が必要です。最初の工程では、どのソフトウェア ファンクションをどのデバイス カーネルにマップするか、どれだけの並列性が必要か、そしてそれをどのように実現するかなど、システム アーキテクトがアプリケーション アーキテクチャについて重要な判断を下します。

アプリケーションの各タスクを最も効率良く実行できるハードウェアに割り当ててタスクの最適なマップを選択することにより、ユーザーは帯域幅、スループット、およびレイテンシの理想的なバランスを達成し、システム レベル性能を最大化できます。たとえば、複雑なアルゴリズムおよび制御はスカラー処理に適しています。これに対し、予測可能な低レイテンシが必要とされる不規則なデータ構造は、適応型ハードウェアにマップします。また、負荷の大きい通常の計算タスクは、浮動小数点および複素数演算をネイティブにサポートしたベクトル プロセッシング ユニットにコーディングします。これらのファンクション ブロック間では、専用の配線バックボーンによって効率的にデータが転送されます。図 4 を参照してください。

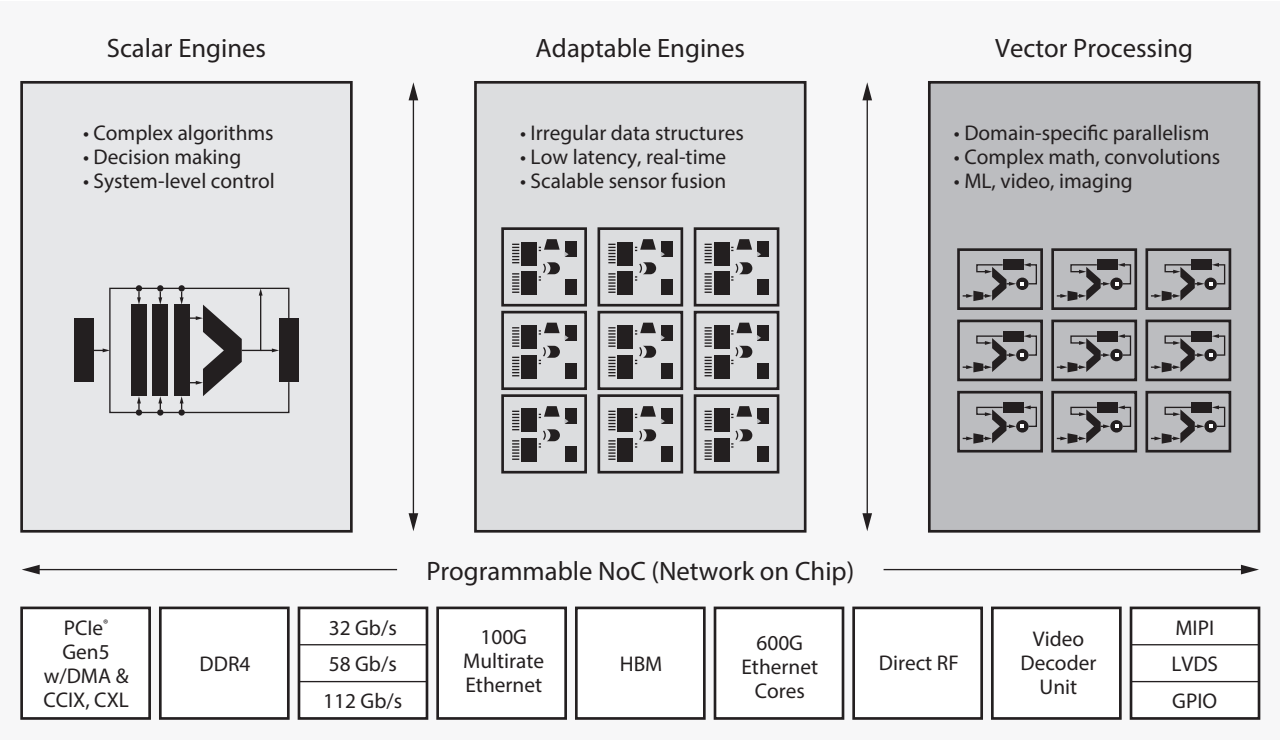


図 4: 各種アプリケーション タスクに応じたハードウェア エンジン

どのタスクをどのエンジンにマップするかを決定したら、それに応じて開発タスクを適切な開発者に割り振ることで、各カーネルのコーディングおよび最適化を並行して進めることができます。この工程では主に、C++ ソース コードを作成し、適切なコンパイラ オプションと指示子を適用して性能目標を満たすように効果的な実装を作成します。カーネル コードは、適応型ハードウェアまたは AI エンジン アクセラレータ用に提供されている約 1,000 種類もの Vitis オープンソース ライブラリ関数の中から 1 つ以上を選んで再利用することもできます。

開発者は、最初から最後まで自分のレベルに応じて慣れ親しんだデザイン環境で作業ができるため、生産性が最大化します。また、これらすべての開発フェーズでエミュレーションも利用可能です。最後の工程では、Vitis フローを利用してカーネルと下位のプラットフォームを検証、リンク、およびパッケージ化します。これらカーネルの一部と外部メモリは NoC 配線バックボーンで接続されており、専用コントローラーによってデータが転送されます。

AI およびビデオ解析開発者

Vitis に加え、AMD は Vitis AI 開発キットおよび Vitis Video Analytics SDK も提供しています。これらのキットは、効率と使いやすさを重視して設計されており、AI アクセラレーションの可能性を最大限に引き出すほか、コンピューター ビジョンをデータセンターやエッジでの強力な洞察に変える役割を果たします。

AMD VCK5000 などのアクセラレータ カードは、標準化された開発フローで AI エンジンを使用することにより、卓越した演算性能と ML 推論性能を発揮します。Vitis AI では、ハードウェアについての事前知識がなくても Python™ または C++ API を使用して TensorFow、PyTorch、Caffe モデルを簡単に実行できます。

Versal アダプティブ SoC vs. 競合 FPGA

以降のセクションでは、Versal アーキテクチャによって提供される一連のドメイン アプリケーションのシステム レベル性能を説明し、競合のプログラマブル ロジック ベースのデバイスと比較します。

CNN ベースの画像検出

応用機械学習の手法は、幅広いアプリケーション分野で広く使用されるようになりました。実際、近い将来、機械学習によって変革されていない業界を見つける方が難しくなるでしょう。成長が著しい応用機械学習の 1 つの領域は、ビジョンおよびビデオ処理の分野です。インターネット上のビデオ コンテンツはここ数年で急増しており、それに比例して、画像の並べ替え/分類/識別方法の改善に対するニーズも高まっています。

Versal アーキテクチャの基盤の 1 つは AI エンジン テクノロジです。5G 無線および機械学習ワークロードの信号処理要件に対応するため、Versal アーキテクチャはスケール可能な演算機能をいかに提供するかに注力する必要がありました。ファブリック ベースの DSP は非常に柔軟できめ細やかなプログラマビリティを提供しますが、ビット レベルのインターコネクトとプログラマビリティによって加わるオーバーヘッドにより、演算密度のスケーリングが制限されます。

AI エンジン テクノロジは、VLIW のベクトル - ベクトル演算エンジンと行列 - 行列演算エンジンを 2 次元に配列したもので、ワード レベルでプログラム可能なインターコネクトを備えています。AI エンジンは、AMD ならではのデータフロー、確定的で演算効率の高い処理を保ちながら、演算密度を大幅に向上させます。以下のグラフは、前世代の DSP から AI エンジン (AIE)、AIE-ML エンジンに至る演算密度の進化を比較したものです。ここに示すように、AI エンジンにより、AMD デバイスの演算性能は桁違いに向上しました。これは、5G 無線や応用機械学習などのアプリケーションにとって非常に重要です。
図 5 を参照してください。

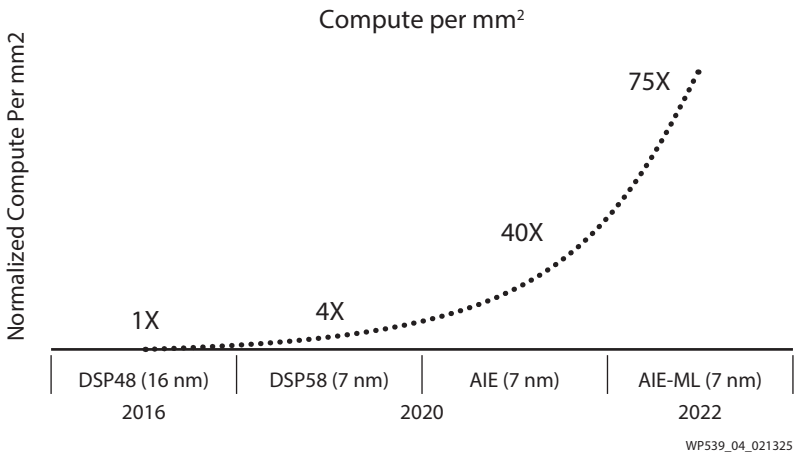


図 5: Versal アダプティブ SoC: 演算性能が桁違いに向上

AI エンジンの詳細は、『AI エンジンとそのアプリケーション』[参照 4] を参照してください。

AMD は Versal アダプティブ SoC の推論スループット性能を示す結果を MLPerf Data Center Inference v1.0 に提出しました。ここで AMD は、AI 推論用開発カード VCK5000 上で動作する AMD 初の Versal AI コア シリーズ デバイスである VC1902 を使用した ResNet50 v1.5 画像検出ベンチマークにおいて、ハードウェア プログラマブル プラットフォーム業界をリードする性能を示しました。

図 6 は、Versal デバイス (VCK5000) での測定結果と、競合社製プログラマブル デバイスおよび Versal AI エッジ デバイス VE2802 の性能見積もりを示しています。Versal アーキテクチャの特長 (AIE、NoC、および CPM[1]) は、競合の 10 nm FPGA デバイスと比べ、2.7 倍～ 8.2 倍のワットあたり性能を実現しています。

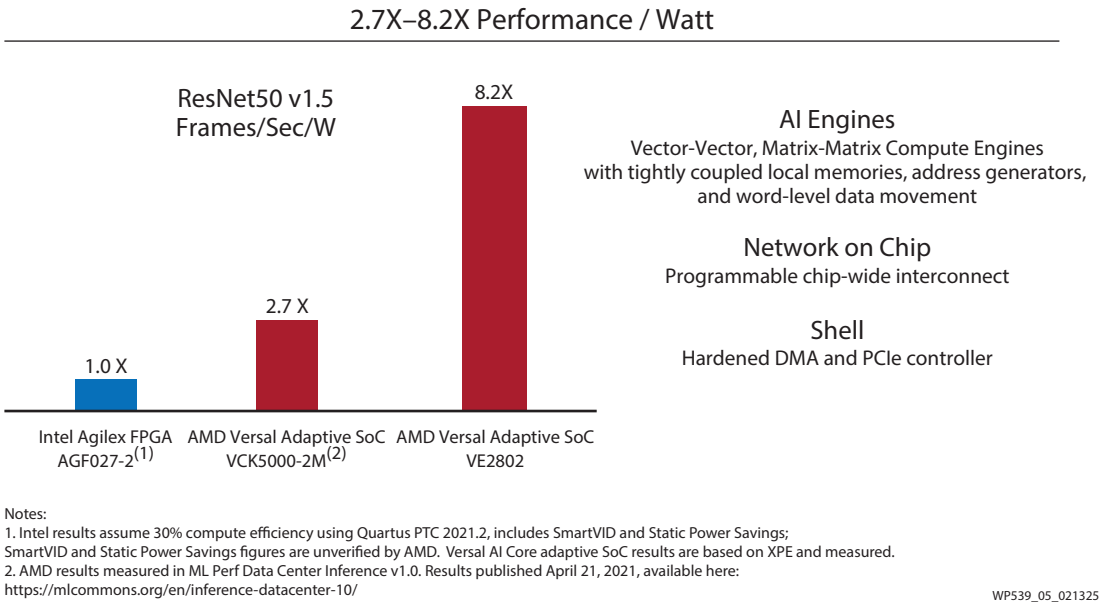


図 6: Versal アダプティブ SoC のワットあたり性能は 2.7 倍

Versal AI エッジ シリーズ、VE2802 アダプティブ SoC、AIE-ML の詳細は、AMD のウェブサイト https://www.amd.com/en/products/adaptive-socs-and-fpgas/versal/ai-edge-series.html を参照してください。

1. CPM は、DMA および CCI (Cache Coherent Interconnect) デザインを備えた PCIe 用統合ブロックです。

5G 無線ビームフォーミング

MassiveMIMO 無線は世界中の 5G 商用展開の主要なフォーム ファクターです。物理層および上位層の手続きと制御信号は、5G NR (New Radio) でビームフォーミングをサポートするよう規定されています。Massive MIMO 無線は、32 または 64 個のアンテナ素子を使用して 1 人または複数のユーザーに対してビームを形成し、時間および周波数において同じスペクトル リソースを使用することでセル容量を大幅に増大させながら、セル間およびセル内の干渉を削減します。

アンテナ数が 64 の 200 MHz システム (無線のビーム フォーミング デバイスなど) の典型的な無線構成では、ダウンリンクで 1.5 TMAC/s の演算を実行する必要があります。アップリンク方向のビームフォーミングを実行するためにさらなる演算が必要になります。

Versal アーキテクチャは、5G NR の進化し続ける厳しい設計要件に対応するため、適応型演算の柔軟性および性能を提供しています。特に、Versal AI エンジン テクノロジは、乗算器、メモリ、インターコネクトで構成される従来の FPGA ファブリックと比較した場合、消費電力を低減させながら必要な演算密度を向上させます [参照 5]。

図 7 に、無線 5G アプリケーションにおける Versal AI コア VC1902 プロダクション デバイスの予測結果と、エネルギー効率を高めるために必要なハード化機能のない競合プログラマブル デバイスの予測結果との比較を示します。Versal アーキテクチャの特長 (NoC、AIE、および CPM) は、競合の 10 nm FPGA デザインと比べ、2.14 倍のワットあたり性能を実現しています。(1)

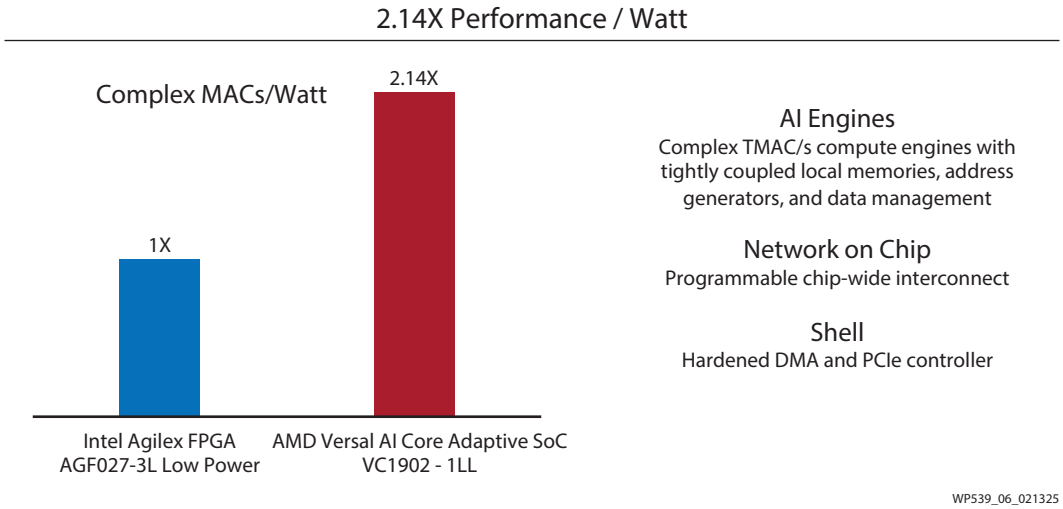


図 7: 無線 5G ビームフォーマー アプリケーションにおける Versal アダプティブ SoC のワットあたり性能は 2.14 倍[1]

1. Intel 社の結果は Quartus PTC 21.2 によって、18x19 乗算器使用率を 75%、SmartVID およびスタティック消費電力削減を含むと想定して見積もられました。SmartVID およびスタティック消費電力削減の数値は AMD によって検証されていません。AMD の消費電力は XPE 2020.3 によって、ワースト ケース、最大プロセスで、同様の演算効率を想定して見積もられました。

ネットワーク アクセラレーション

クラウド事業者やエンタープライズ データセンターでは、特にネットワークのアクセラレーションに関して、CPU から幅広いクリティカル アプリケーションをオフロードするニーズが高まっています。CPU 負荷の高いアプリケーション処理をオフロードするのに役立つ、まったく新しいタイプのハードウェア アクセラレータが市場に登場しました。

AMD のネットワーク アクセラレータは、演算コストの高いネットワーク処理 (IPsec や NVMeoF など) をオフロードすると共に、構成可能で拡張可能なデータ プレーン プログラマビリティを提供することによって、CPU の使用効率に革命をもたらします。Versal アーキテクチャは、ハード IP などの多くの基本的機能を追加することでネットワーク アクセラレータ アプリケーションにメリットをもたらし、同時にデータ プレーンのカスタム処理を可能にします。

これらの機能は次のとおりです。

- ホスト PCIe インターフェイスおよび DMA
- 400 Gb 全二重高速暗号化エンジン
- オンチップ データ移動およびハード メモリ コントローラー向けのプログラマブル NoC
- 100 GbE および 400/600 GbE MAC
- Arm® Cortex®-A72 アプリケーション APU および Cortex-R5F リアルタイム RPU コア
- クラス最高のトランシーバー テクノロジ

これらの重要なハード IP 機能は、消費電力とフットプリントを削減し、デバイス リソースを解放してその他の機能 (インライン機械学習やカスタム パケット処理機能など) に使用できるようにします。

図 8 は、ネットワーク アクセラレータ アプリケーションにおける Versal デバイスと競合プログラマブル デバイスの消費電力見積もりの比較を示します。PCIe カードの消費電力バジェットを超過している競合の 10 nm FPGA[(1)] と比較すると、Versal アーキテクチャでは、75W PCIe フォーム ファクターで 16W の電力ヘッドルームを確保しています。

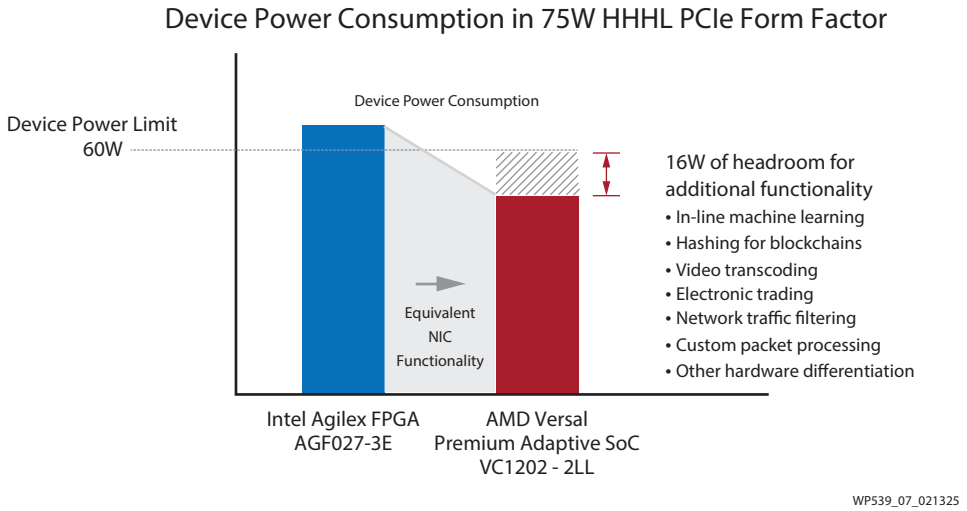


図 8: ネットワーク アクセラレーション アプリケーションにおいて、Versal アダプティブ SoC は競合デバイスと比較して 16W を超える追加ヘッドルームを提供[1]

1. ネットワーク アクセラレータの設計: 540k LUT、PCIe Gen4x16、2x 100 GbE MAC、2x DDR4 インターフェイス、NoC 有効。AMD の消費電力は 2020.3 XPE によって、ワースト ケース、最大プロセスで見積もられました。競合デバイスの消費電力は 21.2 Quartus PTC により、SmartVID およびスタティック消費電力削減を含むものと想定して見積もられました。SmartVID およびスタティック消費電力の削減の数値は AMD によって検証されていません。

DCI ブリッジングおよびトランスポート向け SmartPHY ソリューション

データセンターが 400G、いずれは 800G に移行する中、今後も DCI (データセンター インターコネクト) 装置には柔軟性が求められます。これらの増え続けるネットワーキング負荷には、ルーター /スイッチ チップで最新の SerDes レート (56G ～ 112G) を使用し、DCI ブリッジングおよびトランスポート機能を円滑化する完全密度の動作が必要です。一方、クライアント インターフェイスはレーンあたり 10G から 112G までさまざまです。これらのクライアント インターフェイスをネットワークおよびトランスポート チップにブリッジするには、必要に応じて SerDes レートを調整し、FEC を変更することが必要になります。多くのトランスポート アプリケーションでは、必要に応じて、複数クライアントの多重化、または 1 クライアントの複数ラインへの逆多重化など、その他の機能が求められます。さらに、頻出するインフラストラクチャ装置へのサイバー攻撃を防ぐために、インライン暗号化/復号化などのセキュリティ機能も必要になります。

AMD の Versal アダプティブ SoC SmartPHY ソリューションは、最大 2.4 Tb/s のトランスポート/ネットワーク インターフェイスを光フェイスプレートに接続し、1 つのデバイスに最大 1.6 Tb/s の全二重暗号化の統合を可能にします。これは業界で飛び抜けてトップクラスのデバイスあたりの密度であり、OEM システム プロバイダーは差別化された製品を開発できます。

図 9 は、同等の DCI ブリッジング デザインにおける Versal デバイスと競合プログラマブル デバイスの消費電力見積もりの比較を示します。

Versal アーキテクチャの特長 (NoC、CPM、および HSC) とハード イーサネット インターフェイスの高密度により、競合の 10 nm FPGA(1) と比べ 2.2 倍のワットあたり性能と、PCB フットプリントの 70% 削減を実現しています。

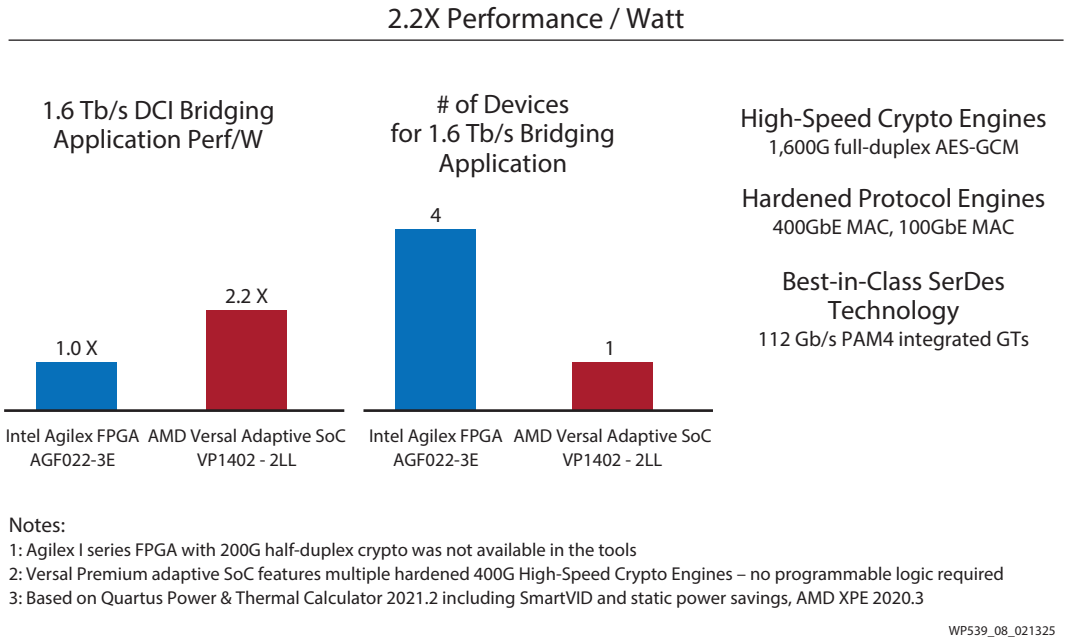


図 9: DCI ブリッジング アプリケーションにおいて、Versal アダプティブ SoC は競合デバイスと比較して 2.2 倍のワットあたり性能を実現[1]

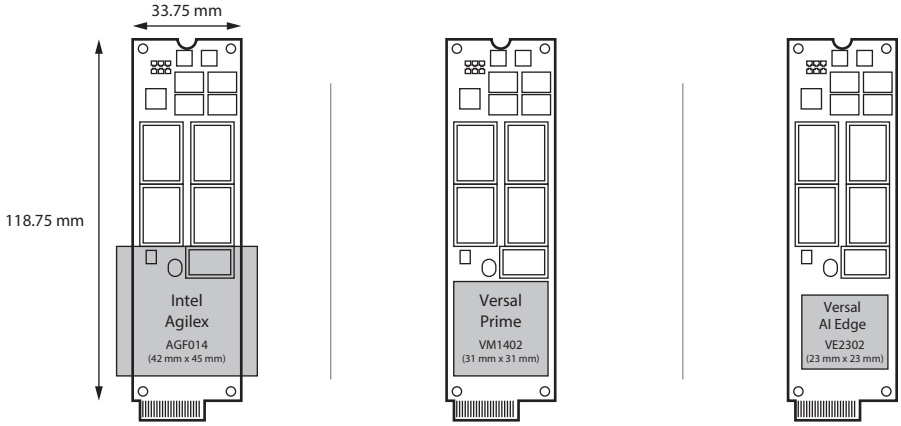
1. DCI ブリッジング デザイン: AMD の消費電力は 2020.3 XPE によってワースト ケース、最大プロセスで見積もられました。競合デバイスの消費電力は 21.2 Quartus PTC により、SmartVID およびスタティック消費電力削減を含むものと想定して見積もられました。SmartVID およびスタティック消費電力削減の数値は AMD によって検証されていません。

ストレージ アクセラレーション

フォーム ファクターによって制約を受けるアプリケーションは数多くあります。消費電力を一定の枠内に抑えながら適応型ハードウェアの性能を最大化する必要があるインライン エンタープライズ ストレージ アクセラレーション アプリケーションもその例です。U.2 フォーム ファクターのストレージ デバイスにおいて、適応型ハードウェアが占める基板面積と、基板上に搭載できるメディアの量には直接のトレードオフがあります。さらに、EDSFF E1 などの新しいストレージ フォーム ファクターには、少なくとも 1 辺が 33.75 mm 未満のパッケージが要求されます。

Versal プライム VM1402 デバイスは、35 mm x 35 mm パッケージで 648 のシングルエンド I/O、31 mm x 31 mm パッケージで 324 のシングルエンド I/O を提供し、一般的なストレージ ワークロードに対して想定される消費電力は 17W です。さらに、計算用ストレージ アプリケーション向けに、Versal AI エッジ VE2308 デバイスは、23 mm x 23 mm パッケージで最大 31 の INT8 TOPS を提供し、ストレージ ハードウェア規格に準拠しながら、かつてないワットあたり性能を実現します。

図 10 に示すように、最も近い競合製品の 10 nm FPGA は 42 mm より小さいパッケージ寸法では提供されておらず、多くのエンタープライズ DC ストレージ フォーム ファクターに適合しません。Versal アダプティブ SoC に統合されたハード IP (CPM DMA、NoC、および各種 AI エンジン) は、これらのデバイスをより小さいフォーム ファクターにスケーリングできるようにし、差別化された機能の提供を可能にします。



	Intel Agilex AGF014[2]	Versal Prime VM1402[3]	Versal AI Edge VE2302[5]
Logic Density[1]	487K ALMS + DDR	565K LUTs + CPM[4]+ NoC + DDR	328K LUTs + NoC + DDR
Device Package Size	42 MM X 45 MM	31 mm x 31 mm	23 mm x 23 mm
EDSFF Form Factor	NOT DEPLOYABLE	DEPLOYABLE	DEPLOYABLE
Compute Storage Functions			
Encryption	NOT DEPLOYABLE	√	√
Compression	NOT DEPLOYABLE	√	√
Hashing	NOT DEPLOYABLE	√	√
NVRAM Management	NOT DEPLOYABLE	√	√
ML Acceleration	NOT DEPLOYABLE	1,696 DSP Engines	34 AI Engine-ML Tiles[5]

Notes:
1: Storage acceleration functions at 6.9 GB/s typically require ~300K LUTs or more
2: Agilex AGF014-2340A FPGA package
3: See Versal Prime Series Product Selection Guide for full product specifications
4: VM1402 features a CPM4, offering integrated PCIe® Gen4 with hardened DMA, eliminating the need to implement DMA in programmable logic
5: See Versal AI Edge Series Product Selection Guide for more details

WP539_09_021325

図 10: エンタープライズ SC ストレージ フォーム ファクター (EDSFF) の比較

まとめ

Versal アダプティブ SoC は、大幅に向上した性能とヘテロジニアスな統合を含む、まったく新しいタイプの製品です。多くの基本的な IP (AI エンジン、NoC、100G MRMAC、600G DCMAC、400G 高速暗号化エンジン、600G Interlaken など) を Versal アーキテクチャ内にハード化することで、Versal アダプティブ SoC は競合 FPGA に対して性能およびワットあたり性能面で著しい優位性を持ち、このホワイトペーパーで述べた通り、幅広いアプリケーションでシステム レベルの性能を大幅に向上させます。

システム レベルのベンチマーク比較を含む詳細は、次を参照してください。
https://www.amd.com/en/products/adaptive-socs-and-fpgas/versal/adaptive-soc.html

ベンチマークを試すには、次を参照してください。
https://www.amd.com/member/forms/registration/white-paper-539.html

参考資料

このガイドの補足情報は、次の資料を参照してください。

1. Hennessy, Patterson (2019 年 2 月)。A New Golden Age for Computer Architecture from https://cacm.acm.org/magazines/2019/2/234352-a-new-golden-age-for-computer-architecture/fulltext
2. 2021 ACM/IEEE 48th Annual International Symposium on Computer Architecture (ISCA). "Ten Lessons From Three Generations Shaped Google's TPUv4i : Industrial Product": https://ieeexplore.ieee.org/document/9499913
3. B. Gaide, D. Gaitonde, C. Ravishankar, and T. Bauer, “Xilinx Adaptive Compute Acceleration Platform: Versal Architecture,” in proceedings of the 2019 ACM/SIGDA International Symposium on Field Programmable Gate Arrays (FPGA’19). ACM, https://www.amd.com/content/dam/amd/en/xilinx-migration/fpga/versal-gen-1/acap/versal-premium/ACAP%20Paper.pdf
4. AMD ホワイト ペーパー (WP506): 『AI エンジンとそのアプリケーション』 https://docs.amd.com/v/u/en-US/wp506-ai-engine
5. AMD アプリケーション ノート (XAPP1352): 『AI エンジンへのビームフォーミングの実装』 https://docs.amd.com/r/en-US/xapp1352-beamforming-ai-engine

謝辞

このホワイト ペーパーの著者または協力者 (AMD 従業員):

シリコン製品プランニング担当ディレクター、Matthew Ouellette

製品プランニング & 競合ベンチマーキング、Mouli Chitta Venkata

消費電力/熱 - プリンシパル テクニカル マーケティング エンジニア、Brian Philofsky

テクニカル マーケティング担当シニア ディレクター、Harpinder Matharu

プリンシパル ワイヤード アーキテクト、Faisal Dada

テクニカル マーケティング担当シニア マネージャー、Ashwin Thiagarajan

AI - Vitis - Vivado - エコシステム製品マーケティング担当ディレクター、Nick Ni

ミッドレンジ アダプティブ SoC & FPGA 製品ライン マネージャー、Ryan Koehn

AMD ソフトウェア開発フローおよび競合 - 製品マネージャー、Frederic Rivoallon

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	変更内容
2025 年 2 月 13 日	1.2.1	誤字の修正。
2022 年 2 月 15 日	1.2	「ソフトウェア プログラマブル アーキテクチャに使用する Vivado、Vitis、Vitis AI」を更新。
2021 年 9 月 15 日	1.1	「参考資料」を更新。
2021 年 8 月 26 日	1.0.1	誤植の修正。
2021 年 8 月 25 日	1.0	初版

お読みください: 重要な法的通知

本資料に掲載されている情報は情報提供のみを目的としており、技術的に不正確な情報、省略、誤植を含む可能性があります。ここに記載の情報は、製品およびロードマップの変更、コンポーネントとマザーボードのバージョン変更、新しいモデルや製品のリリース、製造業者の違いによる製品の差異、ソフトウェア変更、BIOS のフラッシュ、ファームウェア アップグレードなどを含む (ただしこれに限定されない) 多くの理由によって変更される場合があり、不正確となる可能性があります。いかなるコンピューター システムにも完全に防止または軽減できないセキュリティの脆弱性のリスクが存在します。AMD は、情報の更新、または修正や改訂について一切の義務を負わないものとします。ただし AMD は本情報を改訂してその内容を随時変更する権利を有し、その改訂または変更に関して通知する義務は負いません。本情報は「現状有姿」で提供されます。AMD は本書の内容について一切の表明も保証も行わないものとし、本情報の不正確さ、誤り、省略について一切の責任を負いません。また、AMD は非侵害性、商品性、または特定目的適合性に関する黙示的保証を行わないものとします。AMD は本資料に含まれる情報の使用に起因する依存、直接、間接、特別、または結果的な損害に対して、AMD が当該の損害の可能性を知らされていた場合であっても、責任を負うことはありません。

自動車用のアプリケーションの免責条項

オートモーティブ製品 (製品番号に「XA」が含まれる) は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能 (「セーフティ設計」) がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション (「セーフティ アプリケーション」) における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティ アプリケーションで製品を使用するリスクはすべて顧客が負い、製品責任の制限を規定する適用法令および規則にのみ従うものとします。

© Copyright 2021–2025 Advanced Micro Devices、Inc. AMD、AMD の矢印形のロゴ、UltraScale+、Versal、Virtex、Vitis、Vivado、およびその組み合わせは Advanced Micro Devices, Inc の商標です。Python は Python Software Foundation の商標です。PCIe® は、PCI-SIG Corporation の登録商標です。PyTorch、PyTorch ロゴ、および関連マークは、Linux Foundation の商標です。TensorFlow、TensorFlow ロゴおよび関連マークは Google Inc の商標です。この資料に使用されているその他の製品名は識別目的のみに使用されており、所有するそれぞれの企業の商標である可能性があります。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@amd.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。フィードバックは日本語で入力可能です。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。