WP484 (v1.0) 2016 年 9 月 27 日

Artix-7 および Spartan-7 FPGA 向け DDR2/DDR3 低コスト PCB デザインのガイドライン

著者 : Ravindra Gali

Artix®-7 および Spartan®-7 ファミリは、ローエンド市場特有のニーズに対応するよう設計された低コストで小型フットプリントの高効率 FPGA を提供します。

概要

スループットの向上が求められる中で、ザイリンクスの Artix-7 および Spartan-7 デバイスのように低消費電力で低コストの FPGA と高性能な DDR2/DDR3 メモリが組み合わて使用されることが増えています。たとえば、今日のコスト重視システムでは、低コスト FPGA と DDR3 メモリ間で最大 1066 Mb/s でデータ伝送可能されることがわかっています。

システム設計者たちは、このようなアプリケーションの低コスト化を進める上で、最小限の BOM コストで PCB 設計を行うという課題を抱えています。このホワイト ペーパーでは、PCB 設計者が低コスト FPGA をベースとした高性能 DDR2/DDR3 デザインを完成させるための実際的なレイアウト ガイドラインを提供します。また、PCB レイヤー数を削減するために高度な PCB 製造技術を使用した場合のコスト トレード オフについても言及しています。

© Copyright 2016 Xilinx, Inc. Xilinx、Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他各国のザイリンクス社の商標です。すべてのその他の商標は、それぞれの保有者に帰属します。

この資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

はじめに

Artix-7 および Spartan-7 は、最大の性能と同時に最大の柔軟性を得ることができるように多様なパッケージで提供されています。Spartan-7 FPGA パッケージは 8 mm ～ 27 mm の小型パッケージ フットプリントで提供され、Artix-7 FPGA は 10 mm ～ 35 mm までの広範なパッケージ サイズで提供されています。これらのパッケージは 1.0 mm、0.8 mm、0.5 mm のパッケージ ピッチでそれぞれ提供されています。パッケージ ピッチとは、BGA パッケージ上の隣接するボール間における距離であり、図 1 に示すように中央から中央の距離を計測したものです。

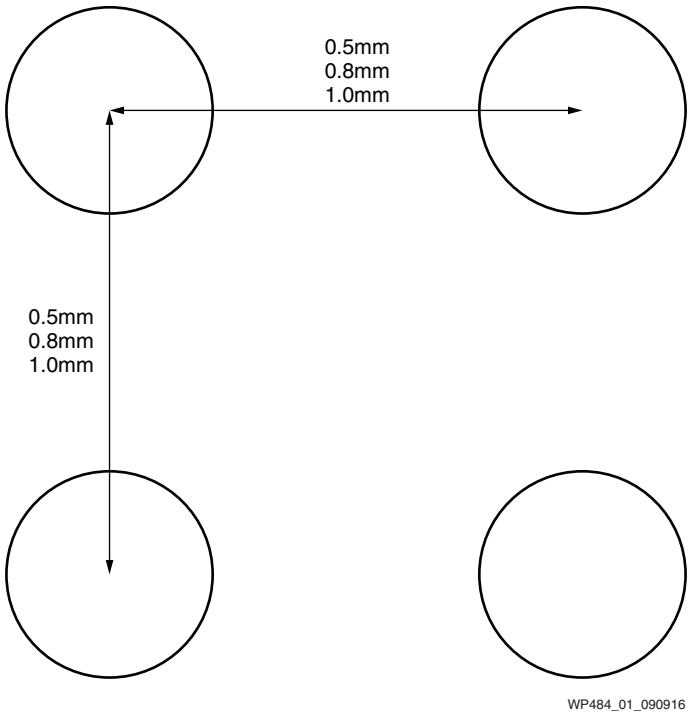

図 1: パッケージ ピッチ

一般に、ピッチ サイズが小さくなるほどパッケージ ボール間のトレースやビアの配線スペースが小さくなるため、PCB 配線が困難になります。

レイヤー数の見積もりおよびコスト トレード オフ

式 1 を使用して、FPGA からの信号ピンをすべてブレークアウトする (使用できるように引き出す) のに必要な配線レイヤー数を簡単に見積もることができます。

$$\text{レイヤー数} = \frac{\text{信号ピン数（ I/O、MGT ）}}{\text{配線チャネル数} \bullet \text{各チャネルの配線数}} \qquad \text{式 1}$$

ザイリンクスのコスト重視 FPGA の場合、信号ピンの数は BGA ボールの合計数の約 60% です。残りの 40% は電源およびグランド信号で、通常はビアを使用してプレーンへ直接配線されます。すべての I/O を使用することが前提となり、使用する I/O 数が減少するほど配線する信号数も減少します。

配線チャネル数は、BGA から配線できる配線チャネルの合計です。つまり、(1 辺の BGA ボール数 - 1) × 4 辺です。

図 2 に、例として 5× 5 BGA ボールからの配線で、合計 16 本の配線チャネルを示しています。

1 辺の BGA ボール数 = 5
配線チャネル数 = (5-1) × 4

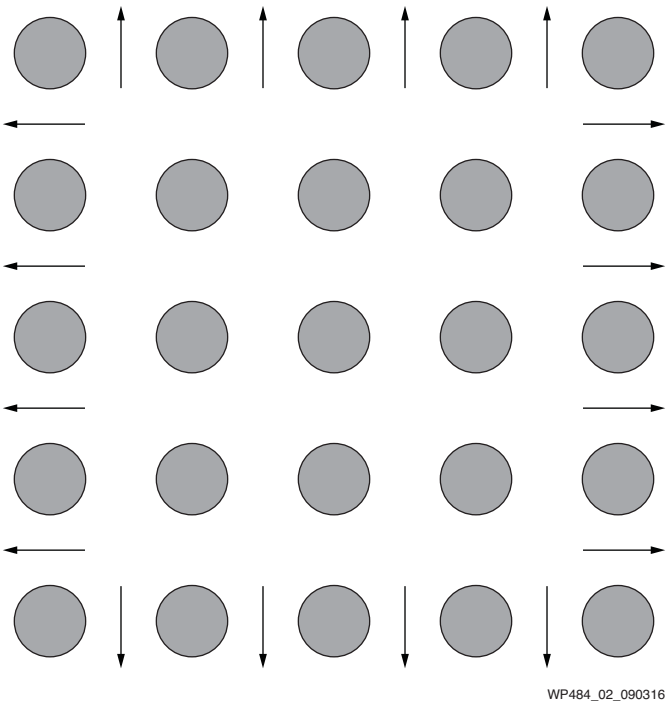

図 2: 配線チャネル数の定義

各チャネルの配線数は、通常 1 または 2 で、上/下レイヤーにおける BGA パッド間で配線可能なトレース数によって異なります。シグナル インテグリティの観点から、公称のトレース インピーダンス要件を確実に満たすために DFM (製造性考慮設計) ガイドラインに従うことが重要です。図 3 に、各チャネルの配線数を表した略図を示します。内部レイヤーの各チャネルの配線数はドリルを用いた銅配線の特性を考慮し、ビア同士の間隔によって異なります。

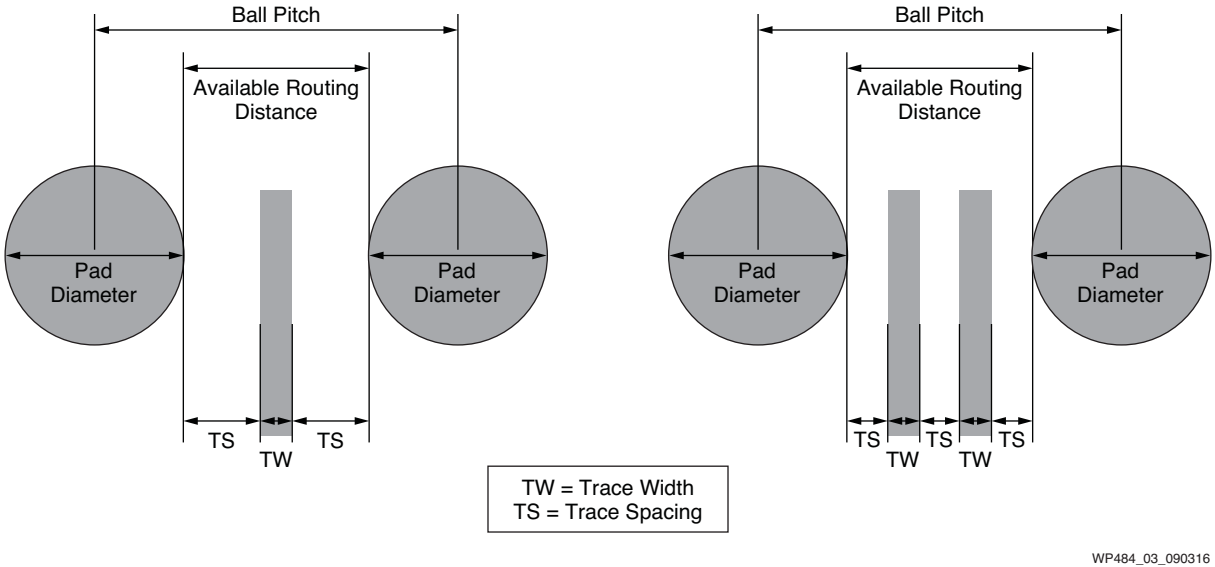

図 3: 上/下レイヤーにおける各チャネルの配線数の定義

0.5 mm ピッチ パッケージでは、パッド サイズとパッケージ ピッチ サイズにより、BGA パッド間のトレースが 1 本に限られますが、0.8 mm または 1 mm ピッチ パッケージを選択した場合は 1 本または 2 本のブレークアウトから選択できるため、柔軟性はより高くなります。

表 1 および表 2 に、Artix-7 および Spartan-7 FPGA の配線に必要なレイヤー数をそれぞれ示します。

表 1: Artix-7 FPGA: BGA ボール数に対する信号レイヤー数

BGA ボール数	ボール ピッチ (mm)	信号レイヤー数 (すべての有効な I/O を配線)	
		各チャネルの配線数	
		2 トレース	1 トレース
236	0.5	NA	3
256	1.0	2	3
324	0.8	2	3
325	0.8	2	3
484	0.8	3	4
484	1.0	2	4
676	1.0	3	5
1156	1.0	3	6

表 2: Spartan-7:BGA ボール数に対する信号レイヤー数

BGA ボール数	ボール ピッチ (mm)	信号レイヤー数 (すべての有効な I/O を配線)	
		各チャネルの配線数	
		2 トレース	1 トレース
144	0.5	N/A	2
196	0.5	N/A	2
225	0.8	2	3
324	0.8	2	3
484	1.0	2	4
676	1.0	3	5

高集積 BGA で信号をブレークアウトする場合に考慮すべき重要事項は次のとおりです。

- 表面層のランド パッドの寸法
- PTH サイズと対応するパッド/アンチパッドの寸法
- トレースの幅と間隔の要件
- 利用可能な信号レイヤー数

PCB 設計者がレイアウト時に与えられる選択肢は、主にパッケージ ピッチによって決まります。コストが増加しても、PCB レイヤー数をできるだけ少なくすることを目的とする場合には、より狭いトレース幅を使用すること以外に、マイクロ ビア、ブラインド ビア、埋め込み型ビアなどの高度な設計技術を使用することが可能です。ただし、これらの高度な設計技術は、DDR3 デザインの成功に必須ではありません。以降で、さまざまな業界用語と、標準 PCB 製造コストと比較した場合のコスト増加率を説明します。図 4 にさまざまなビア タイプを示します。

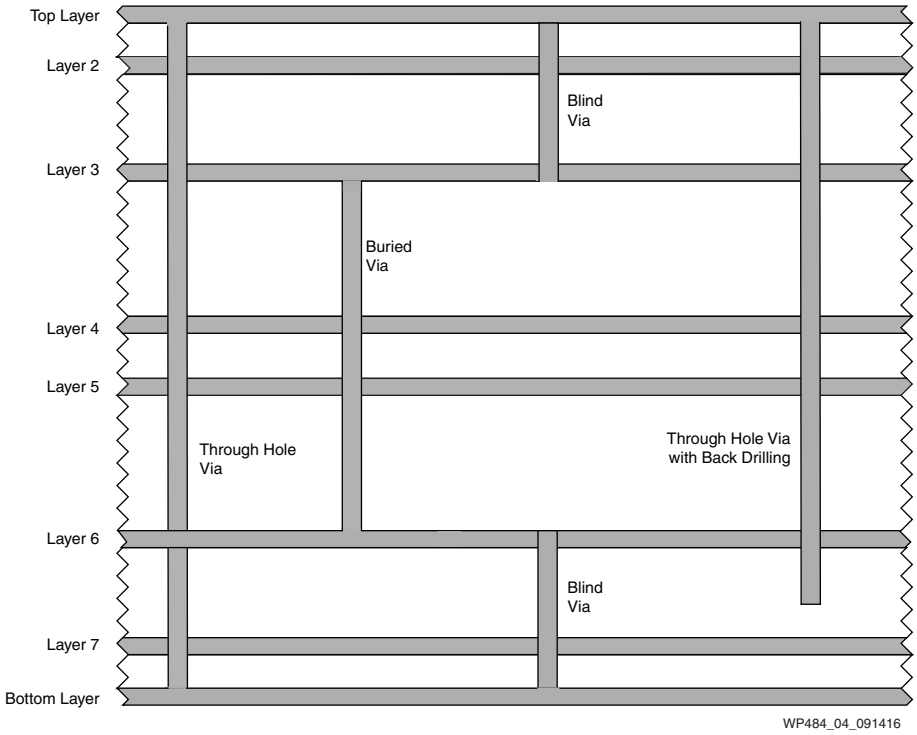

図 4: 多様なビア タイプ

ビア アスペクト比 - メッキ前の最小ビア ホールのドリル直径と PCB 板厚の比率を指します。この値は、PCB 製造者がドリル装置の機械的な能力の限界を超えないようにするためのガイドとして使用されます。一般的に、標準 PCB 製造のビア アスペクト比は 10:1 です。ビア アスペクト比は、高度な PCB 製造技術を使用することで、DFM 規則に準拠しながら 20:1 まで可能です。

バックドリル ビア - 導電性を持たないようにその長さの一部が穿孔されたスルーホール ビアです。配線から不要なスタブを除去できるため、シグナル インテグリティが向上します。バックドリル ビアを使用した場合の一般的なコスト増加率は、標準 PCB 製造コストの 5 ～ 10% になります。

ビアインパッド - パッドの下に直接穿孔されたビアです。ビアを接続させるためのメタル トレース (ストリンガー) が不要になります。この方法では、ボード製造コストが増加しますが、ブレークアウト配線に有効でシグナル インテグリティを向上させることが可能です。コスト増加率は、標準 PCB 製造コストの 10 ～ 15% となり、アスペクト比によって異なります。

埋め込み型ビア/ブラインド ビア - 埋め込み型ビアは、プリント基板の内部に完全に埋め込まれて、上下レイヤーには接触しません。一方、ブラインド ビアは上下いずれかのレイヤーから内部の信号レイヤーへ向かって延びています。いずれのビアも上または下に配線スペースができます。これは、上から下まですべてのレイヤーを貫通するスルーホール ビアとは異なります。埋め込み型ビアまたはブラインド ビアのコスト増加率は、PCB 上に存在する各ビア数によって異なります。これらのビアは、その数に応じてラミネーションが必要となるため、さらにコストが増加します。たとえば、3 種類の異なる埋め込み/ブラインド ビア (L1 – L4、L16 – L12、L4 – L8) が 16 レイヤーの PCB 上にある場合、各埋め込み/ブラインド ビアに対して 30% のコスト増加が生じます。

マイクロ ビア - ブラインド ビアの一種で、サイズが非常に小さいのが特徴です。レーザーを使用して穴をあけますが、通常は一度に 1 つまたは 2 つ以上のレイヤーを貫通することは不可能です。各ビアに対して約 15% のコスト増加が生じます。

追加レイヤー - 信号レイヤーの追加にかかるコストは、上記の高度なビア技術より低くなることがあります。したがって、レイヤーを追加することは、必ずしもマイナスな選択肢とは限りません。一般的に、レイヤーを 2 つ追加する場合のコスト増加率は 15 ～ 20% です。

PCB 設計者は、高度な設計技術を使用することで、2.5 mil の狭いトレース間隔で配線して目標とするインピーダンスを達成し、最適なシグナル インテグリティ性能を実現できます。

ザイリンクスのユーザー ガイド『BGA デバイスの推奨デザイン ルールおよびストラテジ』[参照 1] では、さまざまなピン ピッチの PCB ブレークアウト配線において、表面層のパッド寸法、PTH サイズ、トレース幅、および間隔の推奨値に関する

ガイドラインを示しています。この文書は、コスト重視デザイン向けの実際の PCB レイアウトのスナップショットや、異なるピン ピッチで高度な PCB 製造技術を使用したデザインも提供しています。

低コスト DDR3 のガイドライン

DDR2/3 メモリはシステム要件に基づいて、SDRAM モジュールまたは DIMM モジュール セットとして Artix-7 および Spartan-7 FPGA に接続されます。これらの製品のデバイスすべてが、すべてのメモリ コンフィギュレーションをサポートしているとは限りません。サポートされるメモリ コンフィギュレーションは、ダイとパッケージの組み合わせによって異なります。

トポロジに関係なく、DDR2/3 インターフェイスが最大データ レートで正常に動作できるかどうかは、コンポーネント自体のマイクロシステムおよびその他の要因に左右されます。これらの要因には、ドライバーおよびレシーバーのバッファー、終端、インターコネクト インピーダンス、遅延の整合、クロストーク、および電源の完全性などがあります。DDR2 と DDR3 の 2 つのメモリ タイプの一般的な比較を表 3 に示し、それら両方に共通する信号を図 5 に示します。

表 3: DDR2 メモリおよび DDR3 メモリの要件の比較

テクノロジ	DDR2	DDR3
Artix-7 および Spartan-7 における 最大クロック周波数 (MH)/データ レート (Mb/s)	400/800	533/1066 (Artix-7) 400/800 (Spartan-7)
電源要件 (V)		
V_{VDDQ}	1.80	1.50
V_{TT}	0.9	0.75
V_{REF}	0.9	0.75
遅延の整合要件		
ADDR/CMD/CTRL をクロックに整合させる	対応	対応
データ グループ (DQ)、DM を対応するストローブ ペア (DQS) に整合させる	対応	対応
DQS をクロックに緩く整合させる	対応	不要

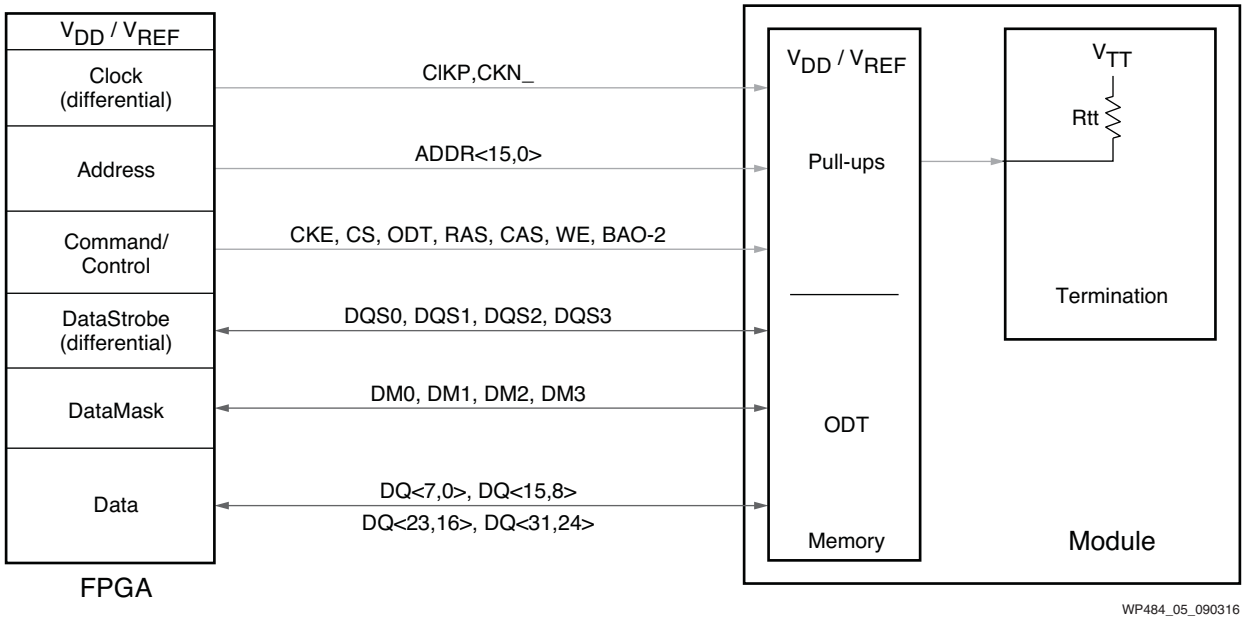

図 5: DDR2 メモリと DDR3 メモリに共通するアーキテクチャおよびインターフェイスのテクノロジ

このセクションでは、低コスト PCB デザインを実現させるための高度なレイアウト ガイドラインを提供します。最良のメモリ レイアウトを完成させるための主な課題は次のとおりです。

- 最小限の配線レイヤー数ですべてのデータおよびアドレス信号をブレークアウトする。
- クロストークやインピーダンスの不連続性による信号の反射を最小限に抑えてシグナル インテグリティを確保する。

波形の完全性

DQ、DM、DQS ネットは、通常はポイント ツー ポイント接続です。これらのネットは双方向であり、関連するデータ ストローブ信号の立ち上がりエッジと立ち下がりエッジの両方でデータがラッチされます。ザイリンクスでは次の手順を推奨しています。

- 伝送ラインのインピーダンスに最も近い出力インピーダンスとなるように、FPGA ドライバーを設定する。
- これらの信号を 50 Ω の特性インピーダンスで PCB 上の FPGA からメモリ デバイスまで配線する。
- 書き込み動作時は、反射を最小限に抑えるために DRAM の 50 Ω に最も近いオンダイ終端 (ODT) を有効にする。
- 双方向の高データ レート動作における終端の整合を確保するために、読み出し動作時は FPGA の終端を有効にする。

クロストークを最小限に抑えるには、信号間に常にスペースを空けて、レイヤーが切り替わる箇所のビア長を短くすることを推奨しています。しかし、FPGA や DRAM デバイスの下の部分はスペースに限りがあるため、信号間に十分なスペースを確保することが困難です。この PCB レイアウトの課題を緩和させるために、ザイリンクスはブレークアウト領域に最小限のスペース (例: 1X スペース) を設けています。1X スペースとは、トレース幅と同じトレース間の空隙を意味します。このスペースは、FPGA/DRAM デバイスから信号をブレークアウトする際のトレース長が 1 インチ未満であれば保持できます。さらなるシグナル インテグリティを確保するには、次のガイドラインにも従う必要があります。

- ブレークアウト領域から 2X またはそれ以上のスペースを空ける。
- 基板材料として FR4 を使用し、FPGA から DRAM までの PCB インターコネクトの全長が 4 インチとなる。

CLOCK、ADDR、CMD、および CONTROL 信号

CLOCK、ADDR (アドレス)、CMD (コマンド)、および CONTROL 信号は通常、ポイント ツー マルチポイント接続であり、「フライバイ」と呼ばれる独自のトポロジを必要とします。フライバイは、スタブのないデイジー チェーン接続と考えることができます。これらの信号は単方向で、FPGA からメモリ デバイスに駆動されます。差動クロック ネットは、タイミング解析用の基準信号として使用されます。

外部終端

これらのネットでは ODT を使用できず、外付けの単体終端が必要です。一般に、抵抗が最後のメモリ デバイスを過ぎた所の遠端に配置され、V_{TT} (V_{VDDQ}/2) にプルアップされる構成を推奨しています。プルアップ抵抗の値およびインターコネクト トレースのインピーダンスは、ネット上のデバイスの数によって決まります。これらの値は、通常、シミュレーションで最適化されます。ザイリンクスは、これらの値をさらに最適化する場合に、独自のシミュレーション解析で必要となる FPGA IBIS モデルを提供しています。

低コスト デザインでは、次のガイドラインに従うことを推奨しています。

- ザイリンクスは、遠端の V_{TT} (V_{VDDQ}/2) に 50 Ω のフライバイ終端抵抗を使用して、50 Ω の特性インピーダンス トレースで ADDR/CMD/CTRL 信号を配線することを推奨しています。これは、ほとんどの場合に適用可能です。
- CLK 差動ペアの場合は、V_{VDDQ} に 2 つの 50 Ω プルアップ抵抗と DC ブロッキング キャパシタを使用して、100 Ω の差動トレース インピーダンスを実装することを推奨しています。図 6 に、クロックのフライバイ終端を用いた回路図を示します。

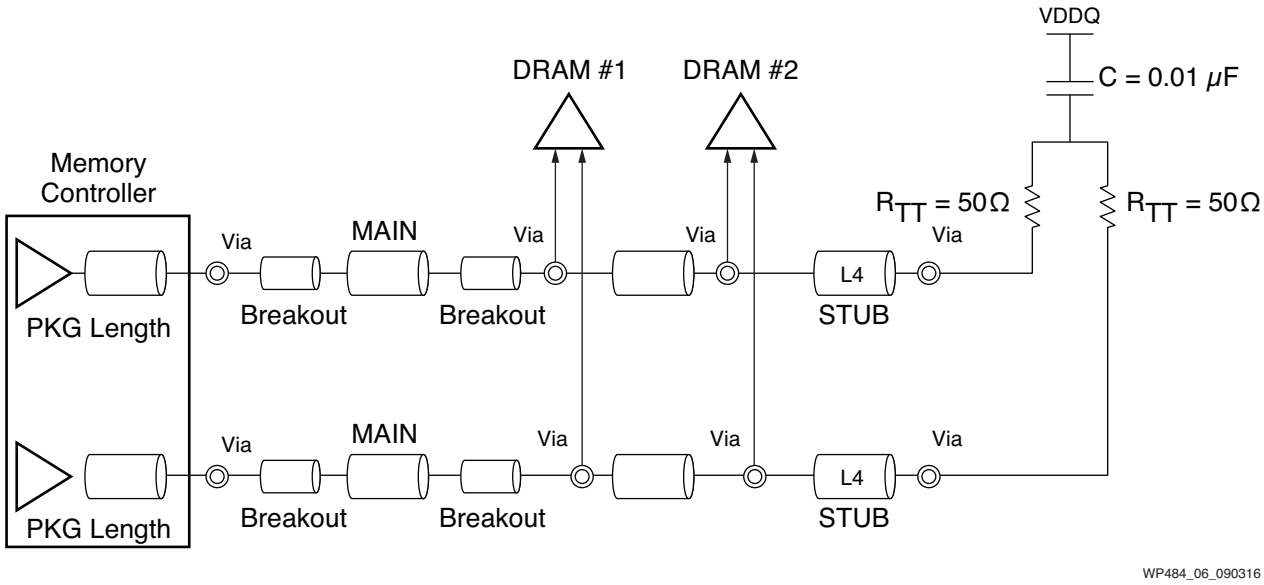

図 6: フライバイ終端

図 7 に、電源の信頼性の高い完全性を確保するための V_{TT} キャパシタの配置を示しています。ザイリンクスでは、4 つの終端抵抗おきに、V_{TT} に接続される 0.1 µf のキャパシタを 1 つ以上使用することを推奨しています。

図 7: V_{TT} コンデンサの配置

その他、ザイリンクスでは、DRAM 間のインターコネクト長および最後の DRAM からフライバイ終端抵抗までのスタブ長を 0.75 インチ以内にすることを推奨しています。

信号ネット の遅延の整合

トレース長、インピーダンス、および終端は、最適な波形の完全性が得られるように設計できますが、同期ネット間の遅延を極めて緊密に整合させることも重要です。バイト レーン内のすべての DQ ネットおよび DM ネットは、パッケージ フライト タイムの違いを考慮した上で、それらに関連する DQS ネットに整合する必要があります。

したがって、ザイリンクスでは次の手順を推奨しています。

- 800 Mb/s の DDR2/DDR3 インターフェイスの場合、すべての DQ/DM ネットは、それらに関連する DQS ネットに ±15 ps の範囲内で整合する必要があります。
- 1,066 Mb/s の DDR2/DDR3 インターフェイスの場合、すべての DQ/DM ネットは、それらに関連する DQS ネットに ±10 ps の範囲内で整合する必要があります。
- 単方向信号の場合、ADDR、CMD、および CTRL 信号のすべてが、CLK 信号に整合する必要があります。各伝送ラインのセグメント (FPGA から DRAM1、FPGA から DRAM2、FPGA からフライバイ終端抵抗など) を妥当な許容範囲内で整合させることが最良の設計方法です。

まとめ

ザイリンクスの Artix-7 および Spartan-7 デバイスは、DDR2/DDR3 と共にそれぞれ最大 1,066 Mb/s および 800 Mb/s の速度で動作できることが実証されています。このホワイト ペーパーでは、レイヤー数の見積もり方法、および先進の設計技術を使用した場合のコストへの影響について高度なガイダンスを提供しました。また、低コストな PCB デザインを完成させるためのレイアウト ガイドラインを示しました。これらは I/O 性能の最適化や性能に影響を与えるリスク削減に役立ちます。詳細は、各デバイスのデータシート [参照 2] [参照 3] を参照してください。

参考資料

注記: 日本語版のバージョンは、英語版より古い場合があります。

1. 『Recommended Design Rules and Strategies for BGA Devices』(UG1099)
2. 『Artix-7 FPGA データシート: DC 特性および AC スイッチ特性』(DS181: 英語版、日本語版)
3. 『Spartan-7 FPGA データシート: DC 特性および AC スイッチ特性』(DS189: 英語版、日本語版)

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2016 年 9 月 27 日	1.0	初版

免責事項

本通知に基づいて貴殿または貴社 (本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ) に開示される情報 (以下「本情報」といいます) は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1) 本情報は「現状有姿」、およびすべて受領者の責任で (with all faults) という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず (商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない (否認する) ものとします。また、(2) ザイリンクスは、本情報 (貴殿または貴社による本情報の使用を含む) に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない (契約上、不法行為上 (過失の場合を含む)、その他のいかなる責任の法理によるかを問わない) ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害 (第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます) が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、http://japan.xilinx.com/legal.htm#tos で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うことになります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。http://japan.xilinx.com/ legal.htm#tos で見られるザイリンクスの販売条件を参照してください。

自動車用のアプリケーションの免責条項

オートモーティブ製品 (製品番号に「XA」が含まれる) は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能 (「セーフティ設計」) がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション (「セーフティ アプリケーション」) における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティ アプリケーションで製品を使用するリスクはすべて顧客が負い、製品責任の制限を規定する適用法令および規則にのみ従うものとします。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。