XAPP1091 (v1.0) 2013 年 4 月 5 日

Kintex-7 FPGA を用いた RTVE (Real Time Video Engine) 2.0 のインプリメンテーション

著者 : Bob Feng、Kavoos Hedayati

概要

放送映像の分野では、ビデオの制作、中継、配信、消費の各部門でさまざまなフォーマットのビデオ コンテンツが混在しています。これらのコンテンツを正しくアーカイブ、配信、表示するには、多くの場合、目的に応じたフォーマット変換を実行してビデオ信号を適切に処理する必要があります。たとえば、NTSC/PAL 信号を FHD LCD 画面に正しく表示するには、デインターレース、スケーリング、クロマ アップサンプリング、色補正といった一連の処理に加え、アルファ ブレンディングも実行する必要があります。

このアプリケーション ノートでは、マルチストリーム/マルチパイプラインのビデオ処理ニーズに対応した真にスケーラブルなビデオ プロセッサを、最新のザイリンクス Kintex™-7 FPGA アーキテクチャに実装したリファレンス デザインを紹介します。このリファレンス デザインは、マルチビューアー ディスプレイ、ビデオ スイッチ、マルチチャネル ビデオ ルーター、マルチストリーム アップ/ダウン コンバーターなどのアプリケーションを対象にしています。

はじめに

ここで紹介する放送品質のビデオ処理リファレンス デザインは、幅広いビデオ アプリケーションをターゲットとしています。リアルタイム ビデオ エンジン 2.0 (RTVE 2.0) リファレンス デザインの中心となる機能はビデオのデインターレースとスケーリングですが、それ以外にもトリプルレート SDI インターフェイス、DVI インターフェイス、オンスクリーン ディスプレイ (OSD)、ビデオ フレームバッファー制御、クロマ リサンプリング、色空間変換などを備えています。このデザインのビデオ処理機能は拡張可能で、2x、4x、8x の並列ビデオ パイプラインをサポートします。

RTVE 2.0 には次の特長があります。

- HDMI とトリプルレート SDI のビデオ ソースをオンザフライで切り換え可能
- プログレッシブまたはインターレース ビデオ フォーマットをサポート
- 複数のビデオ出力ポート : HD/3G-SDI および HDMI
- 複数の FPGA に最適化されたスケーラブルなデザイン
  - 2 パイプライン - XC7K160T のロジック集積度に対応
  - 4 パイプライン - XC7K160T のロジック集積度に対応
  - 最大 8 パイプライン - XC7K325T のロジック集積度に対応
- 完全にザイリンクスの AXI インフラストラクチャ ベース
  - AXI-Lite CPU 制御インターフェイス
  - 外部メモリ アクセスには AXI メモリ マップを使用
  - ビデオ処理ブロック間のビデオ ストリーミングには AXI ストリーミングを使用
- 各パイプラインで完全なビデオ処理機能を実行
  - 動き適応型およびエッジ適応型のデインターレーサー
  - オンザフライでカスタマイズ可能な係数テーブルを使用するポリフェーズ スケーラー
  - 10 ビット 4:4:4 処理エンジン
  - フレーム バッファー リードバック

    - オンザフライでのウィンドウ サイズ変更と拡大鏡機能
    - ビデオ出力にグラフィック オーバーレイを合成
    - ライブ ビデオのピクチャ イン ピクチャ
    - 業務用品質のフェード イン/フェードアウト効果
    - 色補正マトリックスによるコントラスト調整
- ウェブ サーバー ベースの制御 GUI

RTVE 2.0 FPGA デザイン

RTVE 2.0 デザインの中心となるビデオ処理エンジンは、OmniTek 社が開発した最先端のスケーラブル ビデオ プロセッサ (OSVP) [参照 1] がベースになっています (図 1)。OSVP には、x2、x4、x8 の並列処理をサポートする設定変更可能なビデオ パイプラインが内蔵されています。各パイプラインは、クロマ アップサンプリング、色空間変換、デインターレース、クロッピング、スケーリング/リサイジング、ビデオ出力フレーム同期の処理で構成されます。また、各 OSVP にはすべてのビデオ処理ブロックからのあらゆる外部メモリ アクセス要求に対して円滑化、バランス調整、アービトレーションを実行するマルチポート ビデオ DMA ブロックが、処理パイプラインの数に応じて 1 つまたは 2 つ含まれます。

OSVP はザイリンクスの AXI4 ペリフェラル バス テクノロジを完全に採用しています。制御プレーンは AXI4-Lite インターフェイスからコマンドを受け取り、外部メモリへは 1 つまたは 2 つの AXI4-MM インターフェイス経由でアクセスします。また、ビデオ入出力には AXI4 ストリーミング インターフェイスを使用します。これらにより、ザイリンクスのデザイン環境およびメソドロジとの高い互換性を実現しています。

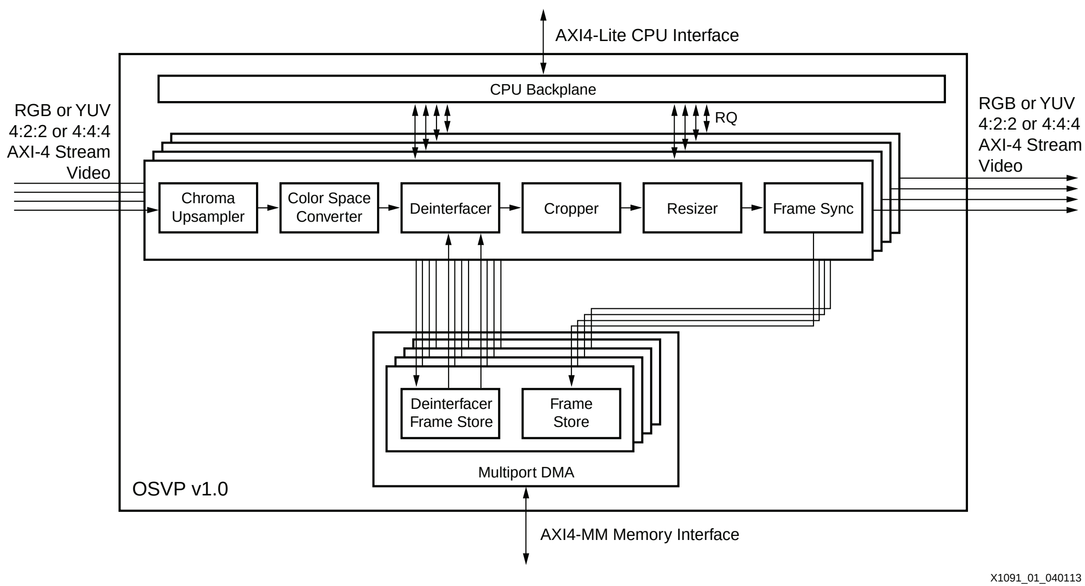


図 1 : OSVP (OmniTek Scalable Video Processor)

AXI4 インフラストラクチャを利用した OSVP は、ビデオ ストリーミング入力/出力、MicroBlaze™ ソフト プロセッサ、On-Screen Display (OSD) LogiCORE™、Video Time Controller (VTC) LogiCore、AXI インターコネクト、AXI DDR などのザイリンクス IP 構築ブロックと容易に統合してフル機能のリアルタイム ビデオ エンジンを構成できます。図 2 に、このデザインのアーキテクチャを示します。

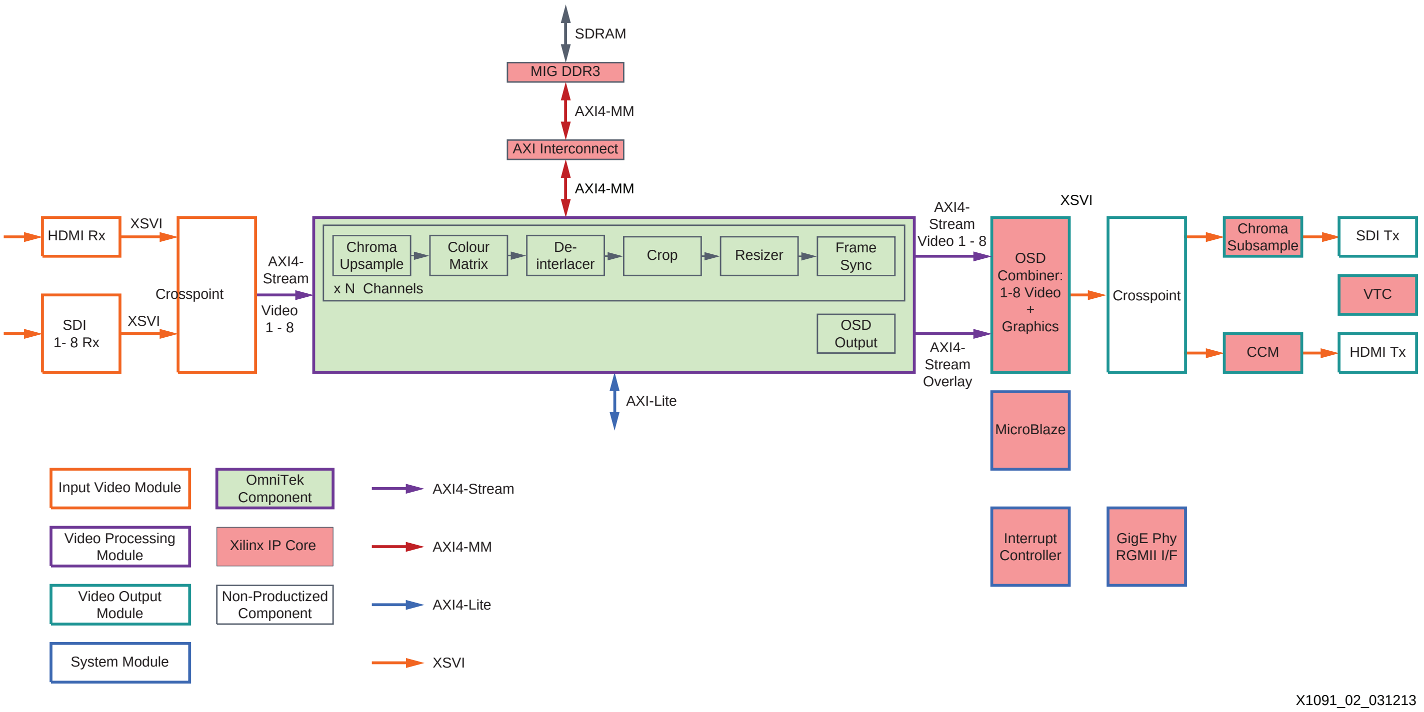


図 2 : RTVE 2.0 デザインのブロック図

ビデオ入力

RTVE 2.0 は最大 8 つの SDI 入力ソースと 1 つの HDMI 入力ソースをサポートしています。サポートされる入力フォーマットは次のとおりです。

- SDI : SD-NTSC、SD-PAL、HD-1080i、HD-1080p、HD-720p
- HDMI : 480p、576p、720p、1080i、1080p

ビデオ出力

RTVE v2.0 はすべてのインターフェイス (HDMI と SDI) でビデオ出力を同時に生成します。出力フォーマットは、720p50、720p60、1080p50、1080p60 レートのいずれかをユーザーが選択できます。出力フレーム レートは、入力フレーム レートを元にして得られ、フレーム リピートまたはフレーム ドロップのいずれかと一致します。たとえば、480i 59.94Hz の入力にデインターレースとスケーリングを実行して 720p60 または 1080p60 を出力する場合はフレーム リピートが実行されます。同様に、出力フォーマットを 720p50 または 1080p50 に設定すると、適切にフレーム ドロップが実行されます。

ビデオ処理

主なビデオ処理機能ブロックは次のとおりです。

- クロマ アップサンプリング : 最大限高品質の画質を得るため、OSVP はストレートな 4:4:4 の 10 ビット処理パイプラインを実行します。4:2:2 の入力ビデオ ストリームは、最初に 4:4:4 ストリームにアップサンプリングします。
- 色空間変換 : OSVP では、幅広い種類の色空間を変換できます。
- デインターレース : OSVP は、動き適応型およびエッジ適応型の手法を用いてインターレース方式の入力ビデオを等価なプログレッシブ方式のビデオ フォーマットに変換します。また、OSVP には映画コンテンツに対して 2:2 および 3:2 プルダウンなどのケイデンスを検出する機能もあります。その後、OSVP はビデオを補正して元のフォーマットで再構築します。

- クロッピング：OSVP では、入力ビデオの特定の領域のみを指定して以降の処理を実行できます。この処理は、たとえば映画と広告など 1 つのビデオ ストリームに 4:3 と 16:9 の異なるアスペクト比が混在する場合の切り換えに使用されます。
- スケーリング/リサイジング : OSVP では、スケーリング/リサイズ ブロックがデインターレース ブロックから出力されたプログレッシブ方式のイメージのサイズを別の出力サイズへ変更します。アップスケーリング、ダウンスケーリング、ズーミング、アスペクト比調整など、さまざまな入出力スケーリング操作をユーザーが選択できます。
- OSD : OSVP の出力は OSD に入力され、ビデオ、グラフィックス、テキスト オーバーレイを含めたスケーリング済みの最終イメージが出力ビデオ ストリームにレンダリングされます。OSD ブロックでは、最大 8 つのビデオ ストリームを重ねて表示できます。

各ビデオ処理機能ブロックの詳細は、『OSVP ユーザー ガイド』[参照 1] を参照してください。

外部メモリ使用率の解析

真にスケーラブルなビデオ プロセッサを実装するには、メモリ使用率を改善することが重要です。OSVP では、各ビデオ処理パイプラインに同時アクセス可能な 5 つのメモリ ポートがあります。内訳は、デインターレース ブロックに 2 つの読み出しポートと 1 つの書き込みポート、リサイズ ブロックに 1 つの書き込みポート、OSD に 1 つの読み出しポートです。8 パイプライン構成の場合、最大 40 の同時アクセス可能なメモリ ポートが必要です。実際のメモリ使用率はデザインによって異なります。

ここでは、4:4:4 インターレース ビデオ、30 ビット カラー、75 x 106 ピクセル/秒のレートの条件でビデオ ウィンドウすべてを重ね合わせず 1 つの画面に表示した場合のメモリ使用率を、パイプライン構成ごとに解析します。表 1 に、メモリ使用率を示します。

このビデオ フォーマットでは、デインターレース ブロックの各読み出し/書き込みポートにおける最大データ フローは、動きベクターのオーバーヘッドを含めて 40 x 75 = 3,000Mb/s です。デインターレース ブロックの出力は、直接 OSVP のリサイズ ブロックの入力へ送られます。各パイプラインで処理したビデオは重ね合わせずに 1 つの画面に表示されるため、すべてのパイプラインのリサイズ ブロックの書き込みポートのデータ フローは合計で 30 x 150 = 4,500Mb/s となります。OSD 読み出しポートのデータ フロー合計も同じ値となります。

これらの値を合計すると絶対最大データ フローが得られますが、OSVP はアクティブなイメージにのみデータ処理を限定し、任意のラインの処理結果を走査線 1 ライン分全体に適用することで必要な帯域幅を抑える仕組みを採用しています。これにより、必要な最大データ フローは実際のライン長とアクティブなライン長の差分に応じて少なくなります。ここに示した例では、計算上の合計に 0.93091 を掛けた値が平均最大データ フローとなります。

表 1 : RTVE 2.0 のメモリ使用率の内訳

	2 パイプライン OSVP	4 パイプライン OSVP	8 パイプライン OSVP
デインターレース ブロック	(3,000 x 3) x 2 = 18,000Mb/s	(3,000 x 3) x 4 = 36,000Mb/s	(3,000 x 3) x 8 = 72,000Mb/s
リサイズ ブロック	4500Mb/s	4500Mb/s	4500Mb/s
OSD	4500Mb/s	4500Mb/s	4500Mb/s
合計	27000Mb/s	45000Mb/s	81000Mb/s
平均	25134.6Mb/s	41891Mb/s	75403.6Mb/s

x2 および x4 の構成では、DDR3 64 ビット 800Mb/s のメモリで十分対応できます。x8 構成の場合、ザイリンクス Kintex-7 FPGA の優れたパフォーマンスを十分に活かすには DDR3 64 ビット 1,600Mb/s が必要です。

RTVE 2.0 プロジェクトの作成

次に、x4 OSVP 構成の RTVE 2.0 デザインの作成手順を、実際の例を挙げて説明します。

プロジェクトのディレクトリ構造

図 3 に、RTVE 2.0 プロジェクトのディレクトリ構造を示します。

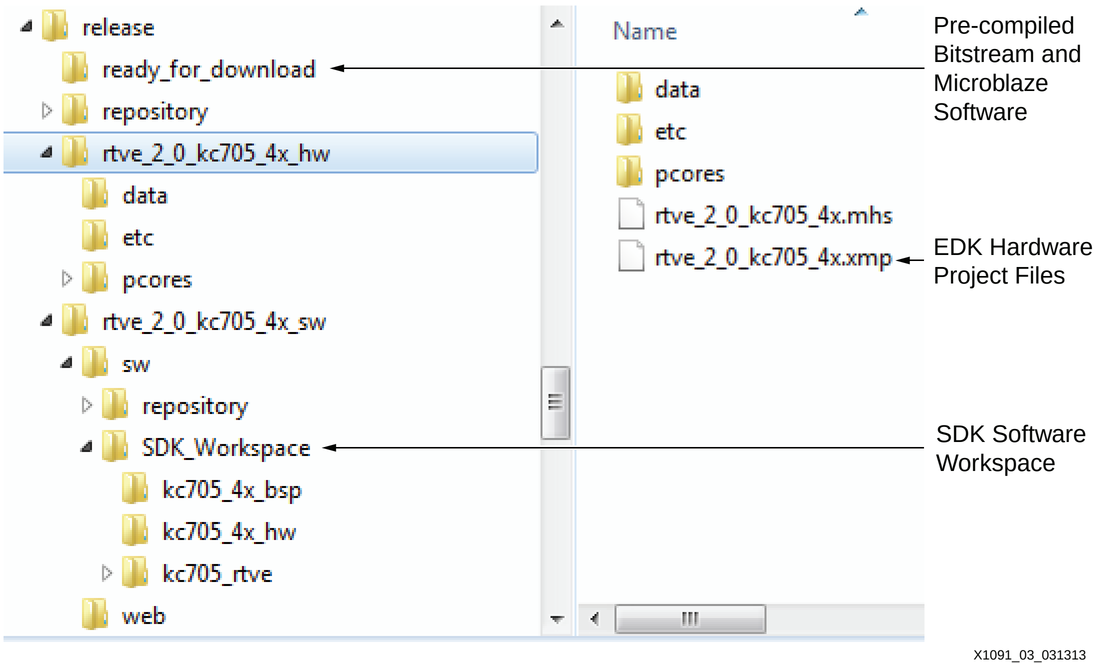


図 3 : RTVE 2.0 プロジェクトのディレクトリ構造

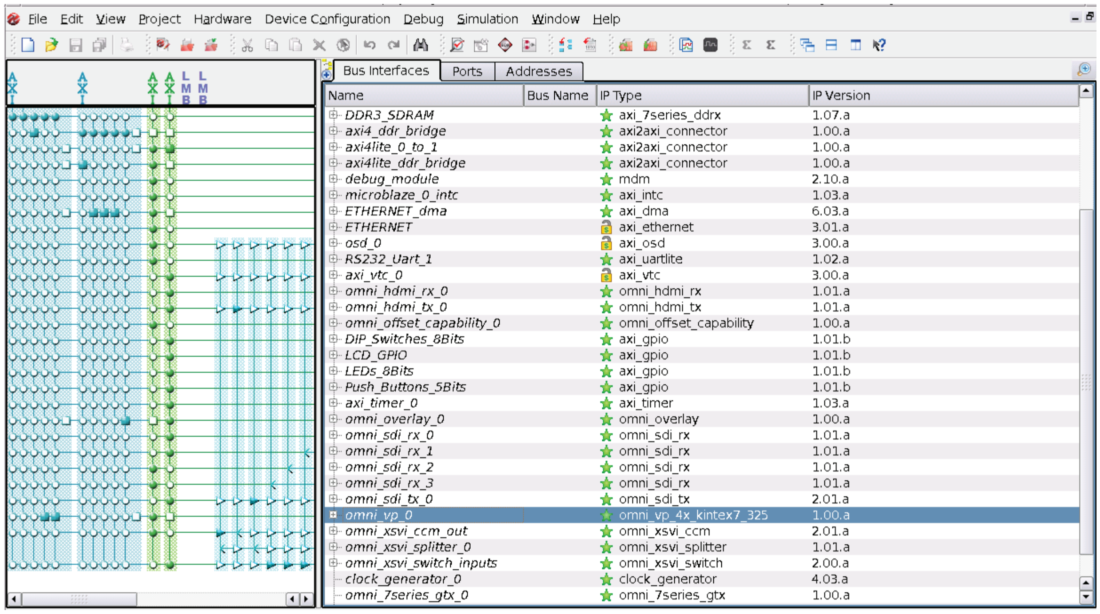
ツール

このプロジェクトは完全なザイリンクス EDK フローに基づいてインプリメントされているため、ISE Design Suite 14.4 Embedded Edition 以降を使用する必要があります。最初に、EDK を用いてハードウェアを作成します。次に、SDK プロジェクトを作成して FPGA BIT ファイルと MicroBlaze プロセッサ ソフトウェアを KC705 開発システムに展開します。

EDK ハードウェアの作成

EDK ハードウェアを作成するには、次の手順に従います。

1. XPS (Xilinx Platform Studio) を起動します。
2. `release\rtve_2_0_kc705_4x_hw` ディレクトリにある `rtve_2_0_kc705_4x.xmp` プロジェクト ファイルを選択してロードします (図 3)。システム ビューに似た EDK 画面が表示されます (図 4)。この画面には、RTVE 2.0 で使用している各種 pcore の接続情報もすべて表示されます。



X1091_04_031213

図 4 : XPS での RTVE 2.0 の作成

3. メニュー バーで [Device Configuration] → [Update Bitstream] をクリックします。

   これで `release\rtve_2_0_kc705_4x_hw\implementation\` ディレクトリに FPGA ビットストリーム rtve_2_0_kc705_4x.bit が作成され、ビットストリームが MicroBlaze プロセッサ ブートストラップ バイナリ コードで更新されます。

   更新されたビットストリームは、新しいファイル名 `download.bit` として保存されます。

SDK ソフトウェアの作成

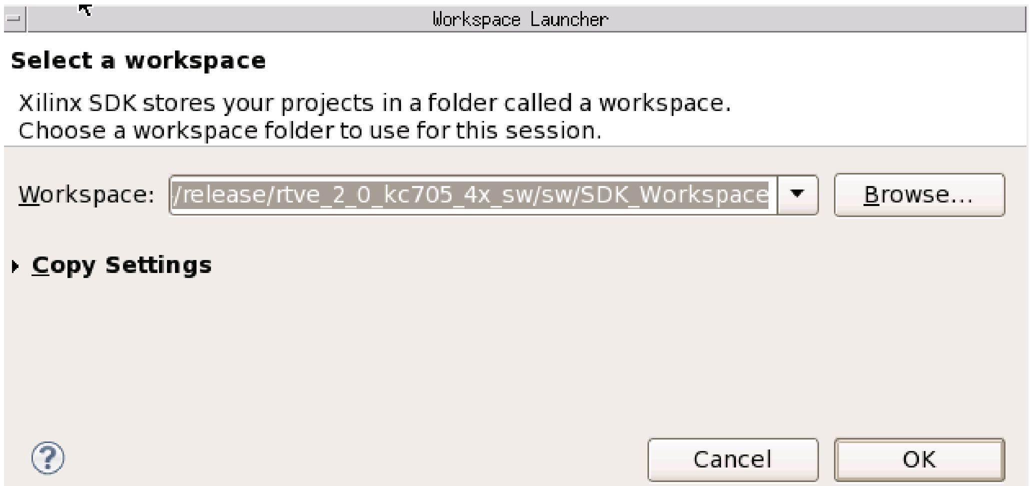
RTVE 2.0 ソフトウェアはローカルの SDK ワークスペース内にあり、RTVE 2.0 固有のドライバーはすべて RTVE 2.0 プロジェクトの階層内に含まれます。ザイリンクスのビルトイン ドライバーはすべて SDK によって自動的に検出されます。

SDK ソフトウェアを作成するには、次の手順に従います。

1. RTVE 2.0 の階層の固定ディレクトリ レベルに新規ユーザー ワークスペースを作成するには、[File] → [Switch Workspace] → [Other] をクリックします。

   プロジェクトの最上位ディレクトリからの相対パスとして指定されたデフォルトのディレクトリにファイルがエクスポートされます。

2. ダイアログ ボックスで、ディレクトリのパス名の最後が SDK ディレクトリ (`release\rtve_2_0_kc705_4x_sw\sw\SDK_Workspace`) となっていることを確認します (図 5)。

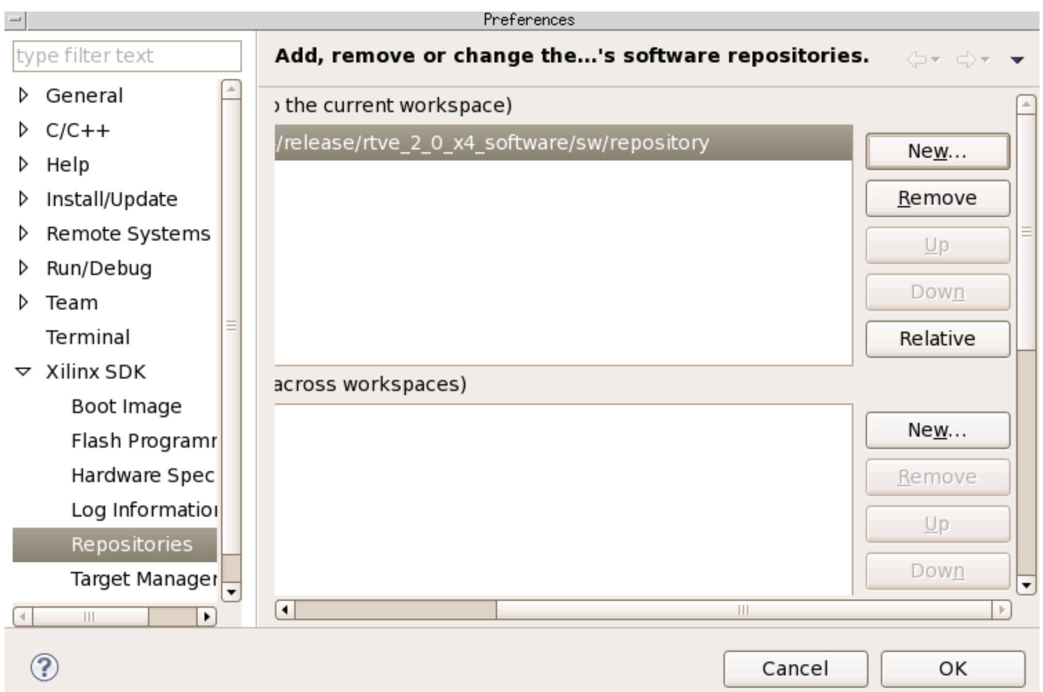


X1091_05_031213

図 5 : RTVE 2.0 SDK ワークスペースのセットアップ

3. インポート　プロセスが完了したらすぐに自動作成プロセスによってすべてのドライバーが検出されるように、プロジェクトをインポートする前に RTVE 2.0 プロジェクトのローカル ドライバー リポジトリを追加しておきます。
   a. [Xilinx Tools] → [Repositories] をクリックします。
   b. [Local Repositories - (available to the current workspace)] で [New] をクリックして …\repository ディレクトリを選択します。
   c. [OK] をクリックして新しいローカル ドライバー リポジトリを決定します。

   リポジトリを追加すると、図 6 のように表示されます。

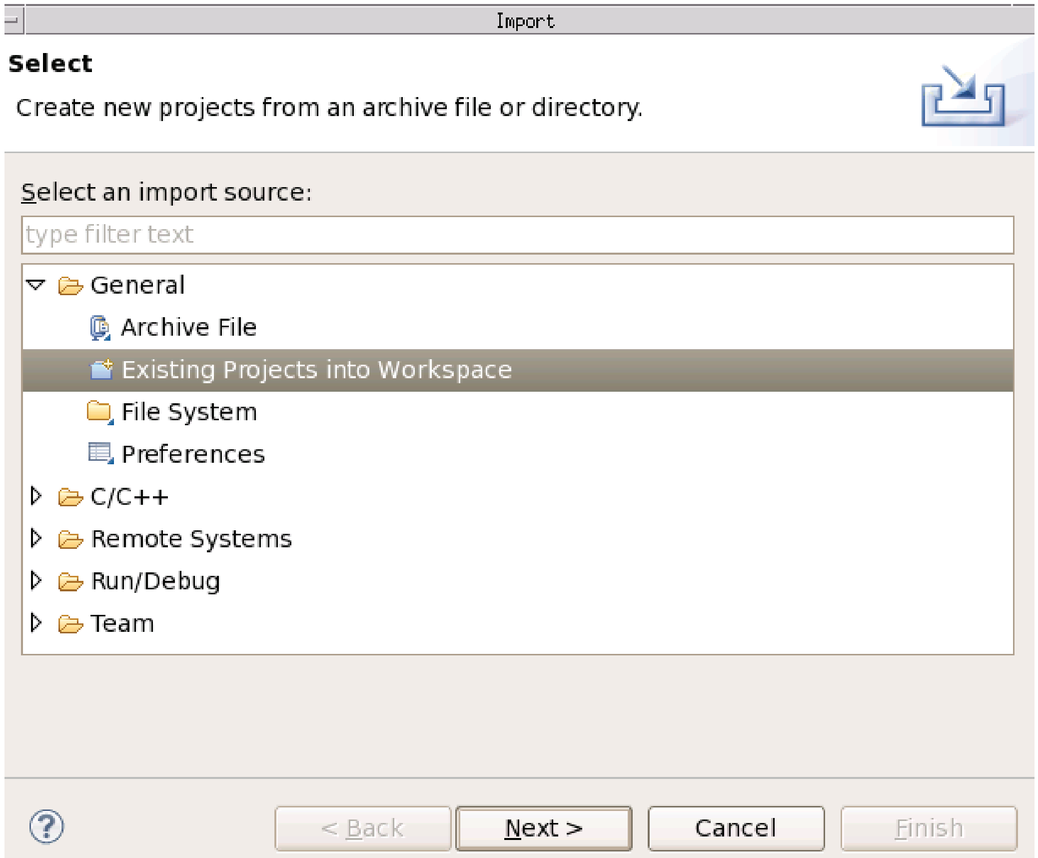


X1091_06_031213

図 6 : RTVE 2.0 SDK リポジトリのセットアップ

4. SDK で RTVE リファレンス ソフトウェアを作成する際の元となる定義済みのソフトウェアおよびハードウェア プロジェクトをインポートするには、[File] → [Import] をクリックします。

5. [Import] ダイアログ ボックスで [General] → [Existing Projects into Workspace] をクリックし、[Next] をクリックします (図 7)。



X1091_07_031213

図 7 : RTVE の SDK ワークスペースにインポート

6. [Import Projects] で [Select root directory] をオンにし、[Browse] をクリックして `release\rtve_2_0_kc705_4x_sw\sw` ディレクトリを指定します。
7. SDK が 3 つのプロジェクトを検出し、自動的にすべてをインポート対象として選択します (図 8)。[Finish] をクリックすると 3 つのプロジェクトがインポートされます。

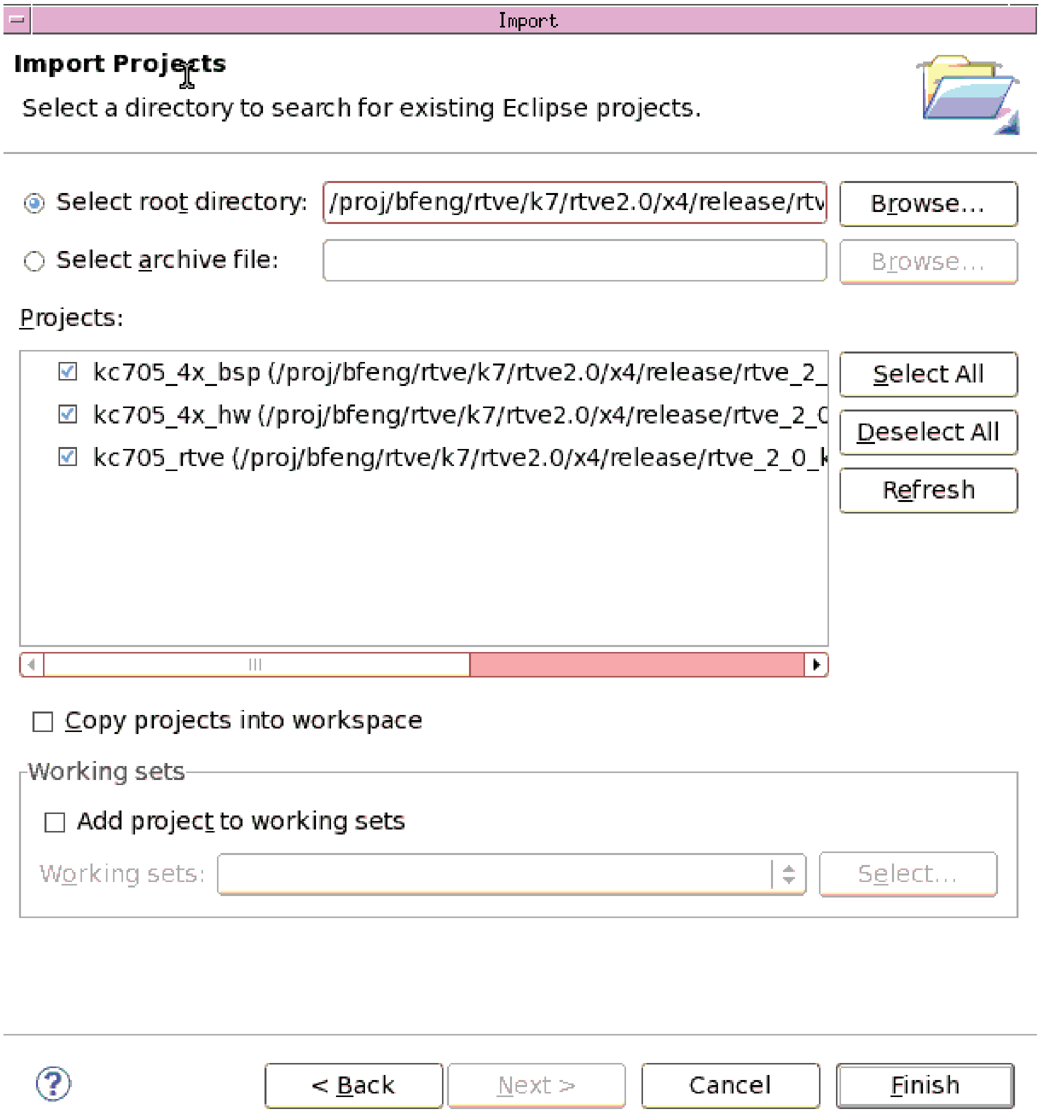


図 8 : RTVE 2.0 ソフトウェアの 3 つのプロジェクトをすべてインポート

これで、SDK はすべてのドライバーを検出してソフトウェアを作成します。

8. 正しく作成されると、`release\rtve_2_0_kc705_4x_sw\sw\SDK_Workspace\Debug` ディレクトリに MicroBlaze ソフトウェア `rtve_kc705.elf` が生成されます。

表 2 に、このリファレンス デザインの詳細を示します。

表 2 : デザインの詳細

パラメーター	説明
シミュレーション	
機能シミュレーションの実施	実施済み
タイミング シミュレーション	未実施
機能およびタイミング シミュレーションでのテストベンチの利用	機能シミュレーションのみ
テストベンチの形式	VHDL
使用したシミュレータ ソフトウェア/バージョン	Modelsim / 6.6d
SPICE/IBIS シミュレーション	NA

表 2 : デザインの詳細 (続き)

パラメーター	説明
インプリメンテーション	
使用した合成ソフトウェア ツール/バージョン	ISE 14.4
使用したインプリメンテーション ソフトウェア ツール/バージョン	ISE 14.4
スタティック タイミング解析の実施	実施済み
ハードウェア検証	
ハードウェア検証の実施	実施済み
検証に使用したハードウェア プラットフォーム	KINTEX-7 KC705 ボード、 TED TB-TB-FMCH-3GSDI2A カード、 TB-FMCL-HDMI カード

表 3 に、RTVE 2.0 のリソース使用状況の内訳を示します。

表 3 : リソース使用状況

	BRAM/FIFO 36 ビット	FF	LUT	DSP
OSVP コア				
OSVP2 (2 入力チャネル)	108	22240	18412	102
OSVP4 (4 入力チャネル)	192	41398	34623	204
OSVP8 (8 入力チャネル)	379	80500	69406	408
サポート IP				
SDI 入力 (1 入力チャネルあたり)	0	1,900	2,500	0
SDI 出力	0	409	445	0
HDMI 入力	0	405	287	0
HDMI 出力	0	79	53	0
AXI インターコネクト : CPU ペリフェラル	0	2,000	1,091	0
AXI インターコネクト : 広帯域	0	12,231	8,056	
On-Screen Display (4 チャネル)	2	5,093	2,983	12
MicroBlaze	19	3,168	7,850	6
DDR3 MIG (4 ～ 8 チャネルをサポート)	0	17,891	15,511	0
Video Timing Controller	0	764	757	0
合計				
2 入力 RTVE 2.0	149	83,695	73,937	183
4 入力 RTVE	243	105,801	96,547	291
Kintex 7 160T リソース	325	202,800	101,400	600
8 入力 RTVE	415	158,013	136,767	504
Kintex 7 325T リソース	445	407,600	203,800	840

デモのセットアップ

ここでは、4x 構成のデモをセットアップする手順として、ハードウェア セットアップとソフトウェア セットアップについて説明します。ソフトウェアを FPGA にロードするために必要な次のファイルは、プロジェクト ファイルに含まれています。

- 生成済み FPGA ビットストリーム : `kc705_4x.bit`
- コンパイル済み MicroBlaze ファームウェア バイナリ : `kc705_rtve_4x.elf`

- イメージ ファイル : `image.mfs`
- FPGA コンフィギュレーション スクリプト : `start_kc_4x.tcl`

ハードウェア

このデモに必要なハードウェアは次のとおりです。

- ザイリンクス KC705 評価ボード XC7K325T-2FFG900 FPGA (x1)
- TED TB-FMCH-3GSDI2A カード (x1)
- TED HDMI 1.3 Rev 3 (TB-FMCL-HDMI) FMC カード (HDMI 入出力用。x1)
- 720p@60Hz (1280x720 p@60) 以上をサポートした HDMI モニター (x1)
- SD/HD/3G SDI ビデオ ソース (x4)
- HDMI ビデオ ソース (オプション。x1)
- HDMI ケーブル (x1)
- ミニ DIN SDI ケーブル (x4)
- WiFi イーサネット ルーター (DHCP サーバーとして。x1)
- イーサネット ケーブル (x1)
- マイクロ USB ケーブル (FPGA コンフィギュレーション用。x1)
- ミニ USB ケーブル (UART デバッグ用。オプション。x1)
- 空き USB ポートが 2 つ以上ある PC (x1)

ハードウェアのセットアップ

図 9 に、ハードウェアのセットアップを示します。TED TB-FMCH-3GSDI2A カードを KC705 評価ボードの HPC (High Pin Count) FMC コネクタに接続します。TED TB-FMCL-HDMI カードを KC705 評価ボードの LPC FMC コネクタに接続します。

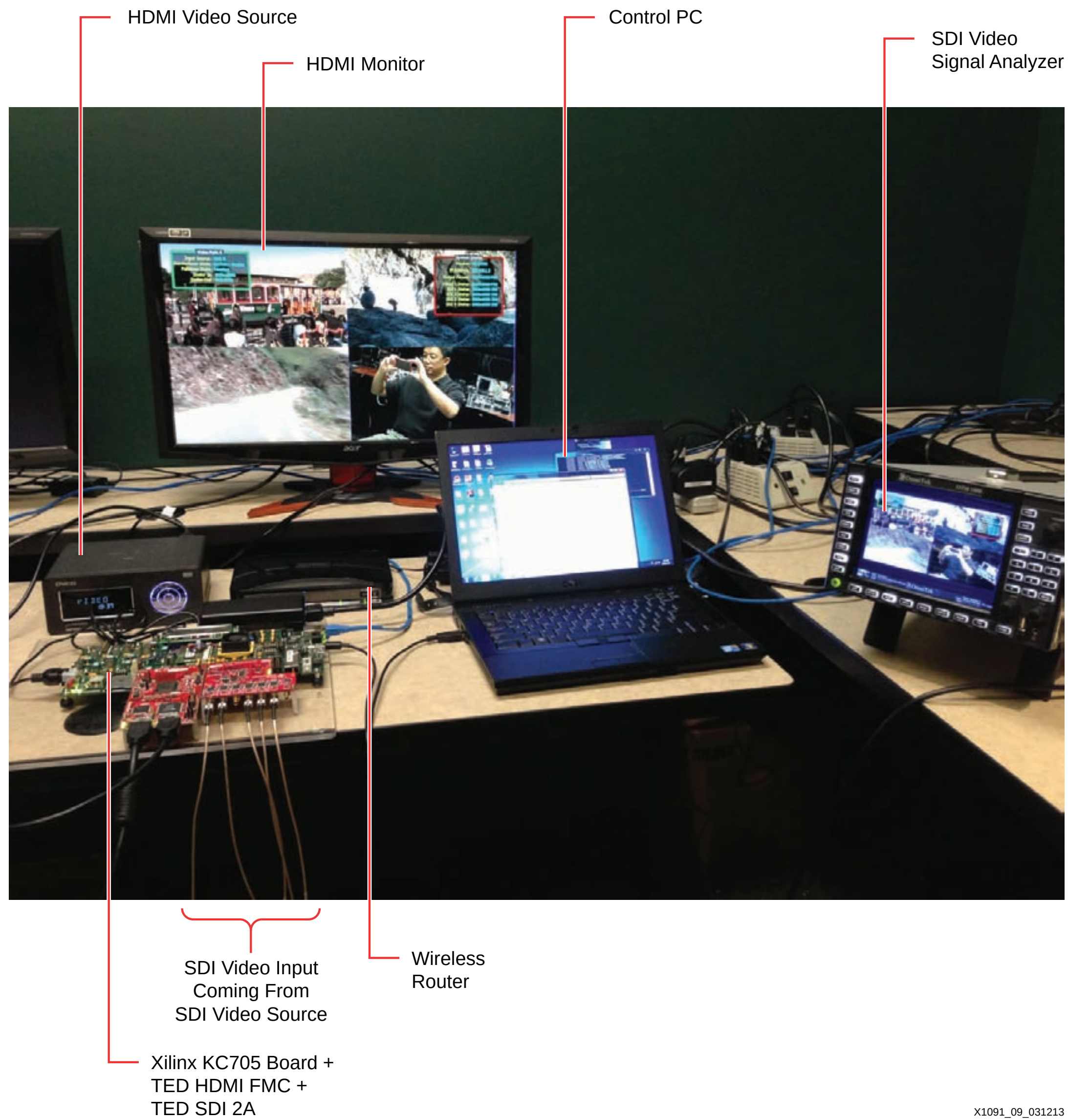


図 9 : KC705 RTVE 2.0 デモのセットアップ

図 10 に、配線を含めたデモのセットアップを示します。TED TB-FMCH-3GSDI2A カードの CH0-RX、CH1-RX、CH2、CH3 コネクタに、ミニ DIN SDI ケーブルを用いて 4 つの SDI ビデオ ソースを接続します。TB-FMCL-HDMI カードを使用する場合は、カードの RX ポートに HDMI ソースを接続します。

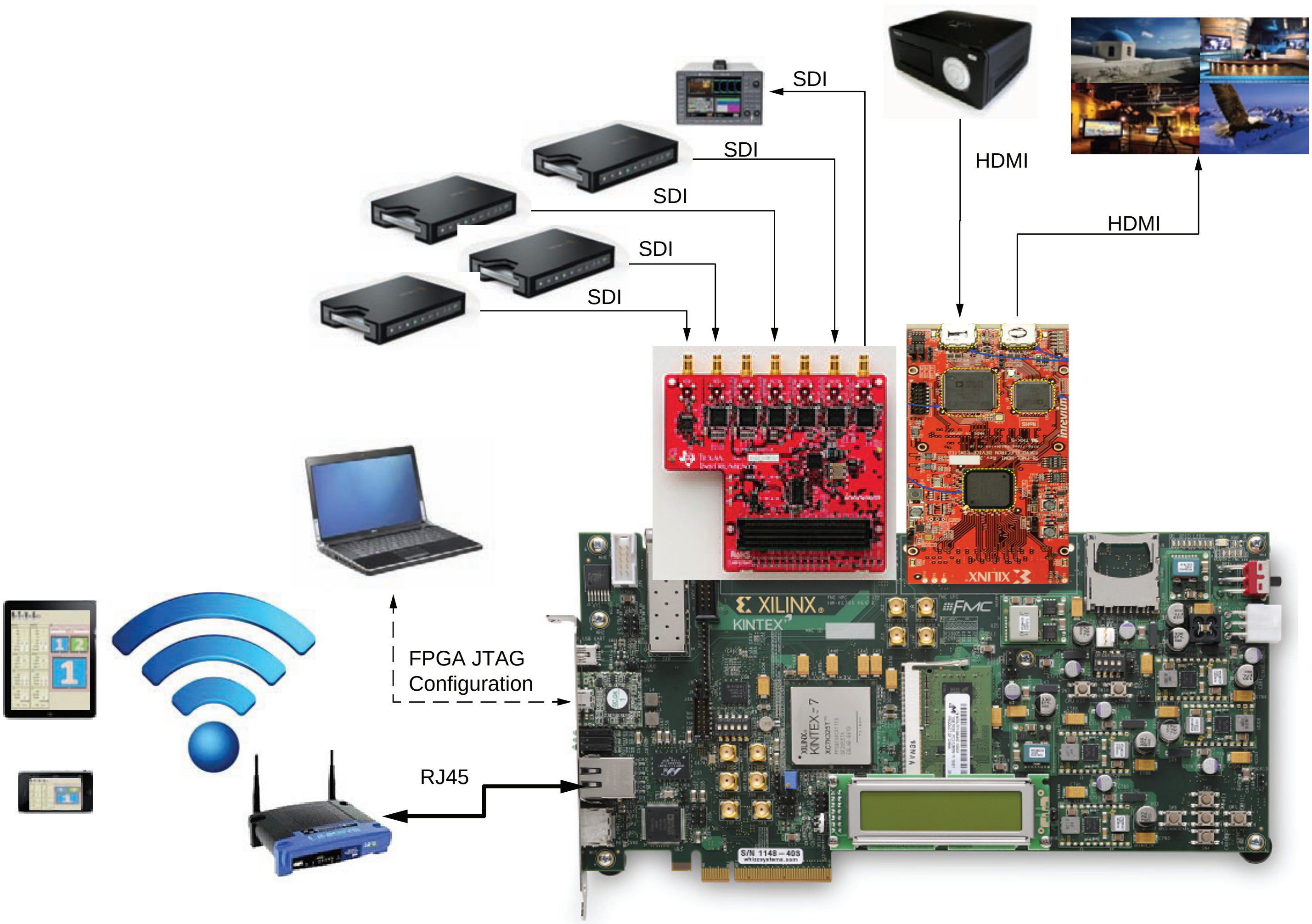


図 10 : RTVE 2.0 デザインのブロック図

ビデオ出力は HDMI または SDI モニターに表示できます。HDMI 出力は TB-FMCL-HDMI TX ポートから駆動されます。SDI 出力は TB-FMCH-3GSDI2A カードの CH0-TX および CH1-TX コネクタから駆動されます。どちらの出力も、ミニ DIN ケーブルを使用します。

RTVE 2.0 に IP アドレスを割り当てるために、KC705 のイーサネット ポートを無線ルーターの LAN ポートに接続する必要があります。必要なハードウェアを同梱した Kintex-7 FPGA 放送用ビデオ キットは、ザイリンクス エコシステム パートナーの Inrevium 社のウェブサイト [参照 3] で TB-7K-325T-BVK-RTVE として販売されています。

ソフトウェア

- Microsoft Windows 7/XP/Vista
- ザイリンクス ISE 14.4 以降のパッケージ (必要なすべての KC705 デバイス ドライバーを含む)

FPGA コンフィギュレーション

KC705 ボードの Kintex-7 FPGA をコンフィギュレーションするには、制御用 PC と KC705 のマイクロ USB ポートをマイクロ USB ケーブルで接続し (図 10)、次の手順に従います。

1. Xilinx Microprocessor Debugger (XMD) ツールを起動します。

2. 作成済み FPGA ビットストリーム `download.bit`、MicroBlaze ソフトウェア `kc705_rtve.elf`、イメージ ファイル `image.mfs`、FPGA コンフィギュレーション スクリプト `start_kc_4x.tcl` が保存されているディレクトリ `release\ready_for_download` へ移動します。
3. `source start_kc_4x.tcl` を実行して FPGA をコンフィギュレーションします。

RTVE 2.0 のウェブ ベースの制御 GUI

RTVE 2.0 は、IP アドレスを指定してウェブ ベースの GUI にアクセスして制御します。このアドレスは、出力画面の右上にあるシステム ステータス ボックスに表示されます (図 11)。このステータス ボックスには、入出力フォーマットに関する情報もすべて表示されます。

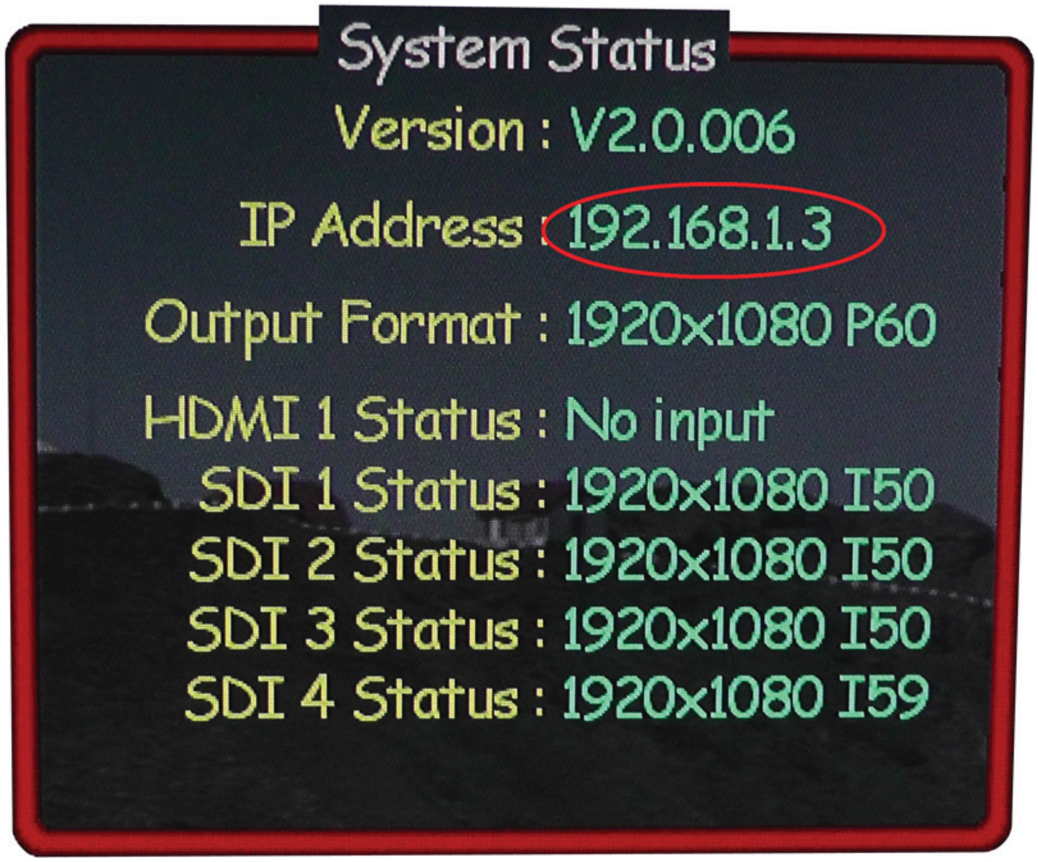
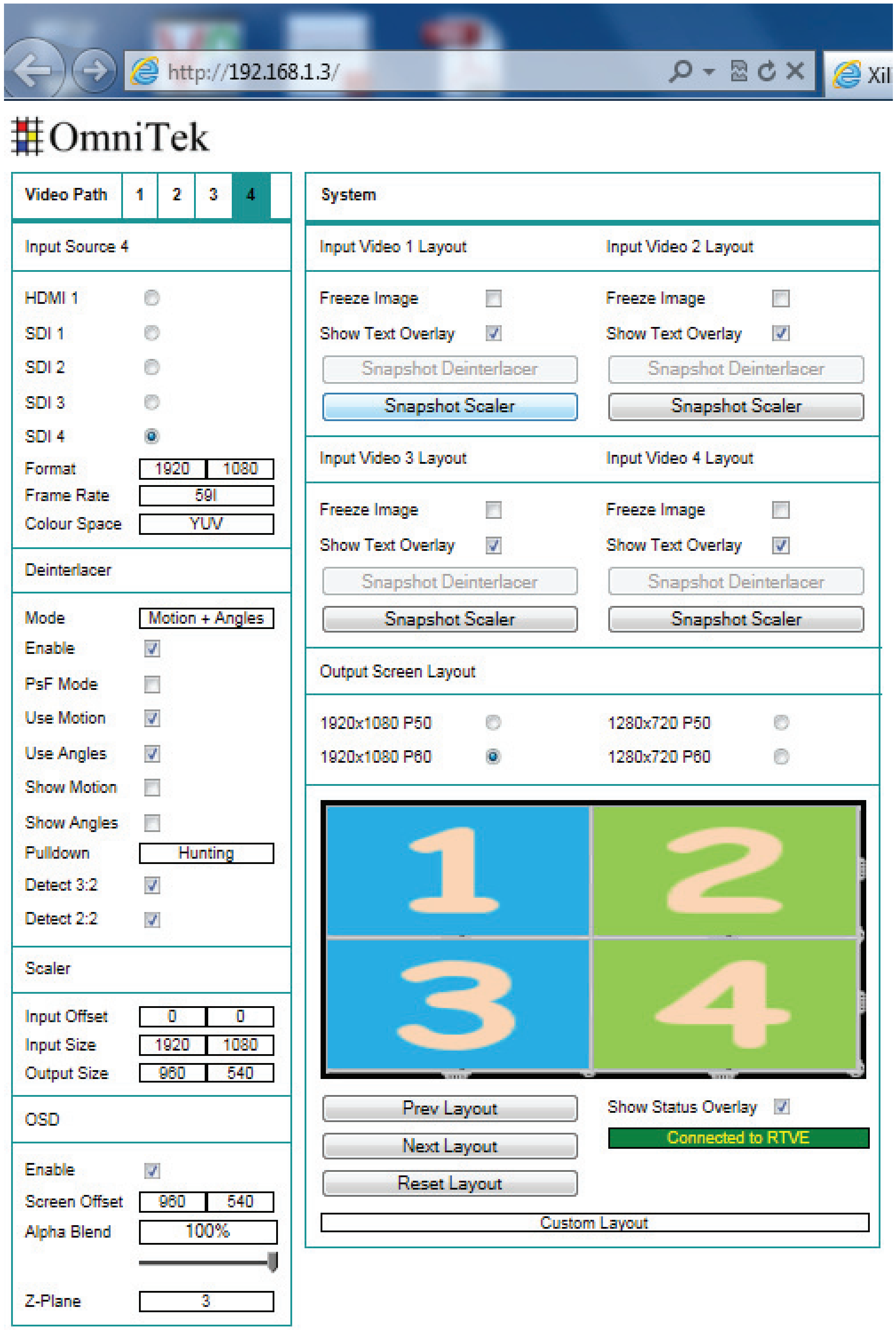


図 11 : [System Status] テキスト オーバーレイ ボックス

RTVE 2.0 の制御 GUI (図 12) を開くには、ウェブ ブラウザーを起動してアドレス バーに IP アドレスを入力し、Enter キーを押します。



X1091_12_031213

図 12 : RTVE 2.0 のウェブ ベース制御 GUI

制御 GUI の左側には、ビデオ ソース、デインターレース モード、スケーリング サイズ、OSD アルファ ブレンディングの透明度など、各ビデオ処理パイプラインで設定可能な項目が表示されます。右側ではビデオ出力画面の設定を行います。出力フォーマットは、オプション ボタンをクリックして変更できます。

初期状態では、画面右下に 4 分割レイアウトが表示されています。[Next Layout] をクリックすると、あらかじめセットされたレイアウトが順番に切り換わります。4 つのビデオ ウィンドウのサイズは、それぞれウィンドウの境界または隅をクリックしたままドラッグして変更可能です。

ウィンドウ内の任意の場所をクリックしたままドラッグすると、出力画面の自由な位置へ移動できます。複数のウィンドウを重ねて表示することも可能です。さらに、各ウィンドウのアルファ ブレンディングの透明度を変更すると、ピクチャ イン ピクチャの機能を実現できます。また、RTVE 2.0 では、最大 8 つのウィンドウを重ねて表示でき、透明度を個別に制御してフェード イン/フェード アウトの効果を得ることができます。

GUI ソフトウェアの右上部にある [Snapshot Scaler] をクリックすると、各パイプラインでの処理を経たリサイズ ブロックのビデオ出力をキャプチャできます。

デモおよびベンチマーク テスト時の推奨事項

RTVE の中核となる 2 つの処理ブロック (デインターレースとスケーリング) を効果的に利用するには、十分な対角線、動き、クロマ カラー バースト、フィルム モード ケイデンスなど、難易度の高い各種シーケンスを含む業務用のビデオ ベンチマーク ツールを使用することを推奨します。

NTSC/PAL のインターレース ビデオを HDMI/DVI インターフェイス経由で送信すると規格上の制約を受けるため、デインターレースおよびスケーリングのベンチマーク テストを実行する場合は SDI インターフェイスの使用を推奨します。ビデオ コンテンツは業務用ビデオ サーバーのネイティブ SDI インターフェイスから送信する以外にも、通常の DVD プレーヤーから HDMI/DVI-to-SDI コンバーターを経由して送信できます。ビデオ インターフェイス コンバーターの製品例は、http://www.blackmagic-design.com/products/dviextender/ を参照してください。

デザイン アドバイザリ

ここでは、RTVE デモのデザイン アドバイザリについて説明します。

- HDMI RX ビデオ モード : TB-FMCL-HDMI カードの HDMI RX ポートでは、NTSC/PAL ビデオの受信はサポートされません。この制約に関連して、次の 2 点に注意が必要です。
  - HDMI 仕様では、NTSC/PAL のサポートは必須ではありません。したがって、NTSC/PAL フォーマットの送信機能を実装するかどうかは個々のメディア プレーヤーに依存します。
  - 『TB-FMCL-HDMI Hardware User Manual』[参照 2] では、NTSC/PAL はサポートされていません。
- 2:2 フィルム モードのケイデンス検出 : メディア コンテンツとプレーヤーによっては、2:2 ケイデンスを検出できないことがあります。

参考資料

1. OmniTek Scalable Video Processor (OSVP) User Guide
   http://omnitek.tv/sites/default/files/OSVP.pdf
2. TB-FMCL-HDMI Hardware User Manual
   http://solutions.inrevium.com/products/pdf/pdf_TB-FMCL-HDMI_HWUserManual_3.00e.pdf
3. Kintex-7 FPGA Broadcast Video Kit
   http://solutions.inrevium.com/products/kits/broadcast/tb-7k-325t-bvk.html

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2013 年 4 月 5 日	1.0	初版

Notice of Disclaimer

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。
資料によっては英語版の更新に対応していないものがあります。
日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、
jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。