

# ザイリンクス UltraScale : ザイリンクスの次世代アーキテクチャで カスタマーの次世代アーキテクチャを実現

著者 : Steve Leibson および Nick Mehta

ザイリンクス UltraScale™ アーキテクチャは、従来にない統合レベルと ASIC クラスのシステム レベル性能を備えた機能を提供し、最も要件の厳しいアプリケーションに対応します。

UltraScale アーキテクチャは、All Programmable アーキテクチャに最先端の ASIC アーキテクチャ技術を業界で初めて適用したもので、20nm プレーナから 16nm 以下の各種 FinFET テクノロジ、またモノリシックから 3D IC に及ぶスケーラビリティを実現できます。ザイリンクス Vivado® Design Suite との分析的な同時最適化により、UltraScale アーキテクチャは配線の大幅な拡張に加え、これまで不可能であった高度な方法で従来のボトルネックを解消します。このようなデザインの相乗効果により、性能を低下させることなく、90% を超えるデバイス使用率を実現します。

UltraScale アーキテクチャの革新的技術として次が挙げられます。

- ASIC ライクなシステム クロックの戦略的な配置 (実質的にダイのどこでも可能) によって、クロックスキューを最大 50% 削減
- 大規模な並列バス アーキテクチャを使用するシステムで、レイテンシが発生するパイプライン処理を実質的に不要とし、システムのスピードと性能を向上
- 90% 以上のリソース使用率を必要とするシステムでも、タイミング クロージャの問題とインターコネクットのボトルネックを解消
- 3D IC の統合により、現在の業界標準よりも 1 世代進んだプロセスで、より大きなデバイスの開発が可能
- 数ギガビットのシリアル トランシーバー、I/O、およびメモリ帯域幅を含む、大幅に向上したシステム性能をより少ないシステム消費電力で実現
- DSP とパケット処理を大幅に強化

ザイリンクス UltraScale アーキテクチャは、超大容量ソリューションの設計をまったく新しい次元に導きます。

## 多ければ多いほどよい

デジタルの導入以来、「多ければ多いほどよい」という傾向はあらゆる市場で当前となり、否定できなくなっています。このことが根本的な要因となって、これまで以上に高い精度、広い帯域幅、多くのストレーズがシステムに求められるようになりました。「さらに多く」という考え方は、論理的に次の結論を導きます。

- デバイスが多いほど多くのデータが生成される
- データが多いということは、データ フローを高速にする必要がある
- データ フローが高速になると、1 秒あたりの演算処理を増やす必要がある
- アプリケーションが多いほど、多くのデータへより高速にアクセスする必要がある
- データ量とデータ レートが増大するほど、より高いデータ インテグリティが求められる

データの作成速度および転送速度がほぼすべての市場で急激に増加しているのに伴い、新しいデバイスアーキテクチャでは次の課題に対処する必要性が増大しています。

- ASIC ライクなクロッキングによる大容量データ フローと配線
- より高い帯域幅の I/O とメモリ
- より高速な DSP とパケット処理
- パワー マネージメント
- マルチレベル セキュリティ

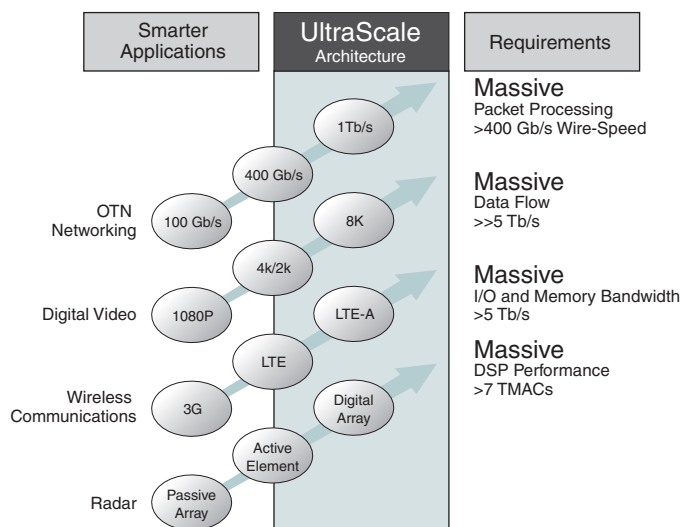
## UltraScale アーキテクチャ : ザイリンクスの次世代 All Programmable アーキテクチャ

テラビットやテラフロップのフル ライン レートで高度な処理を行い、数百ギガビット/秒レベルのシステム性能に対応するには、新しいアーキテクチャのアプローチが必要になります。これは、個々のトランジスタやシステム ブロックの性能を向上したり、システム内のブロック数を増やしたりするだけで解決できるほど単純な課題ではありません。通信、クロッキング、クリティカルパス、およびインターコネクトを根本的に改善することによって、大容量のデータ フローやリアルタイム パケット、そして画像処理に対応できるようにしなければなりません。

UltraScale アーキテクチャは、高帯域幅の I/O とメモリ、大容量のデータ フロー、そして優れた DSP とパケット処理性能を必要とする最も要件の厳しいアプリケーションに対して、従来にない統合レベルおよび ASIC クラスのシステム レベル性能を備えた機能を提供します。さらに、配線密集の解消および Vivado デザイン ツールとの同時最適化により、性能を低下させることなく、従来にないレベルの (90% を超える) 使用率を実現します。

UltraScale アーキテクチャは、All Programmable アーキテクチャに最先端の ASIC アーキテクチャ技術を業界で初めて適用したもので、20nm プレーナから 16nm 以下の各種 FinFET テクノロジ、またモノリシックから 3D IC に及ぶスケーラビリティを実現できます。システム全体のスループットおよびレイテンシのスケーラビリティを制約する諸要因に対処できるだけでなく、先進的ノードにおいてシステム性能向上の最大のボトルネックとなるインターコネクトを解決することもできます。

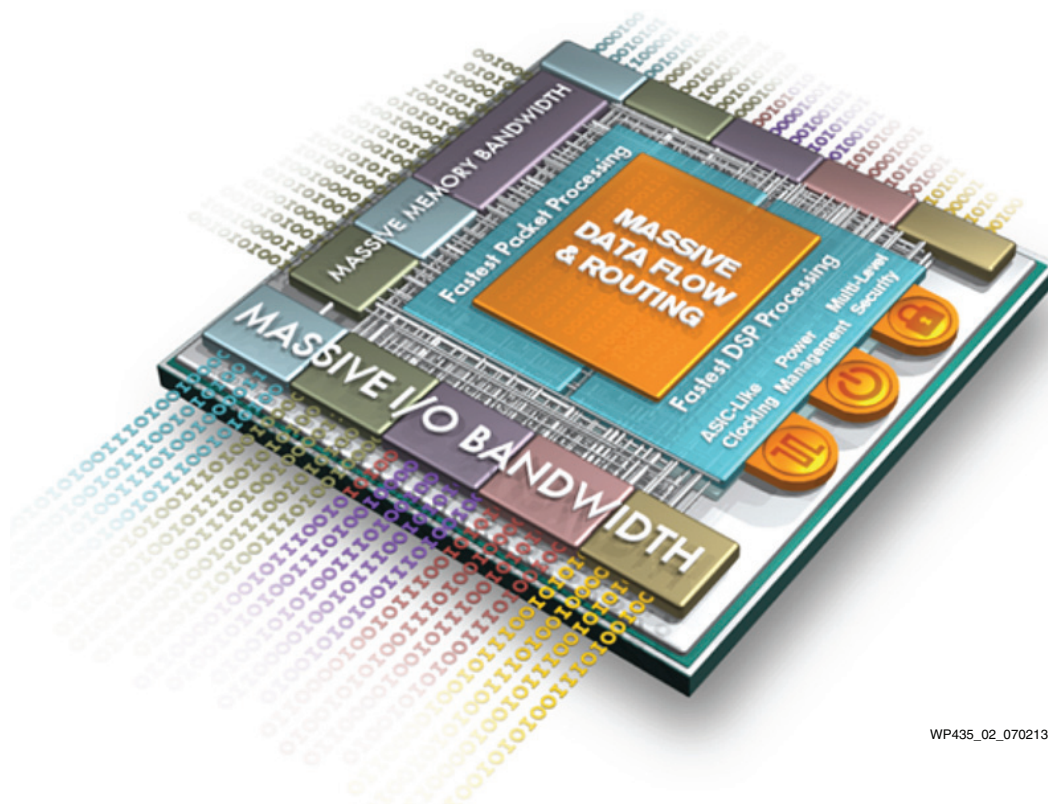
ザイリンクス UltraScale アーキテクチャは、次世代システムに関連する次世代システム レベル性能の要件を視野に入れて設計されています (図 1 を参照)。



WP435\_01\_070213

図 1： 次世代高性能ターゲット アプリケーションの例

UltraScale アーキテクチャには、数百に及ぶデザイン強化が加えられています。これらの強化が相乗的に組み合わせることにより、機能、動作速度、1 ワットあたりの性能の各側面において従来よりも優れたシステムの構築が可能になります。図 2 を参照してください。



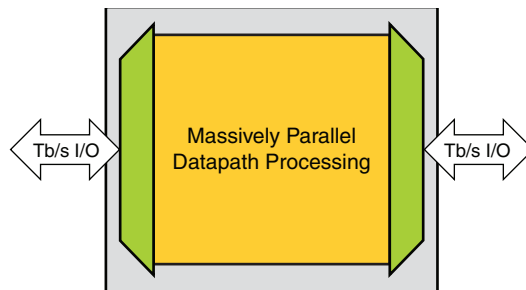
WP435\_02\_070213

図 2： ザイリンクス UltraScale アーキテクチャ

UltraScale アーキテクチャは、Vivado Design Suite と組み合わせることで次のような次世代システムレベル機能を提供します。

- 数テラビットのスループットを低レイテンシで実現する幅の広いバスへの最適化により、大容量のデータフローに対応
- 高度に最適化されたクリティカルパスとカスケード接続可能な内蔵高速メモリによって DSP とパケット処理のボトルネックを解消
- 27x18 ビットの乗算器と 2 つの加算器を DSP スライスに搭載することで、固定小数点および IEEE 754 規格の浮動小数点演算の性能と効率を飛躍的に向上
- ダイ間帯域幅におけるステップ関数により、第 2 世代 3D IC システム統合に加えて 3D IC 全体にわたってメモリを最適化した新しいインターフェイスを実現
- 次世代メモリインターフェイスに対応すると共にレイテンシを大幅に低減し、さらにハード化された ASIC クラスの 100G イーサネット、Interlaken および PCIe<sup>®</sup> の各種 IP コアに最適化することで I/O およびメモリの帯域幅を大幅に拡大
- ASIC のように複数領域を持つクロッキングにより、低消費電力のクロックネットワークを実現し、クロックスキューを最低限に抑えて高性能なスケラビリティを達成
- 幅広い機能要素間においてスタティック消費電力およびダイナミック消費電力のゲーティングを使用してパワー マネージメントを実施し、消費電力を大幅に低減
- AES ビットストリームの復号化や認証、キーの難読化、安全なデバイスプログラムなどに先進的なアプローチを導入して次世代セキュリティを実現
- Vivado ツールによる同時最適化により配線密集を解消し、性能を低下させたりレイテンシを増加させることなく 90% を超えるデバイス利用率を実現

システム設計者は、さまざまな問題を解決するために、これらのシステムレベルの機能を多様な組み合わせで使用できます。大容量データバス デザインを概略化した図 3 のブロック図で示します。



WP435\_03\_062813

図 3： 大容量並列データバスを必要とするテラビット I/O

ここでは、数 Tbps 程度のデータレートで、データストリームが左右から入出力されています。システムは、必要な処理を実行しながら、左右の I/O ポート間でこれらのストリームを伝搬します。I/O 伝送は、高速シリアル トランシーバーを経由して数 Gbps の範囲で動作します。数 Gbps のシリアルストリームは、デバイスに入ると同時に、チップ上のリソースのデータフロー、配線、処理性能に合わせてファンアウトする必要があります。

## テラビット システムを設計する際の課題：クロック スキューおよび大容量のデータ フロー

実際の例として、左右 I/O ポートの帯域幅が 100Gbps であると想定します。つまり、チップ上のリソースは、100Gbps 以上のトラフィックも処理する必要があります。通常、設計者は関連するデータ スループットを処理するために、512 ビット～1,024 ビットの範囲の幅の広いバスまたはデータバスを採用し、チップ上のリソースの能力に合わせてシステム クロックが生成されるようにします。400Gbps に及ぶ高いラインレートの場合でも、1,024 ビットや 2,048 ビット程度のバス幅は珍しくありません。

ここで、これらのバスのクロック要件について検討します。UltraScale 以前のアーキテクチャでは、システム クロック周波数の上限値で動作する場合、このような大規模なデータバス間ではシステム クロック周期の 50% に達するワースト ケースのクロック スキューが発生する可能性がありました。そして、クロック スキューがクロック周期の約 1/2 に達する場合でもシステムの目標性能を達成できるよう、デザインは大規模なパイプライン処理に頼る必要がありました。クロック周期の 50% しか演算用に残されていない状況では、得られるソリューションが有効であると証明するのは難しくなります。大規模なパイプライン処理は、大量のレジスタ リソースを消費するだけでなく、システム全体のレイテンシに大きな影響を与えます。これは、現在の高性能システムでは明らかに許容できません。

## UltraScale アーキテクチャの ASIC ライクなクロッキング

UltraScale アーキテクチャのクロッキングは ASIC のように複数領域を持つため、設計者はシステム レベル クロックを実質的にダイのどこでも最適な場所に配置できます。その結果、システム レベル クロック スキューが 50% 削減されます。クロック駆動ノードを機能ブロックの中央に配置し、リーフクロックセル間のクロック スキューのバランスを取ることで、数テラビットのシステム レベル性能を制限する最も重大なボトルネックの 1 つが解消されます。システム全体のクロック スキューが低減することで、広範囲なパイプライン処理が不要になり、それに付随するレイテンシの増加がなくなります。UltraScale アーキテクチャの ASIC ライクなクロッキングにより、クロック配置に関する制約がなくなると共に、独立した高性能、低スキューなクロック ソースをシステム設計で数多く使用できるようになります。これは、旧世代のプログラマブル ロジック デバイスにおけるクロッキング手法から大きく改善された点です。システム設計者の視点から見ると、このクロック スキューに対するソリューションによって問題が簡単に解決します。

## 大容量データ フローの課題を解決

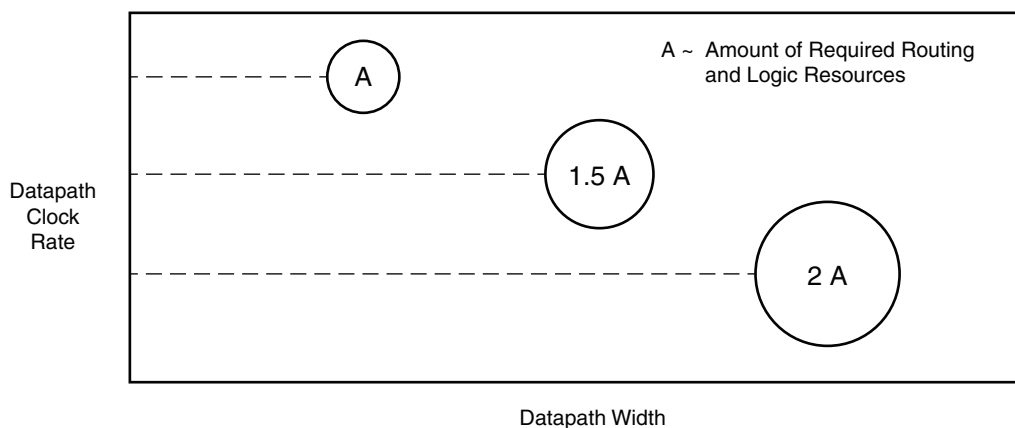
極めて高性能なアプリケーションではこれまで、データ フロー配線をチップ上のリソースの処理能力に合わせる手段として幅の広いバスまたはデータバスを採用していました。しかし、このようなバスを使用して性能を向上するには、クロック スキューを容易に制御する必要があるだけでなく、一連の課題が伴います。他社のアーキテクチャは明らかに、高性能デザインに適した配線リソースの量と柔軟性が大幅に不足しています。低性能なインターコネクト アーキテクチャを採用した FPGA を使用して 100Gbps のスループットを持つアプリケーションに対応するには、1,536 ~ 2,048 ビット幅のデータバスが必要になる場合があります。

さらに幅の広いバスを実装する場合、システム クロック周波数を下げる必要が生じる可能性があると同時に、幅の広いバスを含むシステムをサポートするために必要な配線リソースが不足することによって重大なタイミング クロージャの問題が発生します。この状況は、アニーリング法に基づく旧式の配置配線アルゴリズムを一部の FPGA ベンダーが使用しているためさらに悪化します。これらの旧式アルゴリズムでは、密集度や総配線長などのグローバル設計指標が無視されます。したがって、設計者は、システム性能の低下 (通常は選択不可)、レイテンシを犠牲にした広範囲なパイプライン処理、利用可能なデバイス リソースの低利用などにつながるトレードオフを検討することを強いられます。あらゆる場合において、これらのソリューションでは明らかに不十分です。さらに重要なのは、従来の FPGA に見られる 100Gbps 程度のアプリケーションに対応するために必要な配線リソースの基本的な制限によって、次世代の数テラビット アプリケーションに対応することが不可能になるか、対応できたとしてもデバイス使用率とレイテンシがほぼ確実に犠牲になるということです。

大量のデータを処理する幅の広いデータバスを使用することで性能は向上しますが、これら幅広バスの実装をサポートするためにオーバーヘッド ロジック回路が大幅に増加し、タイミング クロージャを達成するという課題がさらに複雑になります。

この状況を、イーサネット パケット サイズの例を使用して説明します。イーサネットの最小パケットサイズは、64 バイト (512 ビット) です。2,048 ビット幅のバスを使用して 400G システムを実装すると仮定した場合、最大 4 つのパケットをこのバス内に収めるができます。

2,048 ビット幅のバスに存在し得る、さまざまな条件およびパケットの組み合わせ (4 つの完全なパケット、1 つ、2 つ、または 3 つの完全または部分的なパケット) を処理するには、大量のロジックが必要です。可能な組み合わせを処理する場合、大量の複雑な複製ロジックが必要になります。さらに、バスで 4 つのパケットを同時に処理してメモリに書き込む必要が生じた場合に、ロジックの一部を高速化 (つまり、性能向上) してこれに対処することが求められる可能性があります。ロジックの高速化から、複数のパケットを連続して処理するための 4 つの独立したまったく同じメモリ コントローラーの使用に至るまで、デザインの検討事項は配線リソースをさらに圧迫します。この結果、高性能、低スキューの配線リソースをさらに大量に備えるアーキテクチャの必要性が増します。図 4 を参照してください。



WP435\_04\_062613

図 4: データバス クロック幅とクロック レートの増加に伴ってさらに多くのロジックと配線リソースが必要になる

## 半導体プロセスのスケール変更によるインターコネクト テクノロジへの影響

半導体業界が 20nm 以下の半導体プロセス テクノロジに移行するにつれて、銅インターコネクトに関連した RC 遅延で新たな問題が発生します。これが要因となって、次世代ノードへの移行によって達成可能な性能向上が妨げられます。トランジスタのインターコネクト遅延の増加は、達成可能なシステム全体の性能に直接影響を与えるため、次世代アプリケーションに必要な性能レベルを実現できる配線アーキテクチャの必要性が増します。UltraScale の配線アーキテクチャは、次世代プロセス テクノロジへの深い理解に基づいて開発され、銅インターコネクトの影響を軽減するように設計されています。銅インターコネクトは適切に対処されなければ、システム性能のボトルネックになります。

## UltraScale のインターコネクト アーキテクチャ : 大容量データ フローに対する最適化

UltraScale の次世代インターコネクト アーキテクチャは、プログラマブル ロジック配線における真の革新技術といえます。ザイリンクスは、数ギガビットの高度なパケット処理アプリケーションから数テラビットのデータバス アプリケーションまで、大容量データ フローをサポートする次世代アプリケーションに対応することを非常に重視しました。配線やインターコネクトの密集はこれまで、512 ビット、1,024 ビット、またはそれ以上のバス幅の広いロジック ブロックを実装する場合のタイミング クロージャと結果品質 (QoR) の達成における大きな制限要因でした。従来のデバイス アーキテクチャでは、多くの場合、高度に密集したロジック デザインを配線できませんでした。ツールを使用して密集したデザインを配線したとしても、得られたデザインの多くは目標クロック レートよりも低い速度で動作します。

UltraScale の配線アーキテクチャは基本的に、配線の密集を完全に除去します。その結果は、デザインは適合すれば配線されるという、単純なものです。

次を例として考えてみます。街の中心部にある混雑した交差点をイメージします。車は北から南、南から北、東から西、西から東へと流れています。曲がろうとしている車もあります。これらすべての車が、同時に動こうとすると、通常は大変な交通渋滞が発生します。次に、同じような交差点として、綿密に設計された最新の高速道路やドイツのアウトバーンのインターチェンジを思い浮かべてください。道路設計者は、交差点のある地点から別の地点までスムーズに車を導く専用の傾斜路 (高速車線) を配備しました。車は速度を落とすことなく通過できます。交通渋滞は発生しません。

ザイリンクスは、このような高速車線を UltraScale アーキテクチャに導入しました。これらの新しい高速経路は、必ずしも隣接していませんが特定のデザインによって論理的に接続されている近くのロジック素子間のデータを運びます。その結果、UltraScale アーキテクチャが管理できるデータ量は劇的に増加しました (図 5 を参照)。

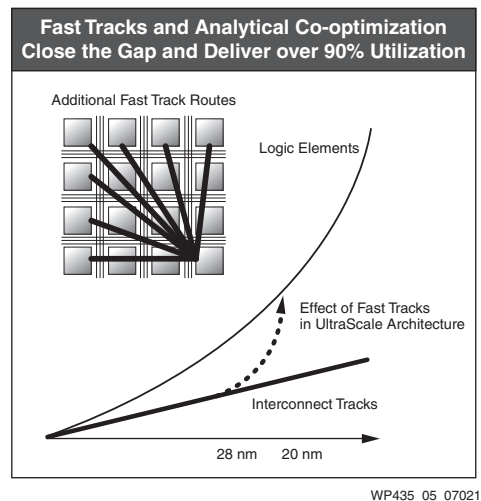


図 5: 実質的かつ効果的な配線経路の増加によって、複雑度が増した場合でも速度を維持できる

## UltraScale アーキテクチャのスタックド シリコン インターコネクト テクノロジーによってすべてを強化する

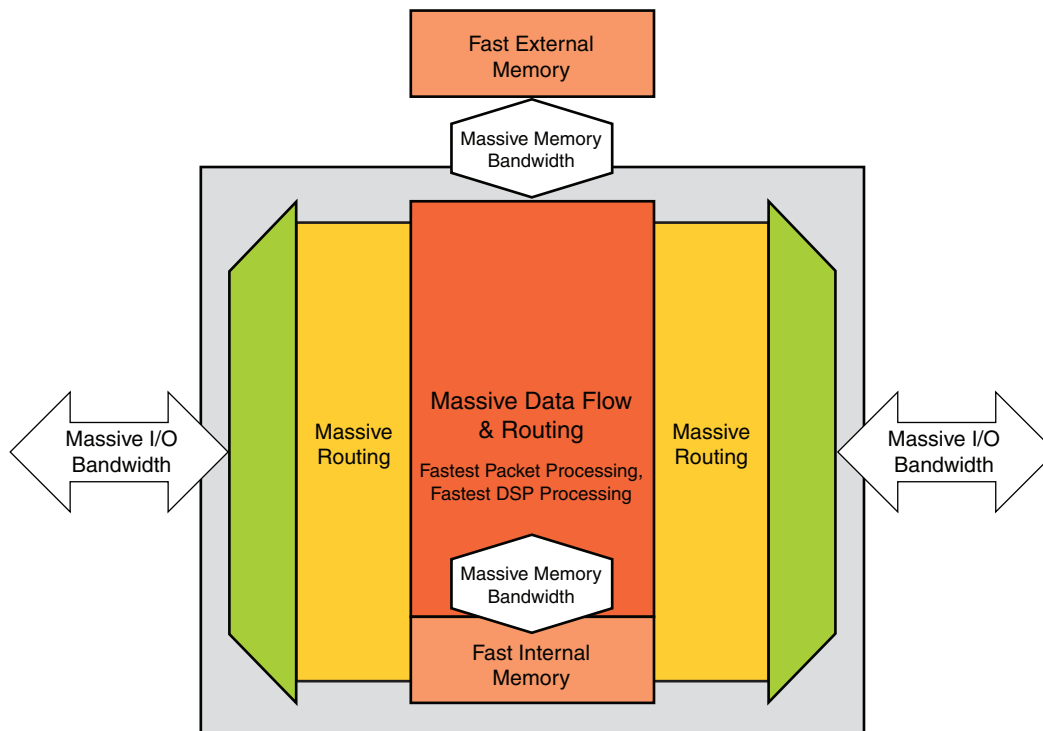
一部の技術的な開発がスタックド シリコン インターコネクト (SSI) テクノロジーの統合としてデバイスの容量と性能に多大な影響を与えてきたことは、7 シリーズ All Programmable デバイスに基づくザイリンクスの第 1 世代 3D IC で証明されています。SSI テクノロジーの統合は、産業用ベンチマークよりも 1 世代進んだプロセスでさらに大きなデバイスの開発を可能にします。これは、ザイリンクスの第 2 世代 UltraScale アーキテクチャをベースとする 3D IC にも当てはまります。

3D IC のシリコン ダイは、個別にパッケージされたダイが許容可能な密度と通信速度を超える接続を介して互いに通信できます。そのため、このダイ間通信では消費電力が削減されます。ただし、ダイがダイ-パッケージ間インターコネクトおよびボード レベル インターコネクトの追加インピーダンスを駆動する必要がないことが前提です。以上を踏まえると、SSI テクノロジーの統合によってもたらされる利点として、個別にパッケージされたダイと比較して消費電力を削減しながら、大幅に容量を拡大して性能を向上することが挙げられます。さらに、ボード レベルではダイ間通信に簡単にアクセスできなくなるため、システム セキュリティが強化されます。

Virtex® UltraScale および Kintex® UltraScale ファミリには、ステップ関数による、第 2 世代 3D IC アーキテクチャの接続リソース数と関連するダイ間帯域幅の増加が含まれています。配線リソースとダイ間帯域幅が大幅に増えたことによって、次世代アプリケーションは極めて高い使用率で目標性能とタイミング クロージャを確実に達成できます。

## 高度な高速処理における課題

目標がパケット スループットの向上であれ、DSP の GMAC の増加であれ、画面上に表示するメガピクセル/秒の増大であれ、高性能システムにおける技術的な課題は同じです。図 6 に、これを示します。



WP435\_06\_070213

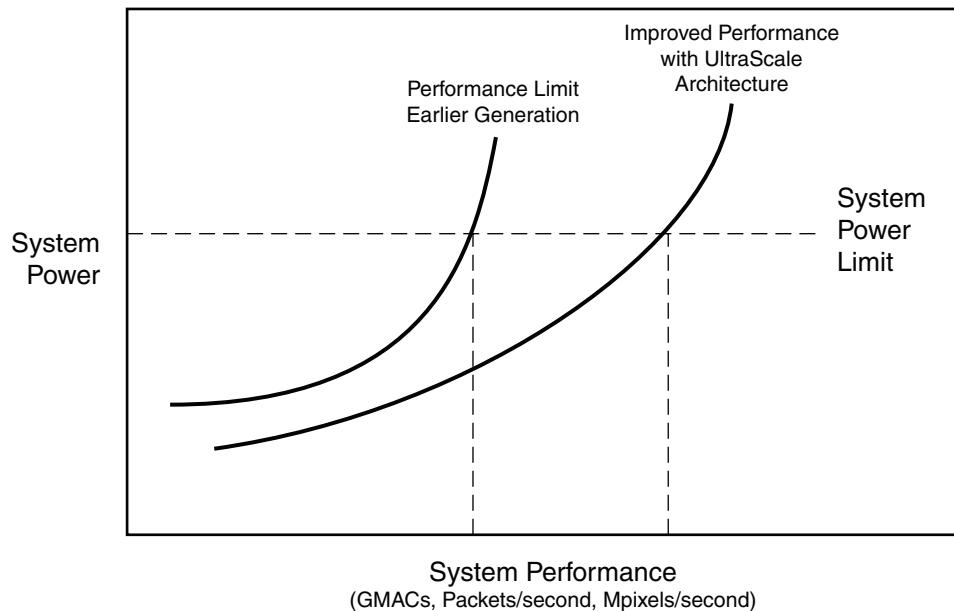
図 6： 大容量の帯域幅を必要とする高性能システム

アプリケーションを問わず、問題は極めて単純です。複数の高速シリアルポートを經由して、1ポートあたり数十～数百ギガビットの大量のデータがシステムに入ります。この高速データは、処理ロジックに送信された後にリアルタイムで処理されます。このタスク (通常は DSP またはパケット処理) では、高いデータレートを処理するためのスピードが求められます。入力データと中間結果は、システム内の処理要素の近く、またはシステムに隣接した高速バルクメモリのいずれかに格納されます。データ処理の完了後、そのデータを転送するために高速出力トランシーバーに送る必要があります。

図 6 は、次を示しています。

- これらの高速シリアルラインを經由するシステムのデータ入力とデータ出力には、信頼性の高い数ギガビットのシリアルトランシーバーを介した大容量の I/O 帯域幅が必要です。これらのシリアルトランシーバーの要件として、高信頼性で、ビットエラー率が極めて低いことが求められます。
- 大容量並列配線は、数ギガビットのシリアルトランシーバーから大容量の機能処理ブロックにファンアウトします。この機能処理ブロックは、クロックスキューの低い大規模なファンアウト性能を必要とします。このような大容量並列バスを配線することが課題の 1 つです。
- 大容量データフロー処理は、高帯域幅のメモリインターフェイスを使用した超高速の内部メモリアクセスや外部メモリアクセスに加え、高スループットロジックおよび DSP ブロックを必要とします。このような処理は、どのアーキテクチャでも、データ配線とクロック配線の性能に重大な影響を与えます。

以上の性能目標は、すべて特定の消費電力制限内で達成しなければなりません。システムは、利用可能な電力と冷却能力の制限範囲内で動作する必要があります。図 7 に、この概念図を示します。



WP435\_07\_070213

図 7 : UltraScale アーキテクチャは従来の消費電力と性能の制限を超える

UltraScale アーキテクチャを構成する各コンポーネントは、次世代処理システムが抱える多くの複雑な要件すべてに適応します。

## 大容量の I/O 帯域幅を提供

UltraScale アーキテクチャは、高速シリアル トランシーバーにおいて、性能の著しい向上と消費電力の削減を同時に達成します。Virtex UltraScale デバイスは、次世代シリアル トランシーバーが 5Tbps を超えるシリアル システム帯域幅に対応できるようにします。

UltraScale アーキテクチャをベースとする GTY および GTH シリアル トランシーバーは、数 Gbps のシリアル データ ライン レートをさらに広いデータパス (数百メガヘルツで動作) に変換するギアボックス ロジックを内蔵しています。これは、チップ上のロジックとメモリのスピードに合わせるために必要です。トランシーバーのギアボックスにより、システム設計における外部ギアボックス チップのコストが削減されます。同様に、UltraScale アーキテクチャをベースとする GTY シリアル トランシーバーに内蔵された位相ロック ループ (PLL) 機能は、1 つの基準クロックを複数のライン レートに変換します。これにより、外部電圧制御水晶 オシレーター (VCXO) が不要になります。異なるライン レートで動作する多くの高速シリアル ポートを採用するシステム設計では、この機能単独で数十個のディスクリット デバイスと数百ドルのコストが削減されます。

UltraScale アーキテクチャをベースとする ASIC クラスのシリアル トランシーバーは、旧世代のデバイスのトランシーバーよりも柔軟性に優れながら、7 シリーズ All Programmable デバイスの、欠点のない自動適応型イコライゼーション機能 (自動ゲイン制御、連続時間リニア イコライゼーション、判定帰還型イコライゼーション (DEF)) を保持しています。ザイリンクスの自動適応型イコライゼーションは、ビットエラー率を検出不能なレベル (例えば、 $10^{-17}$ 未満) に維持し、UltraScale アーキテクチャをベースとするトランシーバーが数ギガヘルツの高速バックプレーンを直接駆動できるようにします。

## 大容量の外部メモリ帯域幅および内部メモリ帯域幅を提供

UltraScale アーキテクチャは、チップ上に複数の DDR3/4 対応の SDRAM メモリ コントローラーとハード DDR 物理層 (PHY) ブロックを統合することで、新境地のメモリ インターフェイスを実現します。旧世代のデバイスと比較して、UltraScale アーキテクチャをベースとしたデバイスには次が含まれます。

- より多くの SDRAM コントローラー
- より大容量の SDRAM ポート
- より高速なメモリ ポート

結果、UltraScale アーキテクチャ ベースの All Programmable デバイスは 1Tbps を超える DDR SDRAM メモリ帯域幅を提供し、最新の次世代システム設計の大容量データ フロー、高速処理、および膨大なメモリという要件に対応できます。ハード SDRAM PHY ブロックによって、読み出しレイテンシがソフトコア PHY と比較して 30% 短縮されます。さらに、DDR4 SDRAM を制御する機能によって、外部メモリに必要な消費電力が 20% 以上削減されます。

チップ上のブロック RAM の性能は、多くの場合、システムの最大クロック レートに影響を与える重要な要因になります。ザイリンクスは、システム内のほかのプログラマブル ブロックの性能に適合しながら消費電力を削減するよう、UltraScale アーキテクチャをベースとする All Programmable デバイスのブロック RAM の設計を見直しました。新しいブロック RAM アーキテクチャは、高速メモリのカスケード接続をサポートし、DSP およびパケット処理のボトルネックを解消します。この新しいアーキテクチャの機能では、斬新な方法で出力マルチプレクサーが採用されています。そのため、Vivado Design Suite ツールを使用し、チップ上の配線やロジック リソースを追加しなくても効率的に大規模な高速 RAM アレイと FIFO を作成できます。

ザイリンクスは、同じ FIFO で異なる幅の入力ポートおよび出力ポートを使用できるようにするために UltraScale アーキテクチャをベースとするブロック RAM FIFO のコンフィギュレーションを強化しました。この機能は、FIFO を用いてあるシステム クロック ドメインを別のシステム クロック ドメインと交差させる場合に役立ちます。UltraScale アーキテクチャは、現在さらに多くのクロック ドメインをサポートしています。

## 高度な高速処理を実現

DSP およびパケット処理システムの性能要件は、エンド カスタマーの要求によって時間の経過と共に増大しています。図 8 に、これをグラフで説明します。

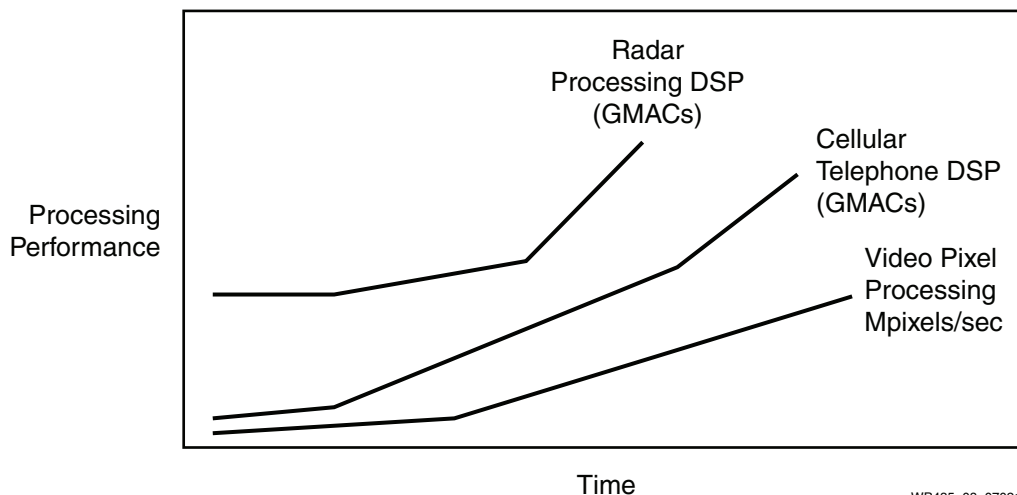
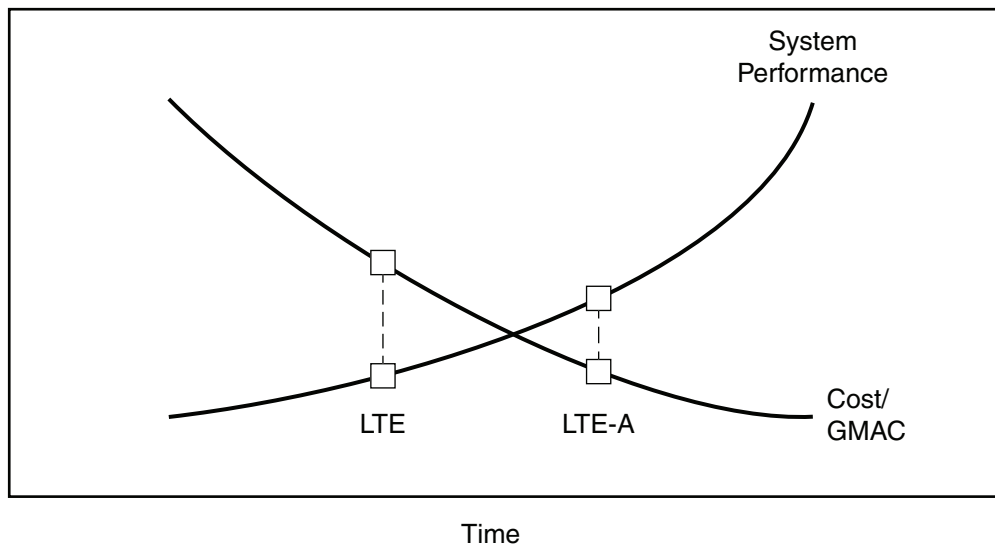


図 8 : 時間と共に増大するシステム性能要件

ノイズからより多くの信号情報を抽出したい、より本物に近い画像を作成したい、または増加し続けるパケットトラフィックの増加に対応したい、などの要求はすべて、高度な処理性能の要件の拡大につながっています。同時に、対応できることに現実的な制限を設ける経済的な枠組みの中で性能に対するこれらの需要にこたえる必要性も常にあります。図 9 に、これを示します。この図は、LTE 基地局および LTE Advanced (LTE-A) 基地局の、時間の経過に対する性能とコストの傾向を示しています。



WP435\_09\_070213

図 9: LTE の性能とコストの傾向

一言でいうと、市場は低コストでより高いシステム性能を求めています。これは電子産業における変わることのない傾向です。UltraScale アーキテクチャは、このような極めて幅広い要求に応えるのに最適です。

## 強化された DSP によって性能を向上

ザイリンクスは、性能において業界ですでにリードしている Virtex-7 FPGA の DSP48E1 DSP スライス を UltraScale アーキテクチャ向けに大幅に強化しました。これによって、より高速なデジタル信号処理を可能にしながら、DSP ブロック以外の配線リソースとロジック リソースの使用を抑えることができます。DSP スライスに適用された多くの革新的技術によって、乗算と MACC 演算が改善された上に機能的な性能が強化され、消費電力が抑えられました。

UltraScale アーキテクチャをベースとする DSP48E2 DSP スライスは、27x18 ビット乗算器を搭載しており、より少ない DSP スライスでより大きな機能に対応します。たとえば、DSP48E2 ブロックとその大規模な 27x18 ビット乗算器は、ザイリンクス 7 シリーズ All Programmable デバイスの DSP48E1 ブロックを使用して同じ機能を実装した場合と比較すると、2/3 の DSP ブロック数で IEEE 754 規格の倍精度演算を実装できます。

DSP48E2 スライスに含まれる大規模な MUX 機能および XOR 機能は、エラー訂正制御 (ECC)、巡回冗長検査 (CRC)、フォワード エラー訂正 (FEC) などの DSP 演算以外の機能に対しても DSP スライスを大容量の高速ハード ロジック ブロックとして使用できるようにします。このような強化により、性能が向上して消費電力が削減されるほか、CLB の使用率が低減し、未使用の CLB をほかの機能に使用できるようになります。UltraScale アーキテクチャが、次世代アプリケーションの増大する処理要件と低コストの要求を同時に満たすことができるのは、DSP ブロックなどに対するこのような革新的な技術によりです。

## 高度なパケット処理向けに強化された性能

帯域幅への尽きない要求により、ネットワーク通信インフラの向上に向けた投資が常に推し進められています。デジタル ビデオの送信によって発生する大容量のデータ トラフィックは、100Gbps ベースの

ネットワーク機器の発展を加速し、400G ソリューションの需要増加をもたらしました。現在の業界で最も高性能な数百 Gbps のアーキテクチャでも、性能に関連する重要な課題がパケット処理において発生することがあります。ライン レートで実行されるチェックサム計算やブリッジ機能などの基本的なパケット処理機能は、性能とリソース使用率に大きな影響を与えます。

高性能パケット処理に関連する大容量データ フローに対処するだけでなく、UltraScale アーキテクチャにはパケット処理向けの多くの革新的技術が含まれています。たとえば、CRC 32 チェックサム計算を有線のスピードでサポートするために変更された DSP48 ブロック、性能を飛躍的に向上させるために搭載されたハード ギガビット イーサネット MAC および Interlaken チップ間インターフェイス、高度なパケット処理の新たな次元での統合などです。

## 次世代システムのシステム レベルの消費電力要件に対応

各世代の製品においてシステム レベルの性能は拡大を続けますが、消費電力はシステム要件として変わらないか減少し続けることが期待されます。有線通信インフラ機器を例に挙げると、より大きな帯域幅や演算性能をサポートする次世代ライン カードは、フォーム ファクターやパワー エンベロープを変えずにそれらのゲインを実現する必要があります。この傾向は、(従来は消費電力の増大を犠牲にして実現していた) システム性能の向上と矛盾しますが、システム レベルの消費電力は、統合、パワー マネージメント、最先端のプロセス テクノロジーによってより一層削減されます。

UltraScale アーキテクチャは、All Programmable ロジック ファミリの各世代における著しいシステム レベルの消費電力削減を行ってきた実績の上に成り立っています。消費電力の少ない半導体プロセスと、シリコン技術およびソフトウェア技術によって可能になった優れた (スタティック消費電力およびダイナミック消費電力の) パワー ゲーティングと組み合わせることにより、ザイリンクス 7 シリーズ デバイスに対してシステム全体の消費電力が最大 50% 削減され、すでに低消費電力プログラマブル ロジックの筆頭となっています。

消費電力削減の結果、温度管理要件の緩和を伴う消費電力要件の低減か、速度の向上という 2 つのいずれかが得られます。これらは次世代アプリケーションの高まる要求に対応する上で鍵となります。

## UltraScale アーキテクチャのセキュリティで IP を保護し、改ざんを防ぐ

ザイリンクス All Programmable FPGA の採用はほぼすべての市場で拡大を続けており、これらのデバイスは現在多くの新しいシステムで中心的な役割を担っています。

ザイリンクスの All Programmable デバイスはあらゆる用途に利用され、その数も増え続けているため、IP の保護はデバイスが処理するデータの保護と同様に重要です。セキュリティの脅威に対する認識が高まるにつれて、セキュリティ コミュニティは、デザイン セキュリティを支える原動力となることが多い一連の指針および規格に対応してきました。安全を前提にして製品を展開するために設計者が考慮すべきセキュリティの脅威や潜在的な脆弱性は極めて広範囲にわたります。たとえば、不完全なセキュリティ手段、バックドア、デザイン不良、デバイスの欠陥、シングル イベント アップセット、ビットストリームの復号、なりすまし、トロイの木馬、リードバック、サイド チャネル、障害挿入などがあります。

5 世代にわたりセキュリティ ソリューションを提供し進化させてきた経験に基づいて開発された UltraScale アーキテクチャにより、デバイスに搭載された IP をさらに保護し、改ざんを防ぐ複数の拡張セキュリティ機能を内蔵することで安全なソリューションを提供するザイリンクスの強みがさらに強化されます。UltraScale アーキテクチャには、AES ビットストリーム復号処理および認証への強固で先進的なアプローチ、キー難読化機能の追加などのセキュリティ上の改良点が含まれます。その結果、変化し続ける次世代セキュリティ要件に対応し、業界をリードする堅牢なソリューションが実現されます。

## UltraScale と Vivado による同時最適化 = 予測可能な成功

極めて要求の厳しいアプリケーションで、これまでにないレベルの統合、機能、ASIC クラスのシステム レベル性能を実現することは非常に困難です。UltraScale アーキテクチャは、20nm プレーナから 16nm 以下の各種 FinFET、またモノリシックから 3D IC に及ぶスケラビリティを実現し、性能を低

下させることなく 90% という前例のない使用率を達成できます。このような最高の目標を達成する唯一の方法は、Vivado Design Suite を用いて UltraScale アーキテクチャを同時最適化することでした。

ザイリンクス 7 シリーズ デバイス ファミリーに最初に導入された Vivado Design Suite は、UltraScale アーキテクチャを含む次の 10 年の All Programmable デバイスのために一から開発された SoC 強化デザイン環境です。Vivado Design Suite は、プログラマブル システムの統合と実装における重要な設計ボトルネックに対処し、競合他社の開発環境と比べて最大 4 倍の生産性をもたらします。

次世代デザインに向けて極限の性能、統合、および結果品質 (QoR) の目的を達成するには、デバイスの配置配線にまったく新しいアプローチが必要です。従来の FPGA の配置配線ツールは、主要な配置最適化アルゴリズムとして、アニーリング法に頼っていました。このアルゴリズムは、ランダムな配置から開始し、目的のコスト関数を最適化します。このような初期配置のランダム性とそれに続く移動が要因となり、従来のアニーリング法アルゴリズムは次の理由で数百万の LUT デザインに拡張できません。まず、デザインの性能およびデバイス使用率に対する両制約が控えめであっても、反復的なリップアップ、再配線、および代替配置の評価に伴う時間が処理できないほど膨大になります。さらに重要なことには、アニーリング法アルゴリズムは局所的な移動に基づくため、密集度や総配線長などのグローバル設計指標を考慮しません。クロック スキューがゼロの幅の広いバスを採用して数テラビットの性能を実現するには、総配線長と密集度を考慮しないアニーリング法などの配置配線アルゴリズムは適切な選択ではありません。

最適な配置ソリューションは、タイミング、配線長、密集度などの複数の指標に依存します。

Vivado Design Suite は、多変数のコスト関数を使用して最適な配置を検索します。これにより、90% を超えるデバイス使用率においても、性能を低下させることなく配線可能なソリューションを素早く見つけることができます。結果のばらつきが非常に少ないにもかかわらず、実行時間がほかのソリューションと比べて一貫して短いため、業界で例を見ないレベルの性能およびデバイス使用率を達成しながら、より少ない反復回数でデザイン クロージャに到達できます。

## UltraScale アーキテクチャとプロセス テクノロジ

プロセス テクノロジは、いかなるデバイス アーキテクチャにおいても重要な検討事項です。ザイリンクスの UltraScale アーキテクチャは、複数のプロセス テクノロジに対応して設計されています。ザイリンクスと TSMC 社が共同開発した 28nm HPL (低消費電力、高性能) プロセス テクノロジは、ザイリンクス 7 シリーズ All Programmable デバイスが大きく成功した主な要因でした。この両社のパートナーシップの経験をもとに、ザイリンクスと TSMC 社は、第 1 世代の UltraScale アーキテクチャをベースとする All Programmable デバイス (2013 年にファースト シリコンを製造予定) のために 20nm 20SoC プレーナ プロセスを開発しました。

ザイリンクスが UltraScale アーキテクチャを開発したもう 1 つの目的として、20SoC の後に続くプロセス ノード、つまり 16nm FinFET について、さらなる性能、機能、および消費電力削減を引き出すことがあります。ここでも、ザイリンクスと TSMC 社の有数のエンジニアの才能を結集したザイリンクス独自の「FinFAST」開発プログラムによって、ザイリンクス UltraScale アーキテクチャと Vivado Design Suite が TSMC 16nm FinFET プロセス テクノロジに同時最適化されました。その結果、ザイリンクスと TSMC 社は、第 2 世代の UltraScale アーキテクチャをベースとする All Programmable デバイスのファースト シリコンを 2014 年に製造予定です。

## まとめ

テラビットおよびテラフロップスまでのフル ライン レートの高度な処理で数百 Gbps レベルのシステム性能に対応するには、新しいアーキテクチャ レベルのアプローチが必要です。ザイリンクスは、次世代高性能システムのニーズに対応するため、次世代の UltraScale アーキテクチャと Vivado Design Suite を開発しました。UltraScale アーキテクチャは、I/O やメモリの帯域幅、データ フロー、DSP およびパケット処理性能のすべての面で厳しい要件が求められる次世代アプリケーションにおいて、前例のないレベルの使用率 (90% 超) で性能を低下させることなく ASIC クラスのシステム レベル性能を実現します。

UltraScale アーキテクチャは、All Programmable アーキテクチャに最先端の ASIC アーキテクチャ技術を業界で初めて適用したもので、20nm プレーナから 16nm 以下の各種 FinFET テクノロジ、またモノリシックから 3D IC に及ぶスケラビリティを実現できます。TSMC 社の最先端のテクノロジと次世代の Vivado Design Suite による同時最適化により、ザイリンクスは、システム レベルの性能および統合における実現性を 1.5 倍 ~2 倍に高めるという点で 1 年先を進んでいます。これは、競合他社の 1 世代先を行っていることと同じです。

UltraScale アーキテクチャを使用して次世代デザインの目標を達成する方法や、UltraScale アーキテクチャをベースとする All Programmable FPGA ファミリの詳細は、ザイリンクスの販売代理店までお問い合わせいただくか、[japan.xilinx.com](http://japan.xilinx.com) をご覧ください。

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2013 年 7 月 8 日	1.0	初版

## Notice of Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available “AS IS” and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、

[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。