

機能

- ザイリンクス FPGA のコンフィギュレーション用インシステム プログラマブル PROM
- 低電力のアドバンス CMOS NOR フラッシュ プロセス
- 20,000 回までプログラム/消去可能
- インダストリアルグレードの温度範囲で動作 (-40°C ~ +85°C)
- プログラム、プロトタイプ作成、テストにおいて、IEEE 規格 1149.1/1532 バウンダリ スキャン (JTAG) をサポート
- JTAG コマンドによる標準 FPGA コンフィギュレーションの開始
- サイズの大きいビットストリームまたは複数のビットストリームを保存するためカスケード接続可能
- バウンダリ スキャン (JTAG) 専用の I/O 電源 (V_{CCJ})
- 電圧レベル 1.5V ~ 3.3V で使用可能な I/O ピン
- ザイリンクス ISE[®] Alliance および Foundation[™] ソフトウェア パッケージで設計サポート
- XCF01S/XCF02S/XCF04S
 - 3.3V 電源電圧
 - シリアル FPGA コンフィギュレーション インターフェイス (最高 33MHz)
 - フットプリントの小さい VO20 および VOG20 パッケージで提供
- XCF08P/XCF16P/XCF32P
 - 1.8V 電源電圧
 - シリアルまたはパラレル FPGA コンフィギュレーション インターフェイス (最高 33MHz)
 - フットプリントの小さい VO48、VOG48、FS48、および FSG48 パッケージで提供
 - コンフィギュレーションの複数のデザイン リビジョンを保存可能
 - ザイリンクスの圧縮技術に対応したデータ 解凍機能をビルトイン

概要

ザイリンクスでは、インシステム プログラマブル コンフィギュレーション PROM の Platform Flash シリーズのを提供しています。使いやすく、コスト パフォーマンスの高い、再プログラム可能なこれらの PROM は、1 ~ 32Mb のものが用意されており、サイズの大きい FPGA コンフィギュレーション ビットストリームを保存するのに適しています。3.3V XCFxxS PROM シリーズと 1.8V XCFxxP PROM シリーズがあります。XCFxxS シリーズ (2 ページの図 1) は、マスタ シリアルおよびスレーブ シリアル

FPGA のコンフィギュレーション モードをサポートする 4Mb、2Mb、1Mb の PROM、XCFxxP シリーズ (2 ページの図 2) は、マスタ シリアル、スレーブ シリアル、マスタ SelectMAP、およびスレーブ SelectMAP FPGA のコンフィギュレーション モードをサポートする 32Mb、16Mb、8Mb の PROM で構成されています。表 1 に、Platform Flash PROM ファミリの機能の一覧を示します。

表 1 : Platform Flash PROM の機能

デバイス	容量 (Mb)	V _{CCINT} (V)	V _{CCO} の範囲 (V)	V _{CCJ} の範囲 (V)	パッケージ	JTAG を介するインシステムプログラム	シリアルコンフィギュレーション	パラレルコンフィギュレーション	デザインリビジョン機能	圧縮
XCF01S	1	3.3	1.8 ~ 3.3	2.5 ~ 3.3	VO20/VOG20	✓	✓			
XCF02S	2	3.3	1.8 ~ 3.3	2.5 ~ 3.3	VO20/VOG20	✓	✓			
XCF04S	4	3.3	1.8 ~ 3.3	2.5 ~ 3.3	VO20/VOG20	✓	✓			
XCF08P	8	1.8	1.5 ~ 3.3	2.5 ~ 3.3	VO48/VOG48 FS48/FSG48	✓	✓	✓	✓	✓
XCF16P	16	1.8	1.5 ~ 3.3	2.5 ~ 3.3	VO48/VOG48 FS48/FSG48	✓	✓	✓	✓	✓
XCF32P	32	1.8	1.5 ~ 3.3	2.5 ~ 3.3	VO48/VOG48 FS48/FSG48	✓	✓	✓	✓	✓

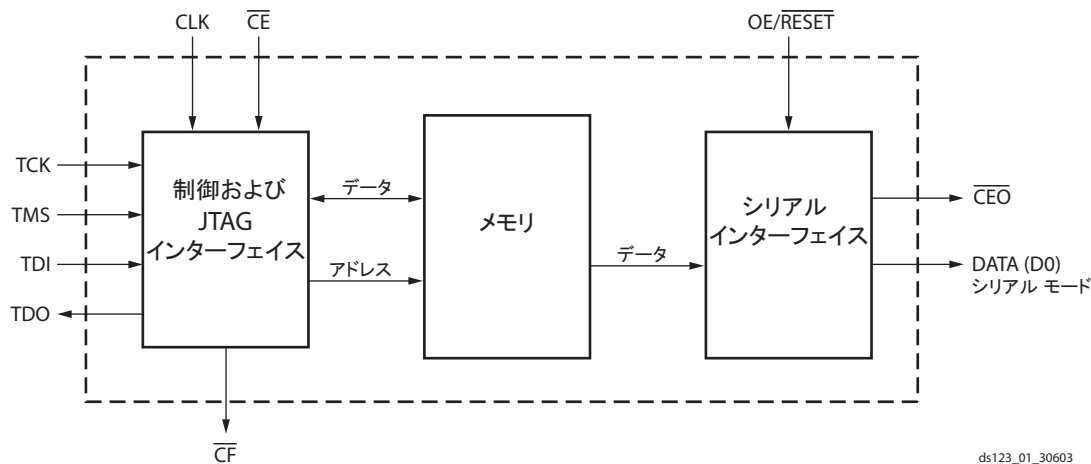


図 1 : XCFxxS Platform Flash PROM のブロック図

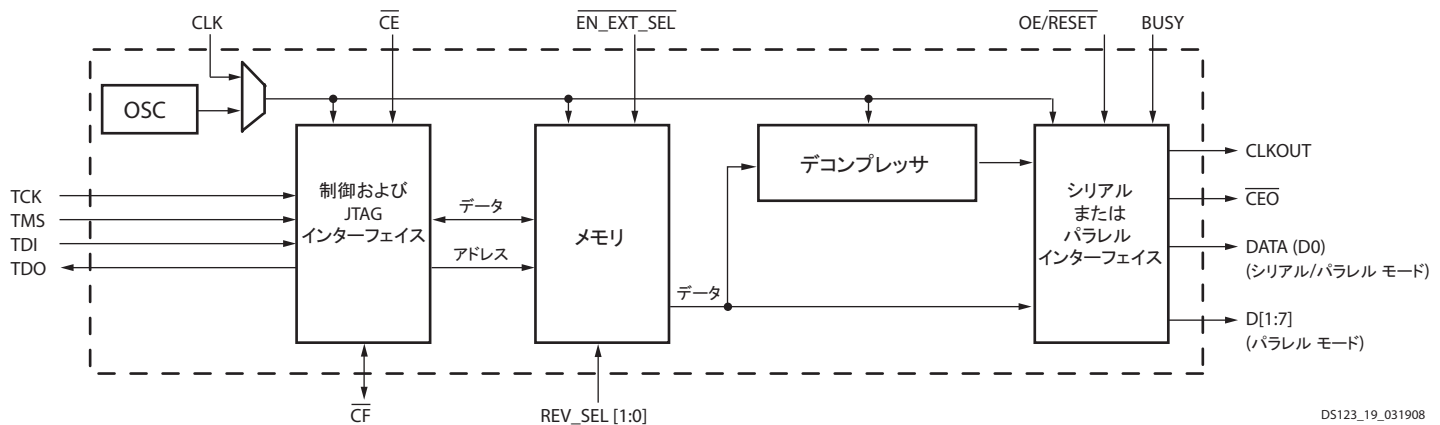


図 2 : XCFxxP Platform Flash PROM のブロック図

マスタ シリアル モードでは、FPGA で PROM を駆動するコンフィギュレーション クロックが生成されます。CF が High の場合、CE と OE がイネーブルになってから短いアクセス タイム後に、FPGA の DIN ピンに接続されている PROM の DATA (D0) ピン上のデータが有効になります。新しいデータは、クロックの各立ち上がりエッジから短いアクセス タイム後に有効になります。コンフィギュレーションを完了するために必要な数のクロックパルスが、FPGA で生成されます。

スレーブ シリアル モードでは、PROM および FPGA の両方に外部クロックを供給するか、XCFxxP PROM の場合は、PROM のクロックを使用して FPGA をコンフィギュレーションできます。

XCFxxP シリーズでは、マスタ SelectMAP およびスレーブ SelectMAP (スレーブ パラレル) モードの FPGA コンフィギュレーションもサポートされています。マスタ SelectMAP モードでは、FPGA で PROM を駆動するコンフィギュレーション クロックが生成されます。スレーブ SelectMAP モードでは、外部オシレータで PROM および FPGA を駆動するコンフィギュレーション クロックを生成するか、XCFxxP PROM の場合は、PROM のクロックを使用して FPGA をコンフィギュレーションできます。BUSY が Low で CF が High の場合、CE および OE がイネーブルになった後、PROM の DATA (D0 ~ D7) ピン上のデータが

有効になります。新しいデータは、クロックの各立ち上がりエッジからアクセス タイム後に有効になります。CCLK の次の立ち上がりエッジで、データが FPGA に入力されます。スレーブ パラレルまたはスレーブ SelectMAP モードでは、フリー ランニング オシレータを使用できます。

XCFxxP シリーズには、さらにアドバンス機能が備わっています。ビルトイン データ解凍機能では、圧縮された PROM ファイルの使用を可能にし、デザインリビジョン機能では複数のデザインリビジョンを 1 つまたは複数の PROM に保存できます。デザインリビジョン機能を使用する際は、外部ピンまたは内部制御ビットで使用するデザインリビジョンを選択します。

複数の Platform Flash PROM をカスケード接続すると、大容量の FPGA デバイスまたはダイジーチェーン接続した複数の FPGA をコンフィギュレーションする際に必要な、サイズの大きいコンフィギュレーションファイルに対応できます。デザインリビジョン機能などの XCFxxP PROM のアドバンス機能を使用する場合は、カスケード接続するすべての PROM に XCFxxP PROM を使用する必要があります。XCFxxP のアドバンス機能を使用しない場合は、XCFxxP と XCFxxS の両方の PROM を混合できます。

Platform Flash PROM は、すべての FPGA デバイス ファミリに使用できます。ザイリンクスの各 FPGA に対応する Platform Flash PROM のリストを表 2 に、Platform Flash PROM の容量を表 3 に示します。

表 2: ザイリンクス FPGA に対応する Platform Flash PROM

FPGA	コンフィギュレーション ビット ストリームのサイズ	Platform Flash PROM ⁽¹⁾
Virtex[®]-5 LX FPGA		
XC5VLX30	8,374,016	XCF08P
XC5VLX50	12,556,672	XCF16P
XC5VLX85	21,845,632	XCF32P
XC5VLX110	29,124,608	XCF32P
XC5VLX155	41,048,064	XCF128X ⁽⁴⁾ または XCF32P+XCF08P
XC5VLX220	53,139,456	XCF128X ⁽⁴⁾ または XCF32P+XCF32P
XC5VLX330	79,704,832	XCF128X ⁽⁴⁾ または XCF32P+XCF32P+XCF16P
Virtex-5 LXT FPGA		
XC5VLX20T	6,251,200	XCF08P
XC5VLX30T	9,371,136	XCF16P
XC5VLX50T	14,052,352	XCF16P
XC5VLX85T	23,341,312	XCF32P
XC5VLX110T	31,118,848	XCF32P
XC5VLX155T	43,042,304	XCF128X ⁽⁴⁾ または XCF32P+XCF16P
XC5VLX220T	55,133,696	XCF128X ⁽⁴⁾ または XCF32P+XCF32P
XC5VLX330T	82,696,192	XCF128X ⁽⁴⁾ または XCF32P+XCF32P+XCF16P
Virtex-5 SXT FPGA		
XC5VSX35T	13,349,120	XCF16P
XC5VSX50T	20,019,328	XCF32P
XC5VSX95T	35,716,096	XCF128X ⁽⁴⁾ または XCF32P+XCF08P
XC5VSX240T	79,610,368	XCF128X ⁽⁴⁾ または XCF32P+XCF32P+XCF16P
Virtex-5 FXT FPGA		
XC5VFX30T	13,517,056	XCF16P
XC5VFX70T	27,025,408	XCF32P
XC5VFX100T	39,389,696	XCF128X ⁽⁴⁾ または XCF32P+XCF08P

表 2: ザイリンクス FPGA に対応する Platform Flash PROM (続き)

FPGA	コンフィギュレーション ビット ストリームのサイズ	Platform Flash PROM ⁽¹⁾
XC5VFX130T	49,234,944	XCF128X ⁽⁴⁾ または XCF32P+XCF16P
XC5VFX200T	70,856,704	XCF128X ⁽⁴⁾ または XCF32P+XCF32P+XCF08P
Virtex-5 TXT FPGA		
XC5VTX150T	43,278,464	XCF128X ⁽⁴⁾ または XCF32P+XCF16P
XC5VTX240T	65,755,648	XCF128X ⁽⁴⁾ または XCF32P+XCF32P
Virtex-4 LX FPGA		
XC4VLX15	4,765,568	XCF08P
XC4VLX25	7,819,904	XCF08P
XC4VLX40	12,259,712	XCF16P
XC4VLX60	17,717,632	XCF32P
XC4VLX80	23,291,008	XCF32P
XC4VLX100	30,711,680	XCF32P
XC4VLX160	40,347,008	XCF32P+XCF08P
XC4VLX200	51,367,808	XCF32P+XCF32P
Virtex-4 FX FPGA		
XC4VFX12	4,765,568	XCF08P
XC4VFX20	7,242,624	XCF08P
XC4VFX40	14,936,192	XCF16P
XC4VFX60	21,002,880	XCF32P
XC4VFX100	33,065,408	XCF32P
XC4VFX140	47,856,896	XCF32P+XCF16P
Virtex-4 SX FPGA		
XC4VSX25	9,147,648	XCF16P
XC4VSX35	13,700,288	XCF16P
XC4VSX55	22,749,184	XCF32P
Virtex-II Pro X FPGA		
XC2VPX20	8,214,560	XCF08P
XC2VPX70	26,098,976	XCF32P
Virtex-II Pro FPGA		
XC2VP2	1,305,376	XCF02S
XC2VP4	3,006,496	XCF04S
XC2VP7	4,485,408	XCF08P
XC2VP20	8,214,560	XCF08P
XC2VP30	11,589,920	XCF16P
XC2VP40	15,868,192	XCF16P
XC2VP50	19,021,344	XCF32P

表 2: ザイリンクス FPGA に対応する Platform Flash PROM (続き)

FPGA	コンフィギュレーション ビット ストリームのサイズ	Platform Flash PROM ⁽¹⁾
XC2VP70	26,098,976	XCF32P
XC2VP100	34,292,768	XCF32P ⁽²⁾
Virtex-II FPGA⁽³⁾		
XC2V40	470,048	XCF01S
XC2V80	732,576	XCF01S
XC2V250	1,726,880	XCF02S
XC2V500	2,767,520	XCF04S
XC2V1000	4,089,504	XCF04S
XC2V1500	5,667,488	XCF08P
XC2V2000	7,501,472	XCF08P
XC2V3000	10,505,120	XCF16P
XC2V4000	15,673,248	XCF16P
XC2V6000	21,865,376	XCF32P
XC2V8000	29,081,504	XCF32P
Virtex-E FPGA		
XCV50E	630,048	XCF01S
XCV100E	863,840	XCF01S
XCV200E	1,442,016	XCF02S
XCV300E	1,875,648	XCF02S
XCV400E	2,693,440	XCF04S
XCV405E	3,430,400	XCF04S
XCV600E	3,961,632	XCF04S
XCV812E	6,519,648	XCF08P
XCV1000E	6,587,520	XCF08P
XCV1600E	8,308,992	XCF08P
XCV2000E	10,159,648	XCF16P
XCV2600E	12,922,336	XCF16P
XCV3200E	16,283,712	XCF16P
Virtex FPGA		
XCV50	559,200	XCF01S
XCV100	781,216	XCF01S
XCV150	1,040,096	XCF01S
XCV200	1,335,840	XCF02S
XCV300	1,751,808	XCF02S
XCV400	2,546,048	XCF04S
XCV600	3,607,968	XCF04S
XCV800	4,715,616	XCF08P
XCV1000	6,127,744	XCF08P

表 2: ザイリンクス FPGA に対応する Platform Flash PROM (続き)

FPGA	コンフィギュレーション ビット ストリームのサイズ	Platform Flash PROM ⁽¹⁾
Spartan®-3A FPGA		
XC3S50A	437,312	XCF01S
XC3S200A	1,196,128	XCF02S
XC3S400A	1,886,560	XCF02S
XC3S700A	2,732,640	XCF04S
XC3S1400A	4,755,296	XCF08P
Spartan-3A DSP FPGA		
XC3SD1800A	8,197,280	XCF08P
XC3SD3400A	11,718,304	XCF16P
Spartan-3E FPGA		
XC3S100E	581,344	XCF01S
XC3S250E	1,353,728	XCF02S
XC3S500E	2,270,208	XCF04S
XC3S1200E	3,841,184	XCF04S
XC3S1600E	5,969,696	XCF08P
Spartan-3 FPGA		
XC3S50	439,264	XCF01S
XC3S200	1,047,616	XCF01S
XC3S400	1,699,136	XCF02S
XC3S1000	3,223,488	XCF04S
XC3S1500	5,214,784	XCF08P
XC3S2000	7,673,024	XCF08P
XC3S4000	11,316,864	XCF16P
XC3S5000	13,271,936	XCF16P
Spartan-IIE FPGA		
XC2S50E	630,048	XCF01S
XC2S100E	863,840	XCF01S
XC2S150E	1,134,496	XCF02S
XC2S200E	1,442,016	XCF02S
XC2S300E	1,875,648	XCF02S
XC2S400E	2,693,440	XCF04S
XC2S600E	3,961,632	XCF04S
Spartan-II FPGA		
XC2S15	197,696	XCF01S
XC2S30	336,768	XCF01S
XC2S50	559,200	XCF01S
XC2S100	781,216	XCF01S

表 2: ザイリンクス FPGA に対応する Platform Flash PROM (続き)

FPGA	コンフィギュレーション ビット ストリームのサイズ	Platform Flash PROM ⁽¹⁾
XC2S150	1,040,096	XCF01S
XC2S200	1,335,840	XCF02S

メモ:

1. デザイン リビジョン機能などのアドバンス機能が必要な場合は、XCF01S、XCF02S、XCF04S の代わりに XCFxxP を使用できます。
2. Platform Flash XCFxxP PROM のアドバンス圧縮機能または BitGen -compress が使用され、圧縮によりビットストリームが推奨される PROM に収まる場合を想定しています。
3. 各 FPGA に対し、デバッグ用でないビットストリームの最大サイズが示されています。ビットストリームのサイズに影響する CONFIG STEPPING 制約や -g FreezeDCI:Yes などの BitGen オプションについては、該当するFPGA のユーザー ガイドを参照してください。
4. XCF128X の情報は、データシート [DS617](#) 『Platform Flash XL High-Density Configuration and Storage Device』を参照してください。

プログラム

Platform Flash PROM は再プログラム可能な NOR フラッシュ デバイスです (プログラムおよび消去の仕様は [29 ページ](#) の「品質と信頼性」を参照)。再プログラムするには、消去の後にプログラムを実行します。プログラム後に検証を実行し、データがプログラマ ソースから Platform Flash PROM へ正しく転送されたことを確認することをお勧めします。

複数のプログラム方法がサポートされています。

インシステム プログラム

インシステム プログラマブル PROM は、[図 3](#) に示すように、個々にプログラムするか、標準の 4 ピン JTAG プロトコルを使用し、デイジー チェーン接続してインシステムでプログラムできます。インシステム プログラムは効率的なプログラム方法で、パッケージの取り扱いやデバイスをソケットにはめ込む作業は必要ありません。プログラム データ シーケンスの転送には、ザイリンクス iMPACT ソフトウェアとザイリンクス ダウンロード ケーブル、サードパーティ JTAG 開発システム、JTAG を使用可能なボード テスタ、または JTAG 命令シーケンスをエミュレートするマイクロプロセッサ インターフェイスを使用できます。iMPACT では、自動テスト装置などで使用可能なシリアル ベクタ フォーマット (SVF) ファイルも作成できます。インシステムプログラムの実行中は、 \overline{CEO} 出力は High になり、その他の出力はハイ インピーダンスになるか、クランプレベルに保持されます。インシステム プログラムは、推奨される動作電圧および動作温度の全範囲でサポートされています。

表 3: Platform Flash PROM の容量

Platform Flash PROM	容量 (ビット)	Platform Flash PROM	容量 (ビット)
XCF01S	1,048,576	XCF08P	8,388,608
XCF02S	2,097,152	XCF16P	16,777,216
XCF04S	4,194,304	XCF32P	33,554,432

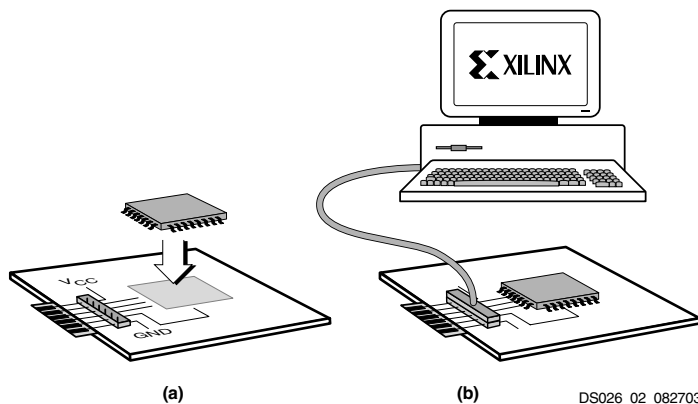


図 3: JTAG を使用したインシステム プログラム

- (a) デバイスを PCB にはんだ付け
- (b) ダウンロード ケーブルを使用したプログラム

アプリケーション ノート [XAPP058](#) 『Xilinx In-System Programming Using an Embedded Microcontroller』などのエンベデッド インシステム プログラムのリファレンス デザインは、ザイリンクスの [PROM プログラミングとデータ ストレージ](#) のページから入手できます。Platform Flash XCFxxP PROM のデザイン リビジョン機能を使用するアドバンス アップデート手法については、『Platform Flash PROM User Guide』([UG161](#)) を参照してください。

OE/RESET

1、2、4Mb の XCFxxS PROM のインシステム プログラム アルゴリズムでは、 $\overline{OE/RESET}$ に Low パルスを発生させる内部デバイス リセット信号が送信されます。

外部プログラム

従来の製造環境では、PROM をボードに組み込む前に、サードパーティ デバイス プログラマで初期メモリ イメージを使用して Platform Flash PROM をプログラムできます。Platform Flash PROM のサポートについては、サードパーティ プログラマ ベンダーにお問い合わせください。Platform Flash PROM をサポートするサードパーティ ベンダーのリストは、ザイリンクスの[サードパーティ プログラマ デバイス サポート](#)のページを参照してください。

プログラム済み PROM をボードに組み込むには、『Device Package User Guide』(UG112) のはんだ付け工程に関するガイドラインを使用します。インシステム プログラム ソリューションを使用すると、PROM をボードに組み込んだ後に PROM のメモリ イメージをアップデートできます。

デザインのセキュリティ

ザイリンクスのインシステム プログラマブル Platform Flash PROM デバイスには、高度なセキュリティ機能が導入されており、JTAG を使用した許可のないアクセスから FPGA のプログラム データを保護します。また、XCFxxP PROM は JTAG による誤った書き込みが行われないようにも設定できます。表 4 および表 5 に、XCFxxS PROM および XCFxxP PROM で使用可能なセキュリティ設定を示します。

読み出し禁止

内部プログラム パターンが JTAG により読み出されたりコピーされたりするのを防ぐには、読み出し禁止ビットを設定します。読み出し禁止設定では、書き込み操作は禁止されません。XCFxxS PROM では、読み出し禁止ビットはデバイス全体に対して設定され、これをリセットするにはデバイス全体を消去する必要があります。XCFxxP PROM では、読み出し禁止ビットはデザイン リビジョンごとに設定でき、これをリセットするにはそのリビジョンを消去する必要があります。

表 5: XCFxxP デバイスのセキュリティ オプション

読み出し禁止ビット	書き込み禁止ビット	読み出し/検証を禁止	プログラムを禁止	消去を禁止
オフ (デフォルト)	オフ (デフォルト)			
オフ (デフォルト)	オン		✓	✓
オン	オフ (デフォルト)	✓		
オン	オン	✓	✓	✓

信頼性および耐久性

ザイリンクスのインシステム プログラマブル製品は、20,000 回までプログラム/消去可能で、データを最低 20 年間保持できます。すべてのデバイスで、この範囲内での機能、パフォーマンス、データ保持仕様が確認されています。

デバイスのクオリティ、信頼性、プロセス ノード情報は、『Xilinx Device Reliability Report』(UG116) を参照してください。

書き込み禁止

XCFxxP PROM デバイスでは、特定のデザイン リビジョンまたは PROM オプションに書き込み禁止 (ロック) を設定できます。書き込み禁止を設定すると、誤った JTAG 命令により書き込みや消去が実行されないようにできます。書き込み禁止設定は、保護されたエリアを消去することにより解除できますが、まず XSC_UNLOCK 命令を発行して ISC_ERASE 命令のロックを解除する必要があります。XSC_UNLOCK および ISC_ERASE 命令については、XCFxxP PROM の BSDL ファイルを参照してください。

注意 iMPACT ソフトウェアでは、XCFxxP PROM の消去を実行する前に常に XSC_UNLOCK が発行されるので、書き込み禁止は常に解除されます。

表 4: XCFxxS デバイスのセキュリティ オプション

読み出し禁止ビット	読み出し/検証を禁止	プログラムを禁止	消去を禁止
オフ (デフォルト)			
オン	✓		

IEEE 1149.1 バウンダリ スキャン (JTAG)

Platform Flash PROM ファミリーは、IEEE 1149.1 バウンダリ スキャン規格および IEEE 1532 インシステム コンフィギュレーション規格に準拠しています。必要なバウンダリ スキャン命令および IEEE 規格 1149.1 で指定されているオプションの命令をサポートするために、テスト アクセス ポート (TAP) とレジスタがあります。また、Platform Flash PROM デバイスのコンフィギュレーション、消去、検証を制御するため、インシステム プログラム (ISP) のインプリメントに JTAG インターフェイスが使用されます。表 6 に、Platform Flash PROM でサポートされている必須

およびオプションのバウンダリ スキャン命令を示します。バウンダリ スキャン アーキテクチャと必須およびオプションの命令に関する詳細は、IEEE 規格 1149.1 仕様を参照してください。

注意 XCFxxP の JTAG TAP ポーズ ステートは、JTAG 1149.1 仕様には完全に準拠していません。JTAG のシフト操作を一時停止する必要がある場合は、JTAG TCK クロックを停止し、JTAG TAP を JTAG Shift-IR または Shift-DR TAP ステートに保持してください。JTAG シフト操作を一時停止するのに XCFxxP JTAG TAP を JTAG Pause-IR または Pause-DR TAP ステートに遷移しないでください。

表 6 : Platform Flash PROM のバウンダリ スキャン命令

バウンダリ スキャン コマンド	XCFxxS IR[7:0] (16 進数)	XCFxxP IR[15:0] (16 進数)	説明
必須命令			
BYPASS	FF	FFFF	BYPASS をイネーブルにします。
SAMPLE/PRELOAD	01	0001	バウンダリ スキャンの SAMPLE/PRELOAD 操作をイネーブルにします。
EXTEST	00	0000	バウンダリ スキャンの EXTEST 操作をイネーブルにします。
オプションの命令			
CLAMP	FA	00FA	バウンダリ スキャンの CLAMP 命令をイネーブルにします。
HIGHZ	FC	00FC	すべての出力を同時にハイ インピーダンスにします。
IDCODE	FE	00FE	32 ビット IDCODE のシフト出力をイネーブルにします。
USERCODE	FD	00FD	32 ビット USERCODE のシフト 出力をイネーブルにします。
Platform Flash PROM 専用の命令			
CONFIG	EE	00EE	\overline{CF} ピンに Low パルスを 1 回送信することにより、FPGA のコンフィギュレーションを開始します。XCFxxP では、このコマンドにより外部 REV_SEL[1:0] ピンまたは内部 デザイン リビジョン選択ビットにより選択されているデザイン リビジョンもリセットされます。(1)

メモ :

1. 詳細は、「FPGA のコンフィギュレーションの開始」を参照してください。

命令レジスタ

Platform Flash PROM の命令レジスタ (IR) は、命令スキャンシーケンス中は TDI と TDO の間に接続されます。命令スキャンシーケンスの準備のため、命令レジスタに固定の命令キャプチャパターンがパラレルにロードされます。このパターンは、命令が TDI から命令レジスタにシフトされる際に、LSB から順に TDO にシフト出力されます。

XCFxxS の命令レジスタ (8 ビット幅)

XCFxxS PROM の命令レジスタ (IR) は 8 ビット幅で、命令スキャンシーケンス中は TDI と TDO の間に接続されます。表 7 に、命令キャプチャパターンの構成を示します。XCFxxS デバイスからシフト出力される命令キャプチャパターンには、IR[7:0] にロードされる値が含まれます。IR[7:5] は予約済みのビットで、0 に設定されます。ISC ステータスフィールド IR[4] は、デバイスがインシステム コンフィギュレーション (ISC) モードの場合は 1、それ以外の場合は 0 に設定されます。セキュリティフィールド IR[3] は、デバイスのセキュリティ オプションがオンの場合は 1、それ以外の場合は 0 に設定されます。IR[2] は使用されず、0 に設定されます。残りのビット IR[1:0] は、IEEE 規格 1149.1 で定義されているように 01 に設定されます。

表 7: 命令スキャン シーケンスの一部として IR に読み込まれる XCFxxS の命令キャプチャの値

TDI →	IR[7:5]	IR[4]	IR[3]	IR[2]	IR[1:0]	→ TDO
	予約済み	ISC ステータス	セキュリティ	0	0 1	

表 8: 命令スキャン シーケンスの一部として IR に読み込まれる XCFxxP の命令キャプチャの値

TDI →	IR[15:9]	IR[8:7]	IR[6:5]	IR[4]	IR[3]	IR[2]	IR[1:0]	→ TDO
	予約済み	ISC エラー	ER/PROG エラー	ER/PROG ステータス	ISC ステータス	DONE	0 1	

バウンダリ スキャン レジスタ

バウンダリ スキャン レジスタは、EXTEST、SAMPLE/PRELOAD、および CLAMP 命令中のデバイス ピンの状態を制御および監視するために使用します。Platform Flash PROM の各出力ピンには、バウンダリ スキャン レジスタとして使用される 2 段のレジスタがあり、各入力ピンには 1 段のレジスタがあります。双方向ピンには合計で 3 段のレジスタがあり、バウンダリ スキャン レジスタとして使用されます。各出力ピンで、TDI に近いレジスタ段は出力の状態を制御およびモニタするために使用され、TDO に近い 2 番目の段では出力ピンのハイ インピーダンス状態を制御およびモニタするために使用されます。各入力ピンでは、1 段のレジスタにより入力ピンの状態を制御およびモニタします。双方向ピンでは 3 つのビットが使用され、1 番目が入力段ビット、2 番目が出力段ビット、3 番目が出力イネーブル段ビットとなります。TDO に最も近いのは出力イネーブル段ビットです。

XCFxxP の命令レジスタ (16 ビット幅)

XCFxxP PROM の命令レジスタ (IR) は 16 ビット幅で、命令スキャン シーケンス中は TDI と TDO の間に接続されます。表 8 に、命令キャプチャパターンの構成を示します。

XCFxxP デバイスからシフト出力される命令キャプチャパターンには、IR[15:0] にロードされる値が含まれます。IR[15:9] は予約済みのビットで、0 に設定されます。ISC エラー フィールド IR[8:7] は、ISC 操作が正常に完了した場合は 10、エラーが発生した場合は 01 になります。消去/プログラム (ER/PROG) エラー フィールド IR[6:5] は、消去またはプログラムが正常に完了した場合は 10、エラーが発生した場合は 01 になります。消去/プログラム (ER/PROG) ステータス フィールド IR[4] は、デバイスで消去またはプログラムを実行中の場合は 0、それ以外の場合は 1 に設定されます。ISC ステータス フィールド IR[3] は、デバイスがインシステム コンフィギュレーション (ISC) モードの場合は 1、それ以外の場合は 0 に設定されます。DONE フィールド IR[2] は、指定のデザイン リビジョンが正常にプログラムされた場合は 1、プログラムが完了しなかった場合は 0 に設定されます。残りのビット IR[1:0] は、IEEE 規格 1149.1 で定義されているように 01 に設定されます。

接続されているデバイス ピンのバウンダリ スキャンのビット順は、41 ページの表 13 および 43 ページの表 14 を参照してください。完全なバウンダリ スキャンのビット順は、BSDL ファイルの「attribute BOUNDARY_REGISTER」セクションを参照してください。バウンダリ スキャン セル 0 に割り当てられているビットは、バウンダリ スキャン レジスタの LSB であり、TDO に最も近いレジスタ ビットです。

識別レジスタ

IDCODE レジスタ

IDCODE はベンダーにより割り当てられている固定値で、デバイスの製造者およびタイプを電子的に識別するために使用されます。IDCODE レジスタは 32 ビット幅です。IDCODE レジスタを調べるには、IDCODE 命令を使用してシフト 出力します。IDCODE は、どのシステム コンポーネントでも JTAG を介して読み取ることができます。表 9 に、Platform Flash PROM の IDCODE レジスタの値を示します。

IDCODE レジスタは、次のようなバイナリ フォーマットです。

vvvv:ffff:ffff:aaaa:aaaa:cccc:cccc:ccc1

v = チップのバージョン番号

f = PROM のファミリ コード

a = Platform Flash PROM の製品 ID

c = 製造者 ID

IDCODE レジスタの LSB は、IEEE 規格 1149.1 で定義されているように常に 1 です。

表 9 : Platform Flash PROM の IDCODE

デバイス	IDCODE ⁽¹⁾ (16 進数)
XCF01S	<v>5044093
XCF02S	<v>5045093
XCF04S	<v>5046093
XCF08P	<v>5057093
XCF16P	<v>5058093
XCF32P	<v>5059093

メモ :

1. IDCODE の <v> はデバイスのリビジョンコード (16 進数) であり、さまざまです。

Platform Flash PROM TAP の特性

Platform Flash PROM ファミリでは、インシステム プログラムおよび IEEE 1149.1 バウンダリ スキャン (JTAG) テストの両方を、4 ワイヤのテスト アクセス ポート (TAP) を使用して実行します。これによりシステム設計が簡略化され、標準の自動テスト装置で両方の操作を実行することが可能になります。Platform Flash PROM TAP の AC 特性を次に説明します。

USERCODE レジスタ

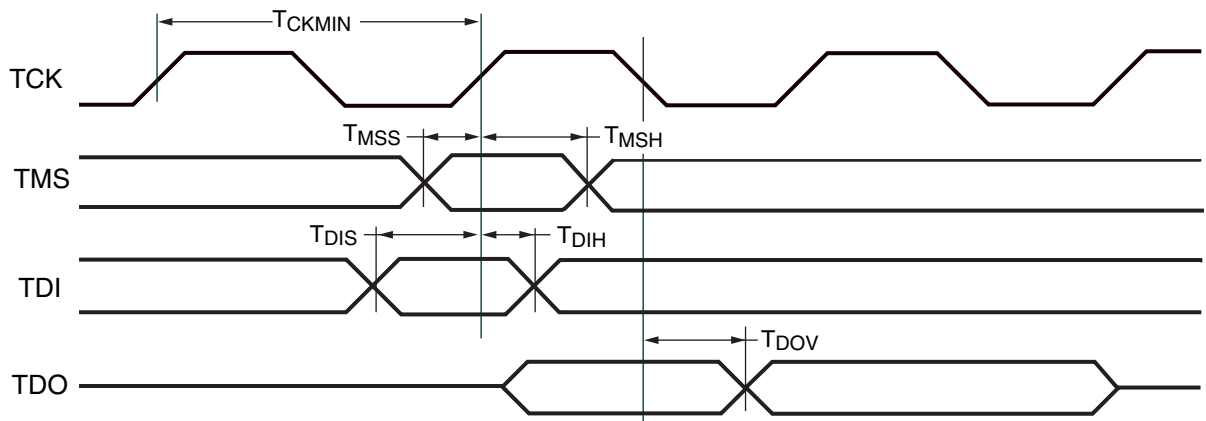
プログラム可能な 32 ビットのスクラッチ パッドは、通常デバイスにプログラムされた内容を示すために使用されます。USERCODE 命令を使用すると、この識別コードをシフト出力して読み取ることができます。このコードは、Platform Flash PROM をプログラムする際に USERCODE レジスタに読み込まれます。デバイスが空の場合やコードがプログラム中に書き込まれない場合は、USERCODE レジスタの値は FFFFFFFFh となります。

カスタム コード レジスタ

XCFxxP PROM では、USERCODE とは別に、デザイン リビジョンを示す 32 バイトのカスタム コードを指定できます。カスタム コードは、通常デザイン リビジョンに関する情報を示すために使用され、プログラム中に設定されます。このカスタム コードを読み出すには、JTAG のプライベート命令が必要です。PROM が空の場合、デザイン リビジョンのカスタム コードがプログラム中に書き込まれなかった場合、デザイン リビジョンが消去された場合は、カスタム コードはすべて 1 になります。

TAP タイミング

図 4 に、TAP 信号のタイミングを示します。この TAP タイミングは、バウンダリ スキャンおよび ISP の両方で同一です。



DS026_04_020300

図 4 : TAP のタイミング

TAP の AC パラメータ

表 10 に、図 4 で示した TAP 波形のタイミング パラメータを示します。

表 10: TAP のタイミング パラメータ

表記	パラメータ	最小	最大	単位
T_{CKMIN}	$V_{CCJ} = 2.5V$ または $3.3V$ の場合の TCK の最小クロック周期	67	-	ns
T_{MSS}	$V_{CCJ} = 2.5V$ または $3.3V$ の場合の TMS のセットアップ タイム	8	-	ns
T_{MSH}	$V_{CCJ} = 2.5V$ または $3.3V$ の場合の TMS のホールド タイム	25	-	ns
T_{DIS}	$V_{CCJ} = 2.5V$ または $3.3V$ の場合の TDI のセットアップ タイム	8	-	ns
T_{DIH}	$V_{CCJ} = 2.5V$ または $3.3V$ の場合の TDI のホールド タイム	25	-	ns
T_{DOV}	$V_{CCJ} = 2.5V$ または $3.3V$ の場合の TDO の有効遅延	-	22	ns

XCFxxP の追加機能

内部オシレータ

XCFxxP PROM には、FPGA コンフィギュレーション インターフェイスの CLKOUT ピンおよび DATA ピンを駆動するために使用できる内部オシレータが含まれています。この内部オシレータは PROM をプログラムする際にイネーブルにでき、デフォルトの周波数またはそれ以下の周波数に設定できます (37 ページの「XCFxxP PROM をコンフィギュレーション マスタとして使用する場合 (クロック ソースはオシレータ)」を参照)。

CLKOUT

XCFxxP PROM には、CLKOUT 信号をイネーブルにするオプションがあり、これによりコンフィギュレーション インターフェイスのデータに揃えられたソース同期クロックを提供できます。この CLKOUT 信号は、CLK 入力ピンまたは内部オシレータのいずれかをソースとします。内部クロック ソースは、PROM のプログラム シーケンスで選択します。出力データは、CLKOUT の立ち上がりエッジで有効になります。

CLKOUT 信号はプログラム中にイネーブルに設定され、 \overline{CE} が Low、 $OE/RESET$ が High の場合にアクティブになります。 \overline{CE} が Low から High に遷移するときに $OE/RESET$ が High で PROM のターミナル カウントに達していない場合、CLKOUT はさらに 8 クロック サイクル間アクティブに保持された後ディスエーブルになります。 $OE/RESET$ が High から Low に遷移すると、CLKOUT はすぐにディスエーブルになります。CLKOUT 信号をディスエーブルにすると、CLKOUT ピンはハイ インピーダンスになるので、既知のステートにするため外部から High にプルアップする必要があります。

カスケード接続した Platform Flash PROM で CLKOUT をイネーブルにすると、データ転送が完了した後に最初の PROM の CLKOUT がディスエーブルになり、 \overline{CEO} ピンが駆動されて、次の PROM がイネーブルになります。次の PROM がイネーブルになると、その PROM の CLKOUT 信号が駆動され、データを転送できるようになります。

圧縮を使用しない高速パラレル コンフィギュレーションでは、コンフィギュレーション インターフェイス上の BUSY 信号が駆動されます。BUSY が High になると、PROM の内部アドレス カウンタが停止し、データ出力の現在の値が保持されます。BUSY が High の間は、PROM は CLKOUT 信号を FPGA に送信し続け、FPGA のコンフィギュレーション ロジックにクロックを供給します。BUSY が Low になると、追加のコンフィギュレーション データを受信する準備ができたということになるので、コンフィギュレーション インターフェイスに新しいデータが送信されます。

解凍

XCFxxP PROM には、ザイリンクスの圧縮技術に対応したデータ解凍機能が組み込まれています。Platform Flash PROM の圧縮ファイルは、iMPACT を使用して FPGA ビットストリームから生成します。圧縮ビットストリームでプログラムされた XCFxxP PROM を使用する場合、FPGA のコンフィギュレーションにはスレーブ シリアル モードおよびスレーブ SelectMAP (パラレル) モードのみがサポートされます。圧縮率は、ターゲット デバイス ファミリ、デザインの内容などの要素により異なります。

解凍オプションは、PROM のプログラム シーケンスでイネーブルにします。PROM から FPGA のコンフィギュレーション インターフェイスにクロックとデータを送信する前に、データが解凍されます。解凍機能をイネーブルにした場合は、PROM のクロック出力ピン (CLKOUT) をコンフィギュレーション インターフェイスのクロック信号として使用し、FPGA のコンフィギュレーション クロック入力ピン (CCLK) に接続する必要があります。CLKOUT のソースとしては、PROM の CLK 入力ピンまたは内部オシレータのいずれかを使用できます。PROM に接続された FPGA は、コンフィギュレーション チェーンのスレーブにし、コンフィギュレーション モードをスレーブ シリアル モードまたはスレーブ SelectMap (パラレル) モードに設定します。

解凍機能がイネーブルの場合、CLKOUT 信号は最高周波数が低く設定された制御クロックとなります。解凍されたデータが送信可能になるまで CLKOUT ピンはハイ インピーダンスになるので、外部から High にプルアップして既知のステートにする必要があります。

解凍機能をイネーブルにすると、BUSY 入力は自動的にディスエーブルになります。

設定の詳細は、『[Platform Flash PROM User Guide](#)』の「Decompression Setups」セクションを参照してください。

デザイン リビジョン機能

デザイン リビジョン機能を使用すると、1 つの PROM またはカスケード接続された複数の PROM に 4 つまでの異なるデザイン リビジョンを保存できます。この機能は、8、16、32Mb の XCFxxP PROM で、シリアル モードおよびパラレル モードの両方でサポートされています。デザイン リビジョン機能は圧縮 PROM ファイルでも使用でき、CLKOUT をイネーブルにした場合でも使用できます。PROM プログラム ファイルおよびリビジョン情報ファイル (.cfi) は、iMPACT を使用して作成します。iMPACT でデザイン リビジョンをプログラムするには、CFI ファイルが必要です。

1 つのデザイン リビジョンは、1 ~ n 個の 8Mb メモリ ブロックに保存されます。1 つのデザイン リビジョンが 8Mb 未満の場合は、残りの部分には 1 が挿入されます。サイズの大きいデザイン リビジョンでは複数の 8Mb メモリ ブロックが使用され、最後のメモリ ブロックの余った部分には 1 が挿入されます。

- 1 つの 32Mb PROM には 4 つの 8Mb メモリ ブロックがあり、最大で 4 つまでのデザイン リビジョンを保存できます。たとえば、32Mb のデザイン リビジョンを 1 つ、16Mb のデザイン リビジョンを 2 つ、8Mb のデザイン リビジョンを 3 つまたは 4 つなどのように保存できます。
- 1 つのリビジョンを保存するのに最低 8Mb 必要なので、16Mb PROM に保存できるデザイン リビジョンは 2 つまでです。16Mb のデザイン リビジョンを 1 つ、8Mb のデザイン リビジョンを 1 つまたは 2 つのように保存できます。
- 8Mb PROM には、8Mb のデザイン リビジョンを 1 つしか保存できません。

サイズの大きいデザイン リビジョンは、カスケード接続した複数の PROM に分配して保存できます。たとえば、32Mb PROM を 2 つカスケード接続すると、64Mb のデザイン リビジョンを 1 つ、32Mb のデザイン リビジョンを 2 つ、16Mb のデザイン リビジョンを 3 つまたは 4 つなどのように保存できます。16Mb PROM と 8Mb PROM をカスケード接続すると、メモリ容量は 24Mb になるので、24Mb のデザイン リビジョンを 1 つ、8Mb のデザイン リビジョンを 2 つまたは 3 つ保存できます。

複数のリビジョンの保存例を、[図 5](#) に示します。デザイン リビジョンの分配は、iMPACT でファイル生成時に自動的に行われます。

PROM ファイルが作成される際、各デザイン リビジョンにリビジョン番号が割り当てられます。

```
リビジョン 0 = '00'
リビジョン 1 = '01'
リビジョン 2 = '10'
リビジョン 3 = '11'
```

Platform Flash PROM に複数のデザイン リビジョンをプログラムしたら、外部 REV_SEL[1:0] ピンまたは内部デザイン リビジョン 制御ビットを使用して、特定のデザイン リビジョンを選択します。デザイン リビジョンの選択に外部ピンを使用するか内部ピンを使用するかは、EN_EXT_SEL ピンで指定します。EN_EXT_SEL が Low の場合は外部リビジョン セレクト ピン REV_SEL[1:0] で選択され、High の場合は内部リビジョン セレクト 制御ビットで選択されます。電源投入時に、デザイン リビジョン 選択入力 (外部ピンまたは制御ビット) が読み取られます。電源投入後は、デザイン リビジョンの選択は次のイベントで読み取られます。

- \overline{CE} の立ち上がりエッジ
 - OE/RESET の立ち下がりエッジ (\overline{CE} が Low の場合)
 - \overline{CF} の立ち上がりエッジ (\overline{CE} が Low の場合)
 - JTAG CONFIG 命令によるリコンフィギュレーションの開始
- その後、選択されたデザイン リビジョンのデータが FPGA コンフィギュレーション インターフェイスに送信されます。

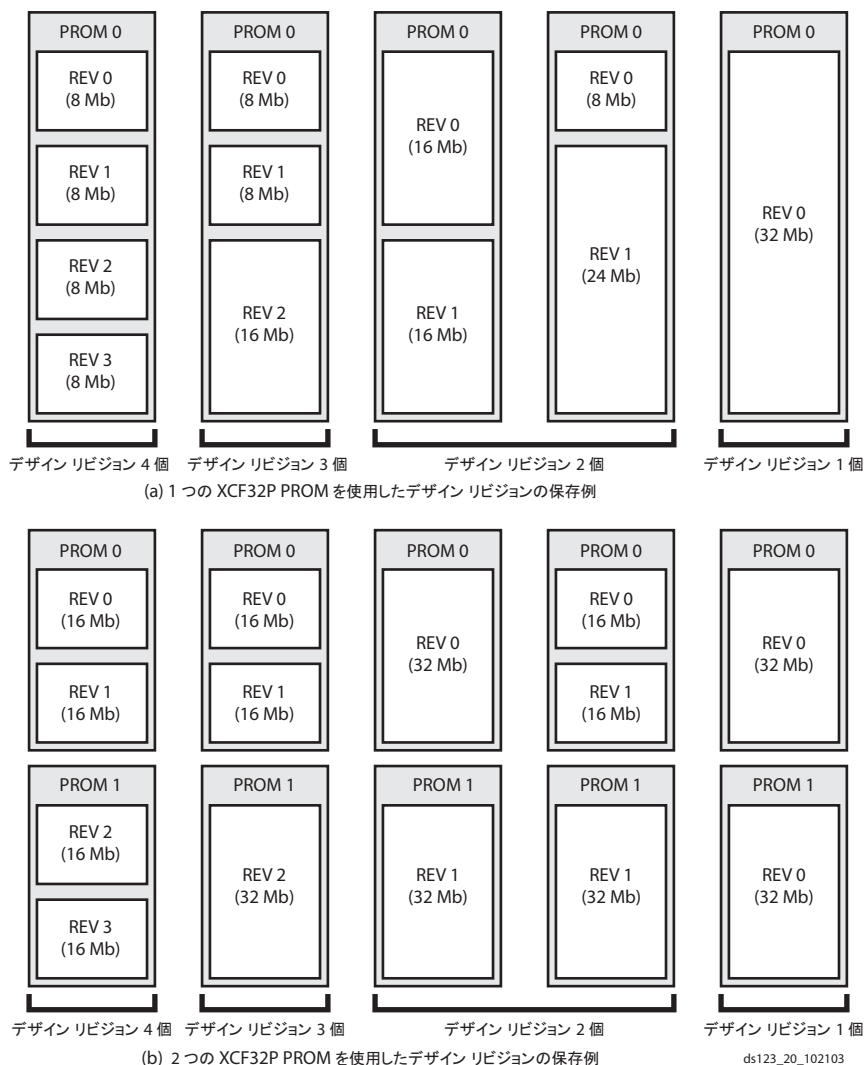


図 5： デザイン リビジョンの保存例

PROM による FPGA コンフィギュレーションのモードと接続

FPGA の I/O、論理関数、内部接続は、FPGA のビットストリームに含まれるコンフィギュレーション データにより構築されます。ビットストリームは、FPGA のモード ピンの状態によって、電源投入時に自動的に FPGA に書き込まれるか、コマンドを使用して書き込みます。ザイリンクス Platform Flash PROM は、直接 FPGA コンフィギュレーション インターフェイスにダウンロードします。サポートされているコンフィギュレーション モードは、XCFxxS ではマスタ シリアルとスレーブ シリアル、XCFxxP ではマスタ シリアル、スレーブ シリアル、マスタ SelectMAP、スレーブ SelectMAP です。次に、サポートされる FPGA コンフィギュレーション モードの概要を説明します。各 FPGA デバイスでサポートされているコンフィギュレーション モードなど、デバイス コンフィギュレーションの詳細は、各 FPGA のデータシートを参照してください。

マスタ シリアル モード

マスタ シリアル モードでは、FPGA で生成されたコンフィギュレーション クロック (CCLK) に同期して、外部メモリからビット シリアル形式のコンフィギュレーション ビットストリームが自動的に FPGA に書き込まれます。モードは、電源投入時または再コンフィギュレーション時に、モード選択ピンを使用して選択します。マスタ シリアル モードでは、単純なコンフィギュレーション インターフェイスが使用されます。FPGA のコンフィギュレーションに必要なのは、シリアル データ ライン、クロック ライン、2つの制御ライン (INIT および DONE) のみです。PROM からのデータは、CCLK の各立ち上がりエッジでインクリメントする PROM の内部アドレス カウンタを使用してアクセスされ、1 つのデータ ライン (DIN) で順次読み出されます。シリアル ビットストリーム データは、FPGA の内部で生成された CCLK 信号の各立ち上がりエッジの少し前に、FPGA の DIN 入力ピンでセットアップされている必要があります。

通常、FPGA 内部で生成される CCLK の周波数は広い範囲から選択でき、常にデフォルトの低周波数から開始します。FPGA のビットストリームのコンフィギュレーション ビットにより、マスタ シリアル コンフィギュレーション シーケンスの残りの部分に対して、CCLK を高い周波数に切り替えることができます。CCLK の周波数は、ビットストリーム生成時に選択します。

マスタ シリアル コンフィギュレーション モードにおける FPGA デバイスと PROM の接続は、次のとおりです (17 ページの図 6)。

- PROM の DATA 出力を最初の FPGA デバイスの DIN 入力に接続します。
- マスタ FPGA の CCLK 出力を PROM の CLK 入力に接続します。
- PROM の $\overline{\text{CEO}}$ 出力をデジタイズ チェーンの次の PROM (ある場合) の $\overline{\text{CE}}$ 入力に接続します。
- すべての PROM の $\text{OE}/\overline{\text{RESET}}$ ピンをすべての FPGA デバイスの INIT_B (または INIT) ピンに接続します。この接続により、コンフィギュレーションの開始前に PROM のアドレス カウンタが必ずリセットされます。

- PROM の $\overline{\text{CE}}$ 入力を DONE ピンで駆動します。最初 (または唯一) の PROM の $\overline{\text{CE}}$ 入力は、DONE がグランドに接続されていない場合は、すべての FPGA デバイスの DONE 出力で駆動できます。 $\overline{\text{CE}}$ を Low に固定することもできますが、このようにすると DATA 出力が常にアクティブになり、不要な I_{CC} アクティブ電源電流が発生する原因となります (30 ページの「動作条件での DC 特性」)。
- PROM の $\overline{\text{CF}}$ ピンは、通常 FPGA の PROG_B (または PROGRAM) 入力に接続します。XCFxxP では、 $\overline{\text{CF}}$ ピンは双方向ピンです。XCFxxP の $\overline{\text{CF}}$ ピンを FPGA の PROG_B (または PROGRAM) 入力に接続しない場合は、High に固定する必要があります。

スレーブ シリアル モード

スレーブ シリアル モードでは、外部クロックに同期して、外部メモリからビット シリアル形式のコンフィギュレーション ビットストリームが FPGA に書き込まれます。モードは、電源投入時または再コンフィギュレーション時に、モード選択ピンを使用して選択します。スレーブ シリアル モードでは、単純なコンフィギュレーション インターフェイスが使用されます。FPGA のコンフィギュレーションに必要なのは、シリアル データ ライン、クロック ライン、2つの制御ライン (INIT および DONE) のみです。PROM からのデータは、CCLK の各立ち上がりエッジでインクリメントする PROM の内部アドレス カウンタを使用してアクセスされ、1 つのデータ ライン (DIN) で順次読み出されます。シリアル ビットストリーム データは、外部 CCLK 信号の各立ち上がりエッジの少し前に、FPGA の DIN 入力ピンでセットアップされている必要があります。

スレーブ シリアル コンフィギュレーション モードにおける FPGA デバイスと PROM の接続は、次のとおりです (18 ページの図 7)。

- PROM の DATA 出力を最初の FPGA デバイスの DIN 入力に接続します。
- PROM の CLKOUT (XCFxxP のみ) または外部クロックソースを FPGA の CCLK 入力に接続します。
- PROM の $\overline{\text{CEO}}$ 出力をデジタイズ チェーンの次の PROM (ある場合) の $\overline{\text{CE}}$ 入力に接続します。
- すべての PROM の $\text{OE}/\overline{\text{RESET}}$ ピンをすべての FPGA デバイスの INIT_B (または INIT) ピンに接続します。この接続により、コンフィギュレーションの開始前に PROM のアドレス カウンタが必ずリセットされます。
- PROM の $\overline{\text{CE}}$ 入力を DONE ピンで駆動します。最初 (または唯一) の PROM の $\overline{\text{CE}}$ 入力は、DONE がグランドに接続されていない場合は、すべての FPGA デバイスの DONE 出力で駆動できます。 $\overline{\text{CE}}$ を Low に固定することもできますが、このようにすると DATA 出力が常にアクティブになり、不要な I_{CC} アクティブ電源電流が発生する原因となります (30 ページの「動作条件での DC 特性」)。

- PROM の $\overline{\text{CF}}$ ピンは、通常 FPGA の PROG_B (または $\overline{\text{PROGRAM}}$) 入力に接続します。XCFxxP では、 $\overline{\text{CF}}$ ピンは双方向ピンです。XCFxxP の $\overline{\text{CF}}$ ピンを FPGA の PROG_B (または $\overline{\text{PROGRAM}}$) 入力に接続しない場合は、High に固定する必要があります。

シリアル デイジー チェーン

複数の FPGA をデイジー チェーン接続して、1つのソースからシリアルでコンフィギュレーションできます。1つの FPGA のコンフィギュレーションが終了すると、次のデバイスのデータが FPGA の DOUT ピンに送信されます。通常 DOUT ピン上のデータは CCLK の立ち上がりエッジで変化しますが、CCLK の立ち上がりエッジで変化するデバイスもあります。特定の FPGA デバイスでの詳細は、そのデバイスのデータシートを参照してください。デイジー チェーン接続したデバイスのコンフィギュレーションでは、最初の FPGA をマスタシリアルとして CCLK を生成させ、その他のデバイスをスレーブシリアルに設定するか (19 ページの図 8)、すべてのデバイスをスレーブシリアルに設定して、FPGA のコンフィギュレーション インターフェイスに外部クロックを供給します (18 ページの図 7 または 23 ページの図 12)。

マスタ SelectMAP (パラレル) モード (XCFxxP PROM のみ)

マスタ SelectMAP モードでは、FPGA で生成されたコンフィギュレーションクロック (CCLK) に同期してバイト幅のデータが FPGA に書き込まれ、BUSY フラグでデータのフローが制御されます。モードは、電源投入時または再コンフィギュレーション時に、モード選択ピンを使用して選択します。コンフィギュレーション インターフェイスには、通常パラレルデータバス、クロックライン、2つの制御ライン (INIT および DONE) が必要です。また、SelectMAP コンフィギュレーションが正常に行われるようにするため、FPGA のチップセレクトピン、ライトピン、および BUSY ピンを正しく制御または監視する必要があります。コンフィギュレーションデータは、CCLK の各立ち上がりエッジでインクリメントする PROM の内部アドレスカウンタを使用してアクセスされ、PROM の [D0..D7] ピンからバイトごとに読み出されます。ビットストリームデータは、FPGA の内部で生成された CCLK 信号の各立ち上がりエッジの少し前に、FPGA の [D0..D7] 入力ピンでセットアップされている必要があります。FPGA により BUSY が High にアサートされた場合、BUSY が Low になるまでコンフィギュレーションデータを待機させる必要があります。SelectMAP コンフィギュレーションをイネーブルにするため、FPGA のアクティブ Low のチップセレクトピン ($\overline{\text{CS}}$ または CS_B) およびアクティブ Low のライトピン ($\overline{\text{WRITE}}$ または RDWR_B) をグラウンドに固定する必要があります。

マスタ SelectMAP のコンフィギュレーション インターフェイスには、FPGA の内部オシレータによりクロックを供給します。通常、FPGA 内部で生成される CCLK の周波数は広い範囲から選択でき、常にデフォルトの低周波数から開始します。FPGA のビットストリームのコンフィギュレーションビットにより、マスタ SelectMAP コンフィギュレーションシーケンスの残りの部分に対して、CCLK を高い周波数に切り替えることができます。CCLK の周波数は、ビットストリーム生成時に選択します。

コンフィギュレーションの終了後は、SelectMAP ポートのピンをユーザー I/O として使用するか、Persist オプションを使用してコンフィギュレーションピンとして保持できます。

マスタ SelectMAP (パラレル) コンフィギュレーションモードにおける FPGA デバイスと PROM の接続は、次のとおりです (20 ページの図 9)。

- PROM の DATA 出力を最初の FPGA デバイスの [D0..D7] 入力に接続します。
- マスタ FPGA の CCLK 出力を PROM の CLK 入力に接続します。
- PROM の $\overline{\text{CEO}}$ 出力をデイジーチェーンの次の PROM (ある場合) の $\overline{\text{CE}}$ 入力に接続します。
- すべての PROM の $\overline{\text{OE/RESET}}$ ピンをすべての FPGA デバイスの INIT_B ピンに接続します。この接続により、コンフィギュレーションの開始前に PROM のアドレスカウンタが必ずリセットされます。
- PROM の $\overline{\text{CE}}$ 入力を DONE ピンで駆動します。最初 (または唯一) の PROM の $\overline{\text{CE}}$ 入力は、DONE がグラウンドに接続されていない場合は、すべての FPGA デバイスの DONE 出力で駆動できます。 $\overline{\text{CE}}$ を Low に固定することもできますが、このようにすると DATA 出力が常にアクティブになり、不要な I_{CC} アクティブ電源電流が発生する原因となります (30 ページの「動作条件での DC 特性」)。
- 高周波数のパラレルコンフィギュレーションでは、すべての PROM の BUSY ピンを FPGA の BUSY 出力に接続します (FPGA に BUSY ピンがあり、BUSY ピンを使用する必要があります)。この接続により、FPGA が次のコンフィギュレーションデータバイトを受信する準備ができるまで、PROM の次のデータは転送されません。FPGA の BUSY ピンに関する要件は、使用する FPGA のデータシートまたはコンフィギュレーションユーザーガイドを参照してください。
- PROM の $\overline{\text{CF}}$ ピンは、通常 FPGA の PROG_B (または $\overline{\text{PROGRAM}}$) 入力に接続します。XCFxxP では、 $\overline{\text{CF}}$ ピンは双方向ピンです。XCFxxP の $\overline{\text{CF}}$ ピンを FPGA の PROG_B (または $\overline{\text{PROGRAM}}$) 入力に接続しない場合は、High に固定する必要があります。

スレーブ SelectMAP (パラレル) モード (XCFxxP PROM のみ)

スレーブ SelectMAP モードでは、外部コンフィギュレーションクロック (CCLK) に同期してバイト幅のデータが FPGA に書き込まれ、BUSY フラグでデータのフローが制御されます。モードは、電源投入時または再コンフィギュレーション時に、モード選択ピンを使用して選択します。コンフィギュレーション インターフェイスには、通常パラレル データ バス、クロック ライン、2 つの制御ライン (INIT および DONE) が必要です。また、SelectMAP コンフィギュレーションが正常に行われるようにするため、FPGA のチップ セレクト ピン、ライト ピン、および BUSY ピンを正しく制御または監視する必要があります。コンフィギュレーション データは、CCLK の各立ち上がりエッジでインクリメントする PROM の内部アドレス カウンタを使用してアクセスされ、PROM の [D0..D7] ピンからバイトごとに読み出されます。ビットストリーム データは、CCLK の各立ち上がりエッジの少し前に、FPGA の [D0..D7] 入力ピンでセットアップされている必要があります。FPGA により BUSY が High にアサートされた場合、BUSY が Low になるまでコンフィギュレーション データを待機させる必要があります。SelectMAP コンフィギュレーションをイネーブルにするため、FPGA のアクティブ Low のチップセレクト ピン (\overline{CS} または CS_B) およびアクティブ Low のライト ピン (\overline{WRITE} または $RDWR_B$) をグラウンドに固定する必要があります。

コンフィギュレーションの終了後は、SelectMAP ポートのピンをユーザー I/O として使用するか、Persist オプションを使用してコンフィギュレーション ピンとして保持できます。

スレーブ SelectMAP (パラレル) コンフィギュレーション モードにおける FPGA デバイスと PROM の接続は、次のとおりです (21 ページの図 10)。

- PROM の DATA 出力を最初の FPGA デバイスの [D0..D7] 入力に接続します。
- PROM の CLKOUT または外部クロック ソースを FPGA の CCLK 入力に接続します。
- PROM の \overline{CEO} 出力をデジタイズ チェーンの次の PROM (ある場合) の \overline{CE} 入力に接続します。
- すべての PROM の $\overline{OE}/\overline{RESET}$ ピンをすべての FPGA デバイスの INIT_B ピンに接続します。この接続により、コンフィギュレーションの開始前に PROM のアドレス カウンタが必ずリセットされます。
- PROM の \overline{CE} 入力を DONE ピンで駆動します。最初 (または唯一) の PROM の \overline{CE} 入力は、DONE がグラウンドに接続されていない場合は、すべての FPGA デバイスの DONE 出力で駆動できます。 \overline{CE} を Low に固定することもできますが、このようにすると DATA 出力が常にアクティブになり、不要な I_{CC} アクティブ電源電流が発生する原因となります (30 ページの「動作条件での DC 特性」)。

- 高周波数のパラレル コンフィギュレーションでは、すべての PROM の BUSY ピンを FPGA の BUSY 出力に接続します (FPGA に BUSY ピンがあり、BUSY ピンを使用する必要がある場合)。この接続により、FPGA が次のコンフィギュレーション データ バイトを受信する準備ができるまで、PROM の次のデータは転送されません。FPGA の BUSY ピンに関する要件は、使用する FPGA のデータシートまたはコンフィギュレーション ユーザー ガイドを参照してください。
- PROM の \overline{CF} ピンは、通常 FPGA の PROG_B (または PROGRAM) 入力に接続します。XCFxxP では、 \overline{CF} ピンは双方向ピンです。XCFxxP の \overline{CF} ピンを FPGA の PROG_B (または PROGRAM) 入力に接続しない場合は、High に固定する必要があります。

SelectMAP (パラレル) モードでの複数の FPGA の接続 (XCFxxP PROM のみ)

SelectMAP モードでは、複数の Virtex-II FPGA をコンフィギュレーションし、同時に起動させることができます。このように複数のデバイスをコンフィギュレーションするには、すべてのデバイスの CCLK、DONE、INIT、データ ([D0..D7])、ライト (\overline{WRITE} または $RDWR_B$)、および BUSY ピンをパラレルに接続する必要があります。すべてのデバイスを 1 つのビットストリームでコンフィギュレーションし、リードバックは使用せず、BUSY 信号を必要としない CCLK の周波数を選択している場合は、 CS_B ピンを共通線に接続して、すべてのデバイスが同時にコンフィギュレーションされるようにすることができます (図 10)。

制御ロジックを追加すれば、特定のデバイスの CS_B ピンをアサートし、該当するコンフィギュレーション データをイネーブルにして、各デバイスを個別にコンフィギュレーションできます。また、SelectMAP コンフィギュレーションの各 FPGA のビットストリームを、個別のデザイン リビジョンとして PROM に保存することも可能です。デザイン リビジョン機能を使用する場合、適切なビットストリームを選択するには、制御ロジックを追加し、 $\overline{EN_EXT_SEL}$ ピンをアサートして、REV_SEL[1:0] ピンでビットストリームを選択します。ビットストリームを書き込む FPGA は、 CS_B ピンをアサートして選択します (24 ページの図 13)。

パラレル接続したデバイスのコンフィギュレーションでは、最初の FPGA をマスタ SelectMAP として CCLK を生成させ、その他のデバイスをスレーブ SelectMAP に設定するか、すべてのデバイスをスレーブ SelectMAP に設定して、FPGA のコンフィギュレーション インターフェイスに外部クロックを供給します。各 FPGA デバイスでサポートされているコンフィギュレーション モードなど、デバイス コンフィギュレーションの詳細は、各 FPGA のデータシートを参照してください。

コンフィギュレーション PROM のカスケード接続

シリアル デイジー チェーン接続した複数の FPGA、パラレル接続した複数の FPGA (SelectMAP モード)、またはサイズの大きいコンフィギュレーション ビットストリームを必要とする大容量の FPGA をコンフィギュレーションする場合は、PROM をカスケード接続してメモリ容量を増やすことができます (19 ページの図 8、22 ページの図 11、および 23 ページの図 12)。PROM をカスケード接続するには、 \overline{CEO} 出力を次の PROM の \overline{CE} 入力に接続し、すべての PROM のクロック信号およびデータ出力をパラレル接続します。最初の PROM の最後のデータが読み出されると、 \overline{CEO} 出力が Low になり、データ出力がハイインピーダンスになります。すると、2 番目の PROM の \overline{CE} 入力が高レベルになり、データ出力がイネーブルになります。

コンフィギュレーションが完了した後、PROM の $\overline{OE/RESET}$ ピンが Low または \overline{CE} が High になれば、カスケード接続されたすべての PROM のアドレスカウンタがリセットされます。

クロック出力 (CLKOUT) オプション、解凍オプション、デザインリビジョン機能などの XCFxxP のアドバンス機能を使用する場合は、カスケード接続するすべての PROM に XCFxxP を使用する必要があります。XCFxxP のアドバンス機能を使用しない場合は、XCFxxP と XCFxxS の両方の PROM を混合できます。

FPGA のコンフィギュレーションの開始

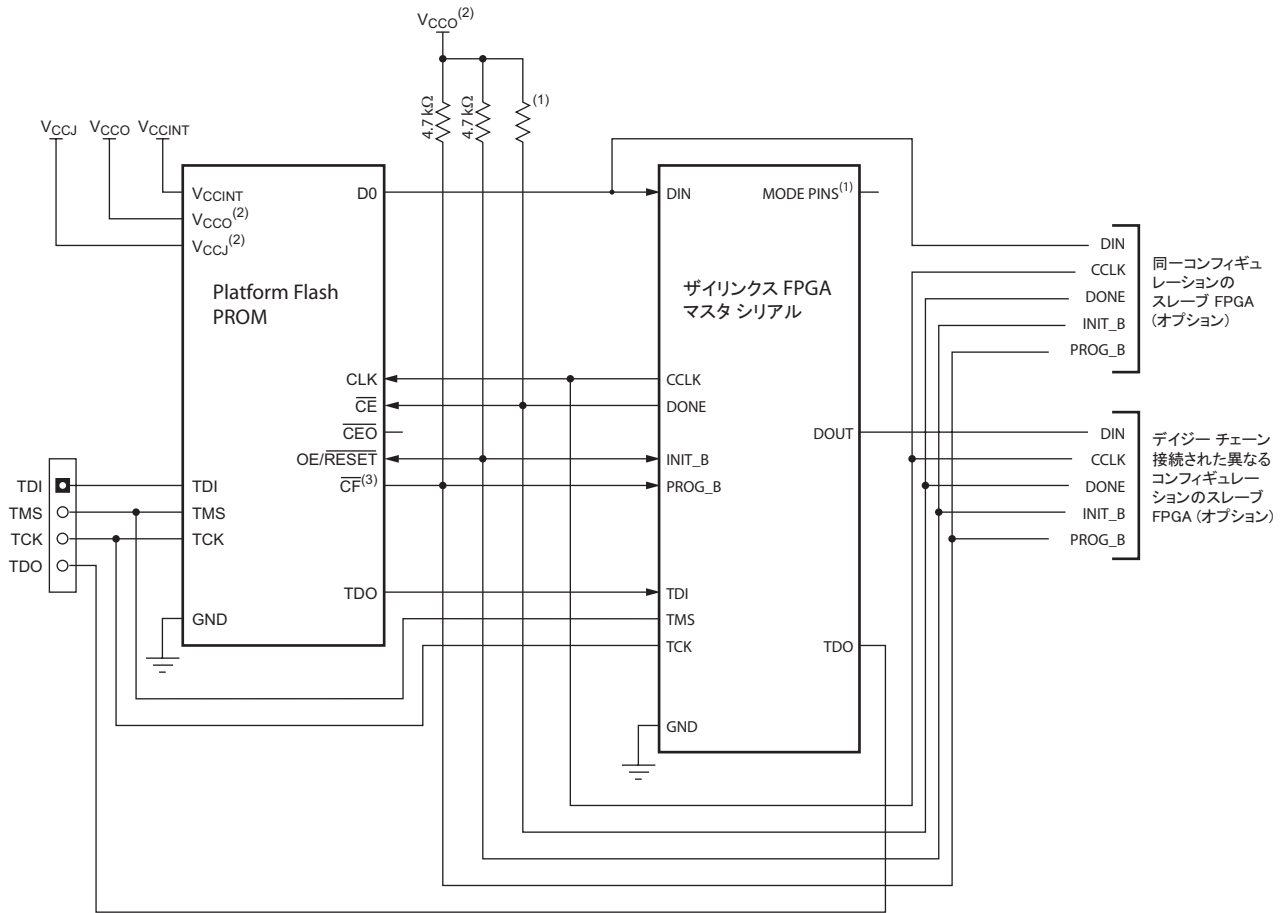
Platform Flash PROM を使用した FPGA のコンフィギュレーションを開始するには、次のような方法があります。

- 電源投入と同時に自動的にコンフィギュレーションを開始する
- 外部 PROG_B (または PROGRAM) パルスを使用する
- JTAG の CONFIG 命令を使用する

FPGA の電源投入シーケンスが終了するか、PROG_B (または PROGRAM) ピンがアサートされると、FPGA のコンフィギュレーションメモリがクリアされ、コンフィギュレーションモードが選択されて、FPGA がコンフィギュレーション可能な状態になります。FPGA の PROG_B ピンは、外部から制御するか、Platform Flash PROM の \overline{CF} ピンに接続して制御します。JTAG の CONFIG 命令を実行すると、 \overline{CF} 出力が 300 ~ 500ns の間 Low になり、FPGA がリセットされてコンフィギュレーションが開始します。iMPACT では、[Load FPGA] オプションを設定すると、JTAG の CONFIG コマンドで FPGA のコンフィギュレーションを開始できます。

デザインリビジョン機能をイネーブルにした XCFxxP を使用する場合は、FPGA がリセットされたときに正しいデザインリビジョンが選択されるようにするため、 \overline{CF} ピンを常に FPGA の PROG_B (または PROGRAM) に接続してください。 \overline{CF} の立ち上がりエッジで外部 REV_SEL ピンまたは内部リビジョンセレクトビットが読み取られます。JTAG の CONFIG コマンドを実行すると、FPGA コンフィギュレーションシーケンスが開始される前に新しいデザインリビジョンが読み取られます。XCFxxP でデザインリビジョン機能を使用しない場合、 \overline{CF} ピンを FPGA の PROG_B (または PROGRAM) ピンに接続しないのであれば、High に固定する必要があります。

PROM と FPGA デバイスの接続図

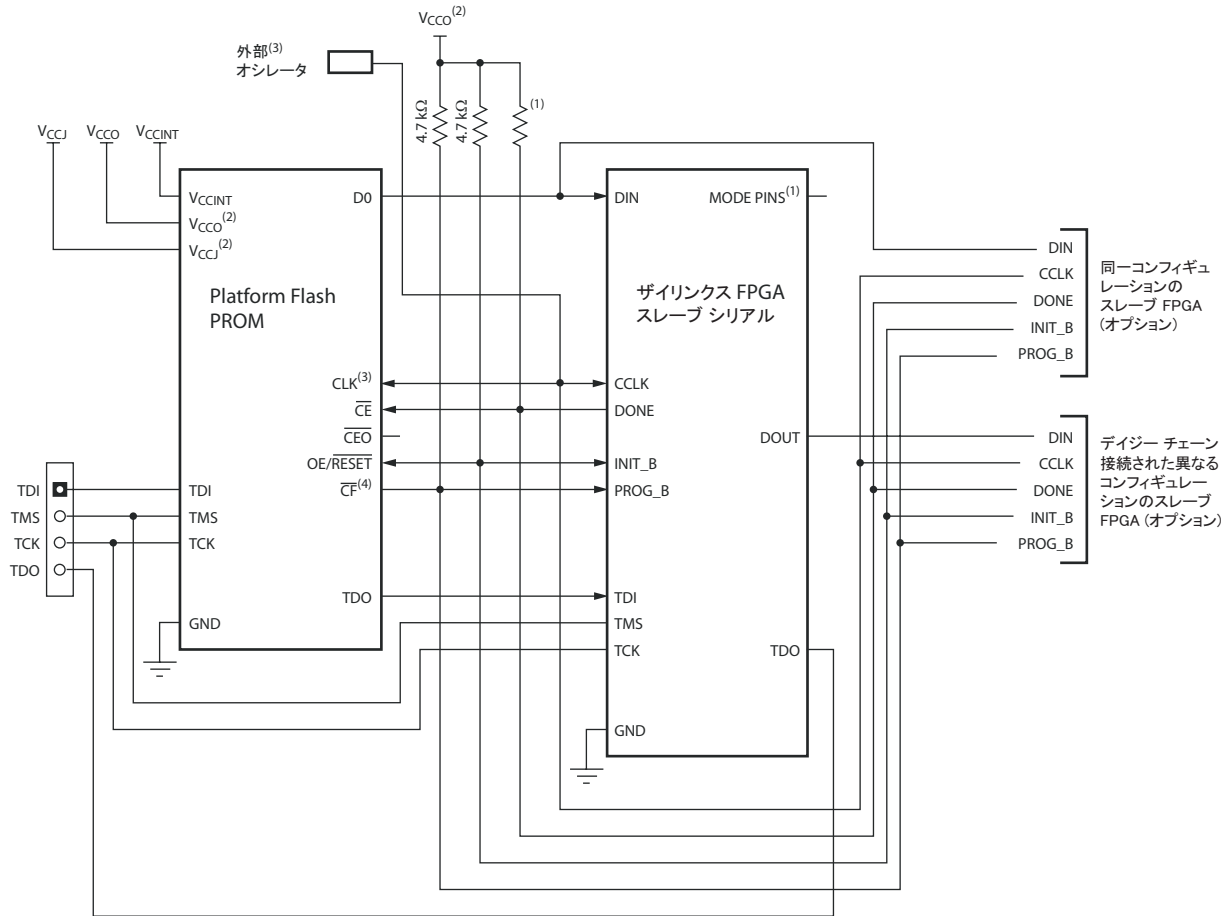


メモ:

1. モードピンの接続および DONE ピンのプルアップ値は、該当する FPGA のデータシートまたはコンフィギュレーション ユーザー ガイドを参照してください。
2. 使用可能な電圧については、データシートを参照してください。
3. CF ピンは、XCFxxS では出力ピン、XCFxxP では双方向ピンです。XCFxxP では、CF ピンが PROG_B に接続されていない場合は、4.7 kΩ のプルアップ抵抗を介して V_{CCO} に固定する必要があります。

ds123_11_111106

図 6: マスタ シリアル モードによるコンフィギュレーション

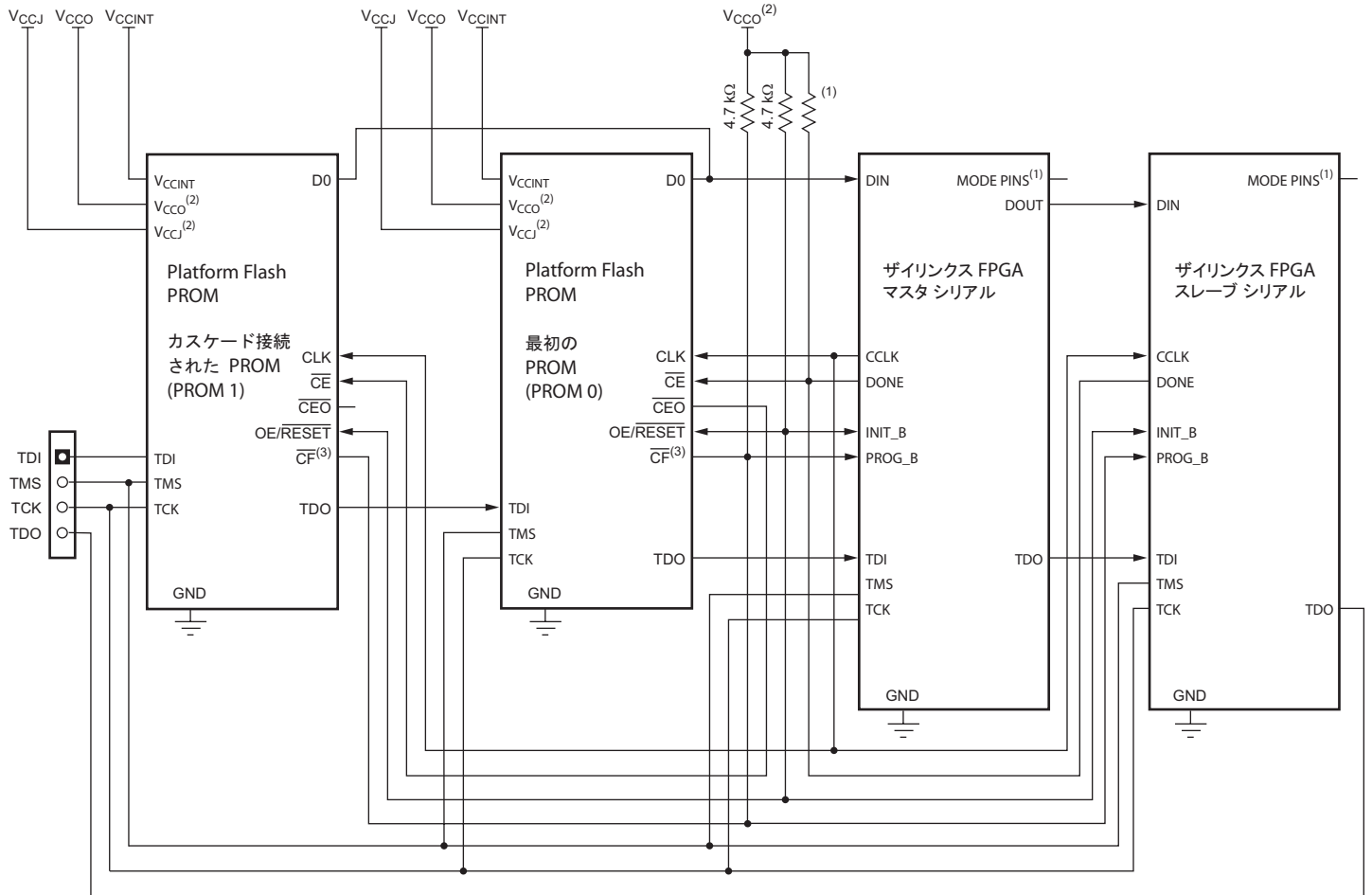


メモ:

1. モードピンの接続および DONE ピンのプルアップ値は、該当する FPGA のデータシートまたはコンフィギュレーション ユーザー ガイドを参照してください。
2. 使用可能な電圧については、データシートを参照してください。
3. スレーブ シリアル モードでは、コンフィギュレーション インターフェイスに外部オシレータからクロックを供給するか、XCFxxP PROM の場合は CLKOUT 信号を FPGA のコンフィギュレーション クロック (GCLK) として使用できます。XCFxxP PROM の CLKOUT 信号を使用する場合は、4.7kΩ の抵抗に接続して VCCO にプルアップする必要があります。
4. CF ピンは、XCFxxS では出力ピン、XCFxxP では双方向ピンです。XCFxxP では、 \overline{CF} ピンが PROG_B に接続されていない場合は、4.7kΩ のプルアップ抵抗を介して VCCO に固定する必要があります。

DS123_12_103008

図 7: スレーブ シリアル モードによるコンフィギュレーション

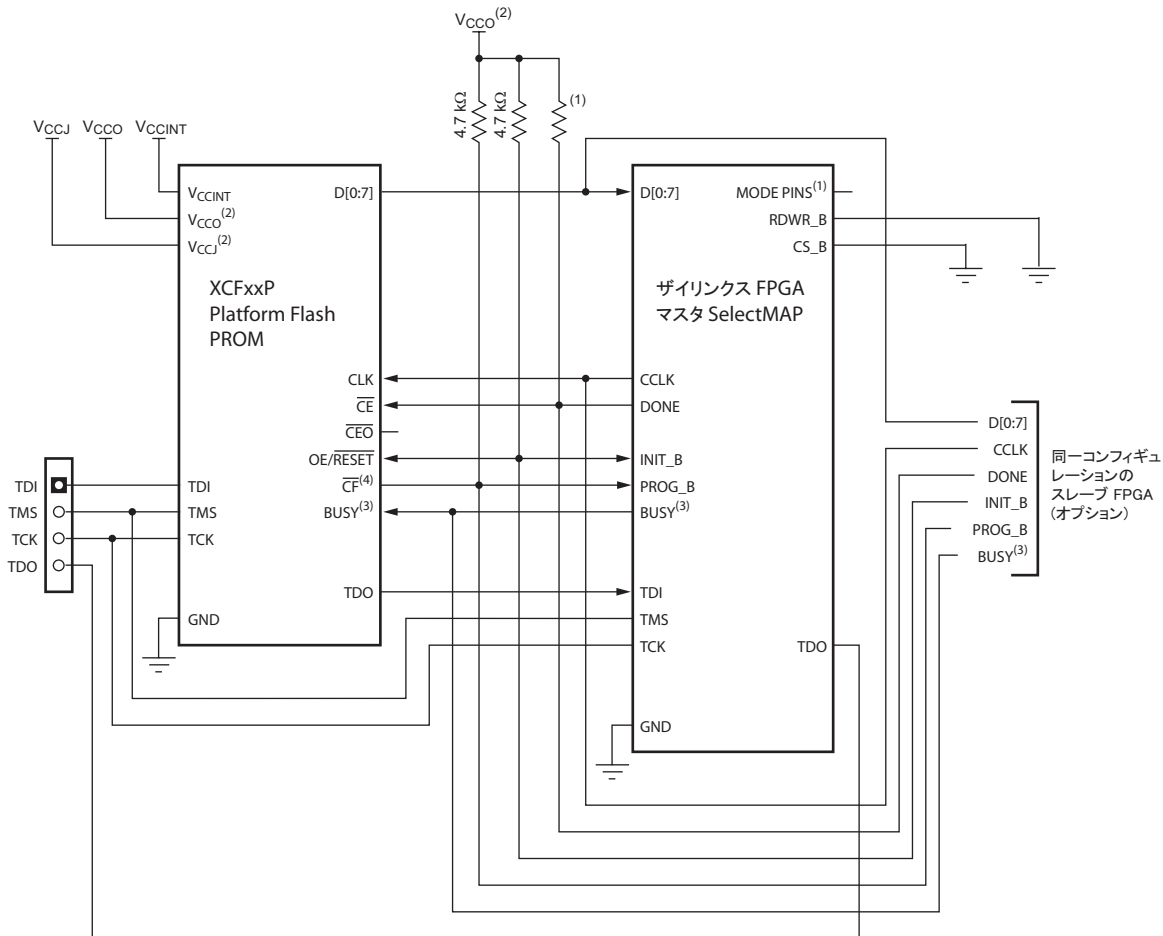


メモ:

1. モードピンの接続および DONE ピンのプルアップ値は、該当する FPGA のデータシートまたはコンフィギュレーション ユーザー ガイドを参照してください。
2. 使用可能な電圧については、データシートを参照してください。
3. CF ピンは、XCFxxS では出力ピン、XCFxxP では双方向ピンです。XCFxxP では、CF ピンが PROG_B に接続されていない場合は、4.7 kΩ のプルアップ抵抗を介して VCCO に固定する必要があります。

ds123_13_093006

図 8: マスタ/スレーブ シリアル モードによる複数のデバイスのコンフィギュレーション

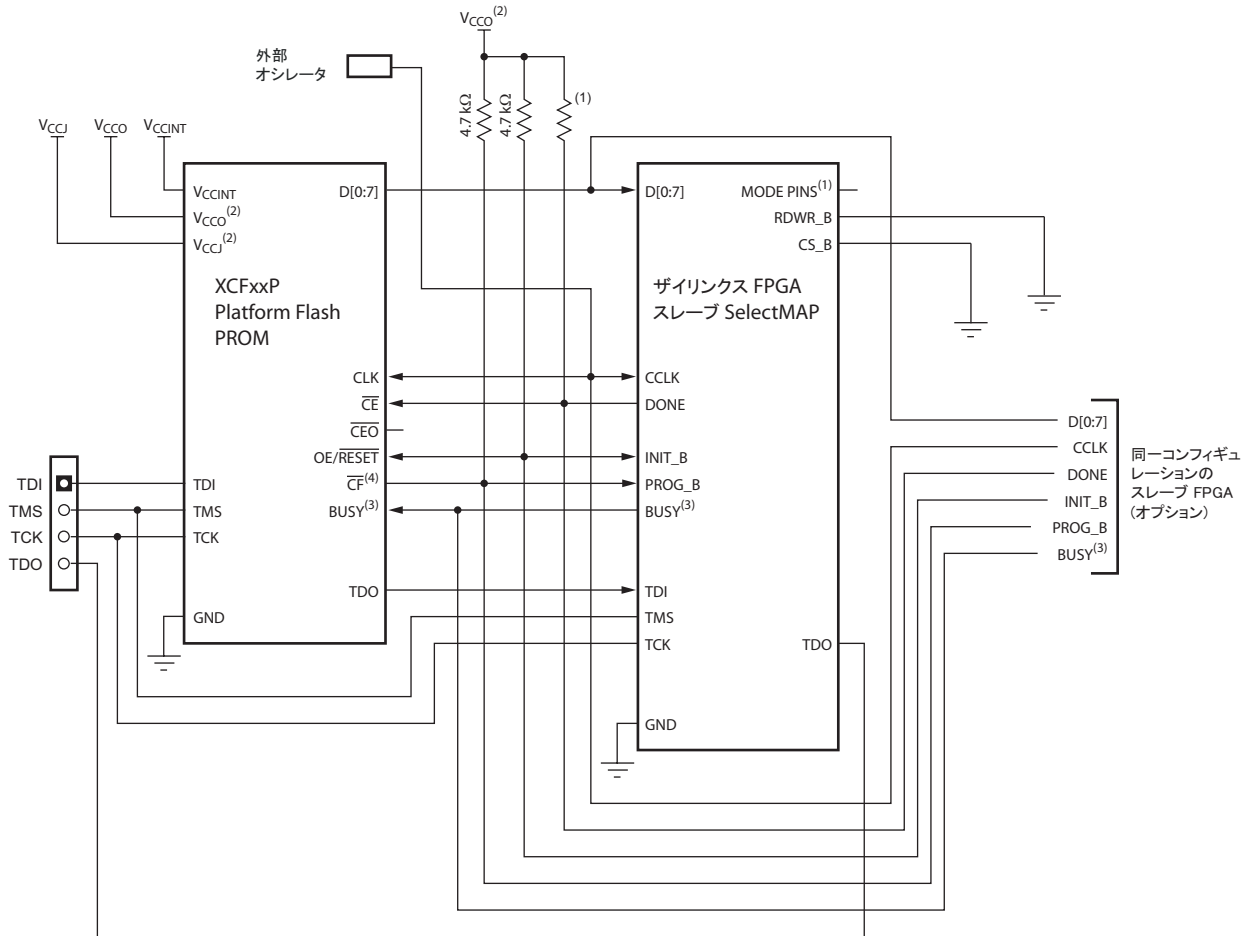


メモ:

1. モードピンの接続および DONE ピンのプルアップ値は、該当する FPGA のデータシートおよびコンフィギュレーション ユーザーガイドを参照してください。
2. 使用可能な電圧については、データシートを参照してください。
3. BUSY ピンは XCFxxP Prom でのみ使用可能で、一部の FPGA ファミリーでのみ高周波数の SelectMAP モードコンフィギュレーションで接続が必要です。FPGA に BUSY ピンがない場合、またはコンフィギュレーションで BUSY ピンを使用しない場合は、Platform Flash PROM の BUSY ピンを未接続のままにするか、グラウンドに接続します。BUSY ピンの要件は、該当する FPGA のデータシートまたはコンフィギュレーション ユーザーガイドを参照してください。
4. CF ピンは、XCFxxP では双方向ピンです。XCFxxP では、CF ピンが PROG_B に接続されていない場合は、4.7 kΩ のプルアップ抵抗を介して VCCO に固定する必要があります。

ds123_14_110707

図 9: マスタ SelectMAP モードによるコンフィギュレーション

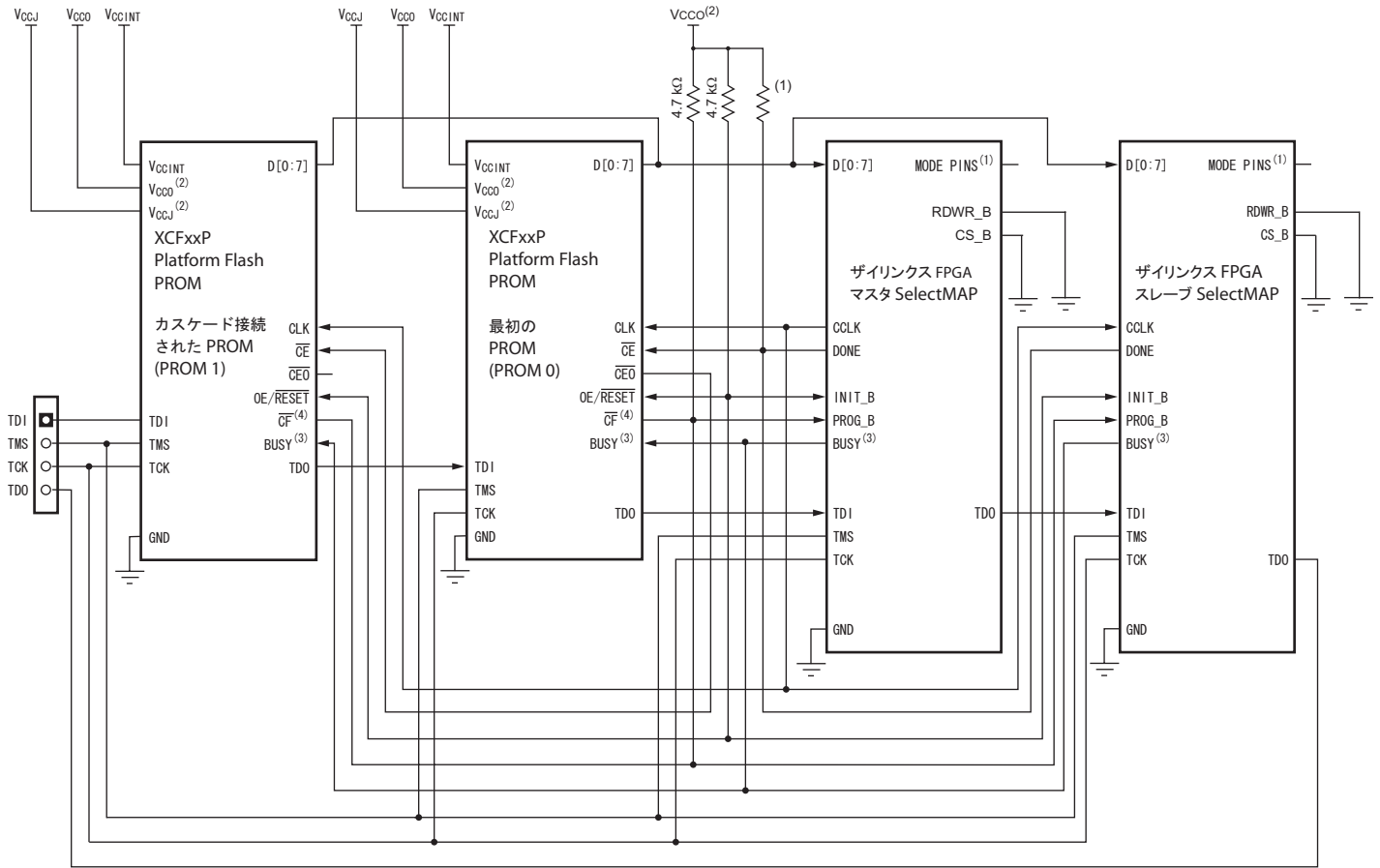


メモ :

1. モードピンの接続および DONE ピンのプルアップ値は、該当する FPGA のデータシートまたはコンフィギュレーション ユーザーガイドを参照してください。
2. 使用可能な電圧については、データシートを参照してください。
3. BUSY ピンは XCFxxP Prom でのみ使用可能で、一部の FPGA ファミリーでのみ高周波数の SelectMAP モードコンフィギュレーションで接続が必要です。FPGA に BUSY ピンがない場合、またはコンフィギュレーションで BUSY ピンを使用しない場合は、Platform Flash PROM の BUSY ピンを未接続のままにするか、グランドに接続します。BUSY ピンの要件は、該当する FPGA のデータシートまたはコンフィギュレーション ユーザーガイドを参照してください。
4. CF ピンは、XCFxxP では双方向ピンです。XCFxxP では、CF ピンが PROG_B に接続されていない場合は、4.7 kΩ のプルアップ抵抗を介して VCCO に固定する必要があります。

ds123_15_110707

図 10 : スレーブ SelectMAP モードによるコンフィギュレーション

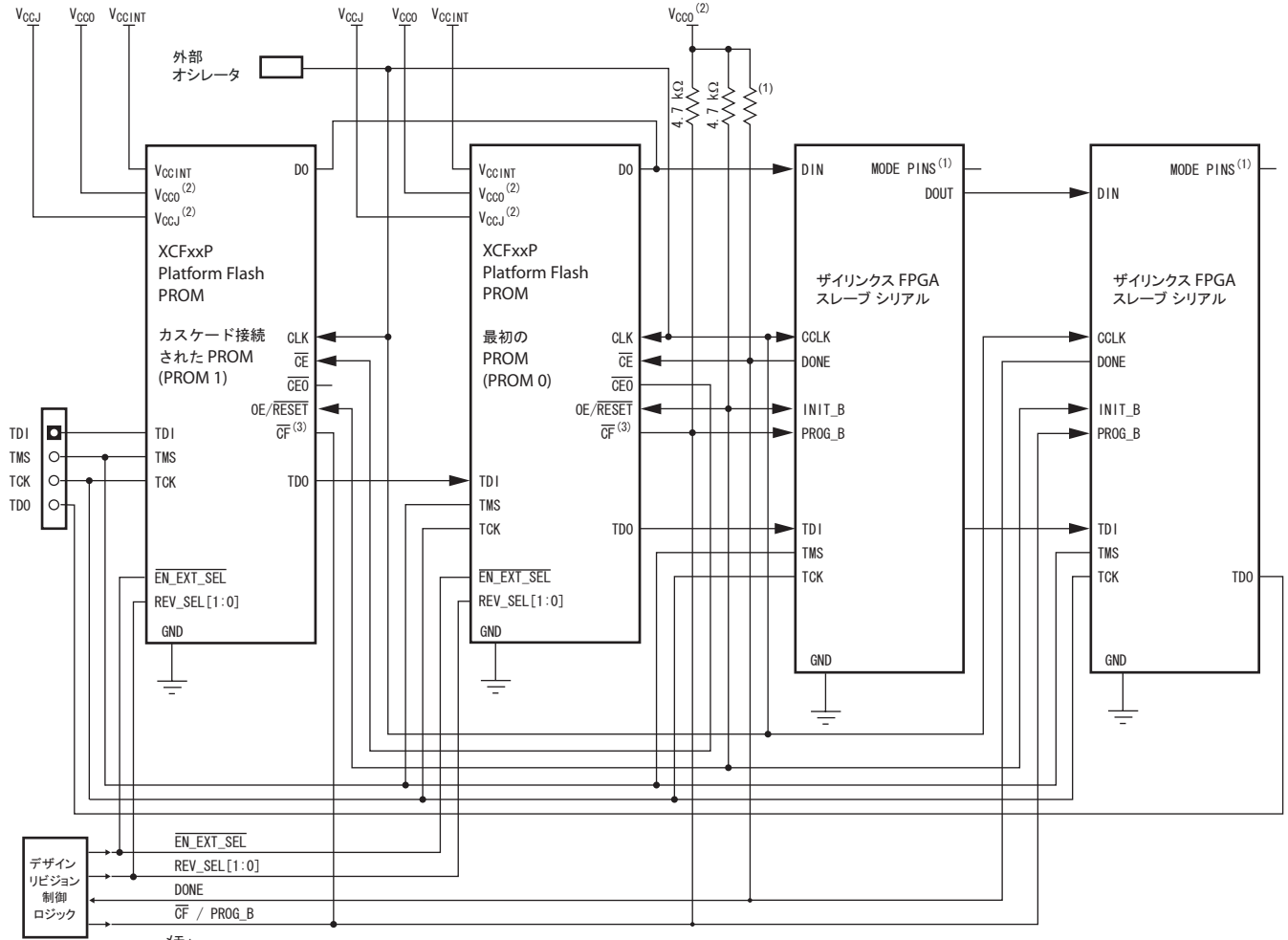


メモ :

1. モードピンの接続および DONE ピンのプルアップ値は、該当する FPGA のデータシートまたはコンフィギュレーション ユーザーガイドを参照してください。
2. 使用可能な電圧については、データシートを参照してください。
3. BUSY ピンは XCFxxP Prom でのみ使用可能で、一部の FPGA ファミリーでのみ高周波数の SelectMAP モード コンフィギュレーションで接続が必要です。FPGA に BUSY ピンがない場合、またはコンフィギュレーションで BUSY ピンを使用しない場合は、Platform Flash PROM の BUSY ピンを未接続のままにするか、グラウンドに接続します。BUSY ピンの要件は、該当する FPGA のデータシートまたはコンフィギュレーション ユーザーガイドを参照してください。
4. CF ピンは、XCFxxP では双方向ピンです。XCFxxP では、CF ピンが PROG_B に接続されていない場合は、4.7 kΩ のプルアップ抵抗を介して VccO に固定する必要があります。

DS123_16_110707

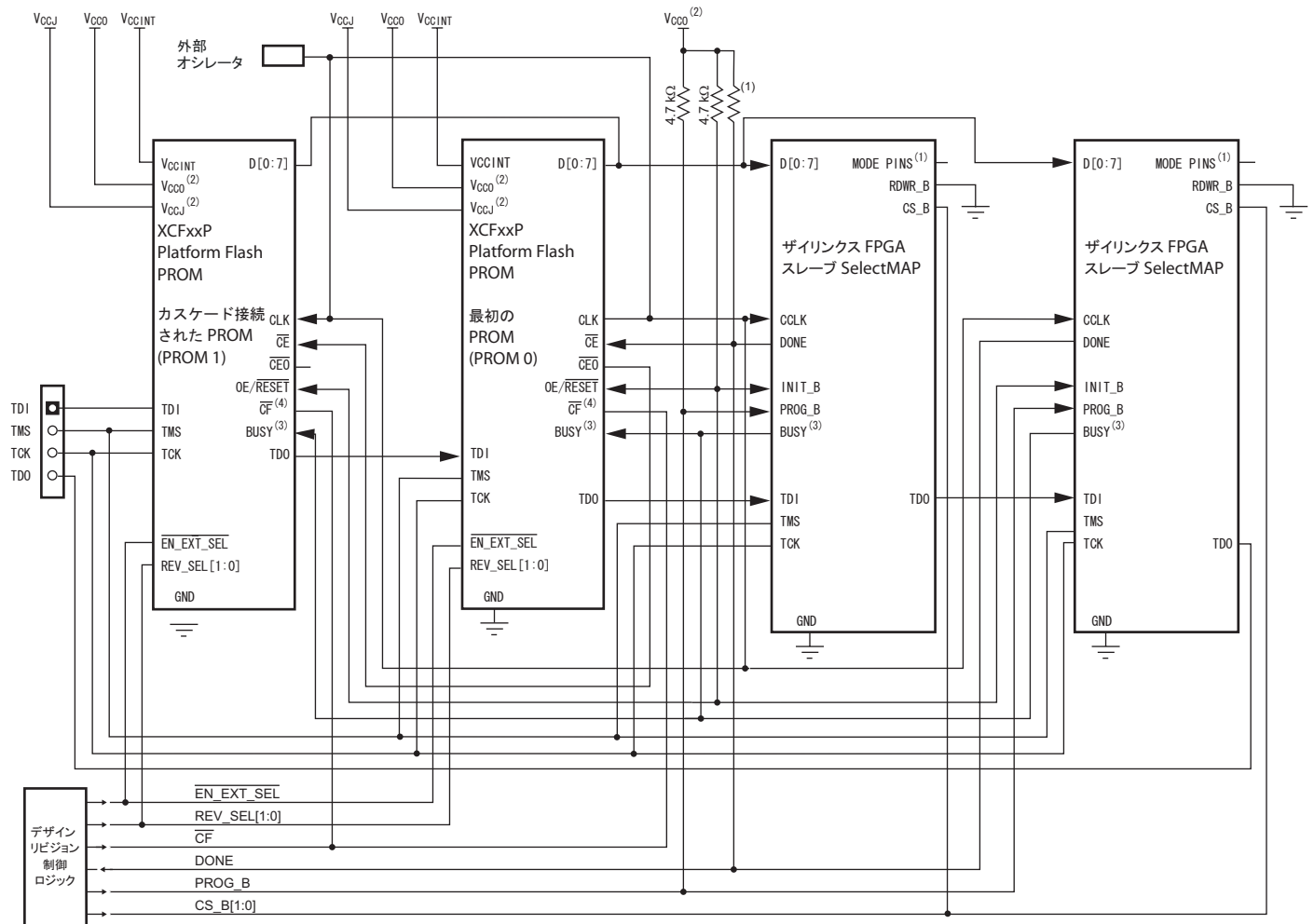
図 11 : マスタ/スレーブ SelectMAP モードによる同一パターンを使用した複数のデバイスのコンフィギュレーション



- メモ:
1. モードピンの接続および DONE ピンのプルアップ値は、該当する FPGA のデータシートまたはコンフィギュレーション ユーザーガイドを参照してください。
 2. 使用可能な電圧については、データシートを参照してください。
 3. CF ピンは、XCFxxP では双方向ピンです。XCFxxP では、CF ピンが PROG_B に接続されていない場合は、4.7 kΩ のプルアップ抵抗を介して VCCO に固定する必要があります。

ds123_17_110807

図 12: スレーブ シリアル モードによるデザイン リビジョンを使用した複数のデバイスのコンフィギュレーション



メモ:

1. モードピンの接続および DONE ピンのプルアップ値は、該当する FPGA のデータシートまたはコンフィギュレーション ユーザーガイドを参照してください。
2. 使用可能な電圧については、データシートを参照してください。
3. BUSY ピンは XCFxxP Prom でのみ使用可能で、一部の FPGA ファミリーでのみ高周波数の SelectMAP モード コンフィギュレーションで接続が必要です。FPGA に BUSY ピンがない場合、またはコンフィギュレーションで BUSY ピンを使用しない場合は、Platform Flash PROM の BUSY ピンを未接続のままにするか、グラウンドに接続します。BUSY ピンの要件は、該当する FPGA のデータシートまたはコンフィギュレーション ユーザーガイドを参照してください。
4. CF ピンは、XCFxxP では双方向ピンです。XCFxxP では、CF ピンが PROG_B に接続されていない場合は、4.7 kΩ のプルアップ抵抗を介して VCCO に固定する必要があります。

ds123_18_110707

図 13: スleep SelectMAP モードによるデザイン リビジョンを使用した複数のデバイスのコンフィギュレーション

リセットとパワーオン リセット

電源投入時には、 V_{CCINT} 電源が指定された時間内に一定のレートで標準動作電圧まで上昇することが必要です。この要件が満たされない場合、デバイスでパワーオンリセットが正常に実行されない可能性があります。電源投入シーケンス中は、PROM により $\overline{OE/RESET}$ が Low に保持されます。必要な電源がそれぞれの POR (パワーオンリセット) のしきい値に達すると、電源が安定するよう T_{OER} の最小時間後に $\overline{OE/RESET}$ が High になり、コンフィギュレーションを開始します。 $\overline{OE/RESET}$ ピンは、外部 $4.7k\Omega$ プルアップ抵抗および FPGA の INIT ピンに接続します。動作電圧に達するのが遅い電源を使用するシステムでは、電源モニタ回路を追加して、電源が最低動作電圧に達するまで $\overline{OE/RESET}$ ピンを Low に保持することも可能です。 $\overline{OE/RESET}$ が High になると、FPGA の INIT ピンが High になり、FPGA のコンフィギュレーションシーケンスが開始します。電源電圧がパ

ワーダウンしきい値 (V_{CCPD}) 未満になった場合は、PROM がリセットされ、POR しきい値に戻るまで $\overline{OE/RESET}$ が Low に保持されます。 $\overline{OE/RESET}$ の極性は指定できません。図 14 に、電源投入時の要件を図示します。

Platform Flash PROM の電源がオンの際には、 $\overline{OE/RESET}$ がアサート (Low) されるか \overline{CE} がディアサート (High) されるとリセットが実行され、アドレスカウンタがリセットされて、 \overline{CEO} が High、残りの出力がハイインピーダンスになります。

メモ：

1. XCFxxS PROM では、 V_{CCINT} のみが POR しきい値以上になれば、 $\overline{OE/RESET}$ を High にできます。
2. XCFxxP PROM では、 V_{CCINT} が POR しきい値以上になり、 V_{CCO} が推奨される動作電圧に達することが必要です。

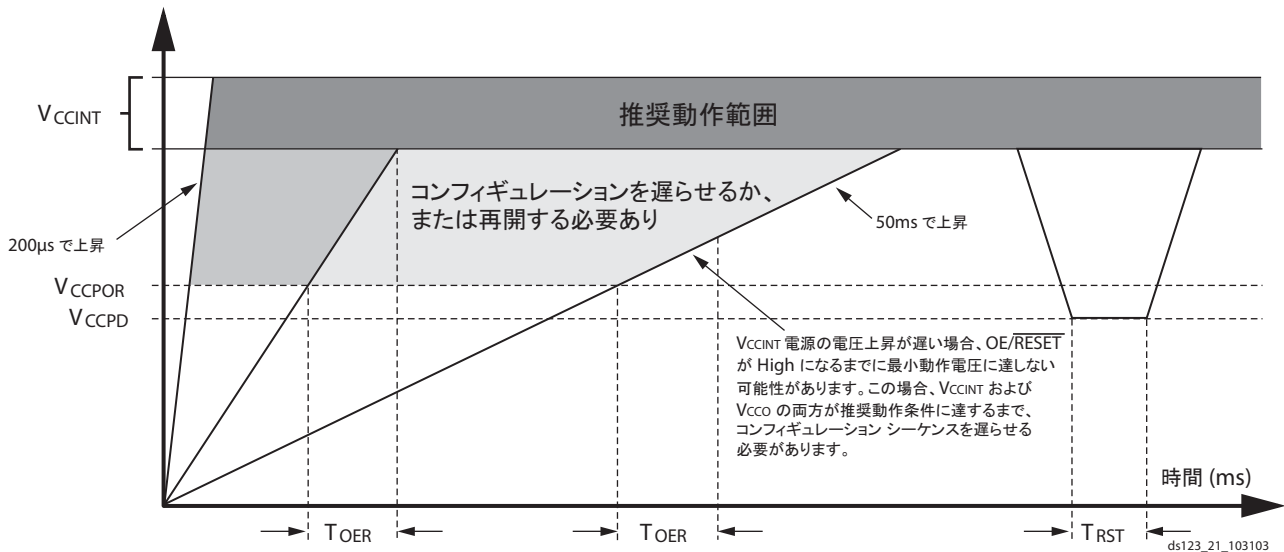


図 14： Platform Flash PROM の電源投入時の要件

I/O で使用可能な入力電圧と電源投入シーケンス

Platform Flash PROM の I/O は、すべて 3.3V に対応しています。そのため、3V CMOS 信号を直接入力に接続しても破損することはありません。コア電源 (V_{CCINT})、JTAG ピン電源 (V_{CCJ})、出力電源 (V_{CCO})、外部 3V CMOS I/O 信号を投入する順序は問いません。

また、XCFxxS PROM では、 V_{CCO} に 2.5V または 3.3V、 V_{CCINT} に 3.3V を供給している場合、I/O は 5V に対応できます。そのため、電源がオンの XCFxxS PROM に 5V CMOS 信号を直接入力に接続しても、破損することはありません。ただし、PROM に正しく電源を供給せずに 5V 入力信号を使用すると、XCFxxS デバイスが破損する可能性があります。

スタンバイ モード

\overline{CE} がディアサート (High) されると、PROM は低電圧スタンバイモードになります。スタンバイモードでは、 $\overline{OE/RESET}$ 入力のステートにかかわらず、アドレスカウンタがリセットされ、 \overline{CEO} が High、残りの出力がハイインピーダンスになります。デバイスをスタンバイモードに保持するには、JTAG の TCK を停止し (High または Low)、TMS、TDI、および TDO は Low にしないでください。

FPGA の DONE 信号で PROM の \overline{CE} ピンを High に駆動して、コンフィギュレーション後のスタンバイ電力を削減する場合は、外部プルアップ抵抗を使用する必要があります。DONE ピンのプ

ルアップには通常 330Ω のプルアップ抵抗を使用しますが、該当する FPGA のデータシートを参照して、デバイスに推奨されるプルアップの値を確認してください。FPGA のコンフィギュレーションが完了したことを知るために DONE を LED に接続しており、スタンバイモードをイネーブルにするため PROM の \overline{CE} ピンにも接続している場合は、LED 回路を外部バッファで駆動し、PROM の \overline{CE} ピンが確実に遷移するようにする必要があります。スタンバイモードを使用しない場合は、 \overline{CE} ピンはグラウンドに接続する必要があります。

表 11 : XCFxxS PROM の制御入力の真理値表

制御入力		内部アドレス	出力		
$\overline{OE/RESET}$	\overline{CE}		DATA	\overline{CEO}	ICC
High	Low	アドレス < TC ⁽²⁾ の場合: インクリメント	アクティブ	High	アクティブ
		アドレス = TC ⁽²⁾ の場合: 変化なし	ハイインピーダンス	Low	減少
Low	Low	リセットに保持	ハイインピーダンス	High	アクティブ
X ⁽¹⁾	High	リセットに保持	ハイインピーダンス	High	スタンバイ

メモ:

1. X = ドントケア
2. TC = ターミナル カウント = 最大アドレス値

表 12 : XCFxxP PROM の制御入力の真理値表

制御入力				内部アドレス	出力			
OE/RESET	CE	CF	BUSY ⁽⁵⁾		DATA	CEO	CLKOUT	ICC
High	Low	High	Low	アドレス < TC ⁽²⁾ および アドレス < EA ⁽³⁾ の場合 : インクリメント	アクティブ	High	アクティブ	アクティブ
				アドレス < TC ⁽²⁾ および アドレス = EA ⁽³⁾ の場合 : 変化なし	ハイ イン ピーダンス	High	ハイ イン ピーダンス	減少
				上記以外 アドレス = TC ⁽²⁾ の場合 : 変化なし	ハイ イン ピーダンス	Low	ハイ イン ピーダンス	減少
High	Low	High	High	変化なし	アクティブ で変化なし	High	アクティブ	アクティブ
High	Low	↑	X ⁽¹⁾	リセット ⁽⁴⁾	アクティブ	High	アクティブ	アクティブ
Low	Low	X	X	リセットに保持 ⁽⁴⁾	ハイ イン ピーダンス	High	ハイ イン ピーダンス	アクティブ
X	High	X	X	リセットに保持 ⁽⁴⁾	ハイ イン ピーダンス	High	ハイ イン ピーダンス	スタンバイ

メモ :

1. X = ドントケア
2. TC = ターミナル カウント = 最大アドレス値
3. XCFxxP でデザイン リビジョン機能をイネーブルにしている場合、EA = 最終アドレス (選択されたデザイン リビジョンの最後のアドレス)。
4. XCFxxP でデザイン リビジョン機能をイネーブルにしている場合、リセット = 選択されたバンクの最初のアドレスにリセット。デザイン リビジョン機能がディスエーブルの場合は、リセット = アドレス 0 にリセット。
5. BUSY 入力は、XCFxxP がパラレル データ出力用にプログラムされ、解凍がディスエーブルの場合にのみイネーブルになります。

DC の電気特性

絶対最大定格

表記	説明	XCF01S、XCF02S、 XCF04S		XCF08P、XCF16P、 XCF32P		単位
		最小	最大	最小	最大	
V_{CCINT}	GND に対する内部電源電圧	-0.5	+4.0	-0.5	+2.7	V
V_{CCO}	GND に対する I/O 電源電圧	-0.5	+4.0	-0.5	+4.0	V
V_{CCJ}	GND に対する JTAG の I/O 電源電圧	-0.5	+4.0	-0.5	+4.0	V
V_{IN}	GND に対する入力電圧	$V_{CCO} < 2.5V$	-0.5 ~ +3.6	-0.5	+3.6	V
		$V_{CCO} \geq 2.5V$	-0.5 ~ +5.5	-0.5	+3.6	V
V_{TS}	ハイ インピーダンス出力に供給する電圧	$V_{CCO} < 2.5V$	-0.5 ~ +3.6	-0.5	+3.6	V
		$V_{CCO} \geq 2.5V$	-0.5 ~ +5.5	-0.5	+3.6	V
T_{STG}	保管温度 (周囲)	-65	+150	-65	+150	°C
T_J	ジャンクション温度	+125		+125		°C

メモ :

- GND を下回る DC アンダーシュートは、0.5V または 10mA 以下 (達成しやすい方) に抑える必要があります。遷移時には、強制電流が 200mA 以下、アンダーシュートまたはオーバーシュートの時間が 10ns 未満であれば、デバイス ピンのアンダーシュートが -2.0V、オーバーシュートが +7.0V になってもかまいません。
- この表に示される絶対最大定格を超える状況では、デバイスが恒久的に破損する可能性があります。上記は応力に対する定格であり、上記の状況または推奨される動作条件の表にリストされている範囲を超える状況での機能は保証されません。デバイスを絶対最大定格の状態でも長時間使用すると、デバイスの信頼性が低下します。
- はんだ付けのガイドラインは、japan.xilinx.com からパッケージと熱特性に関する情報を参照してください。

パワーオン リセットおよびパワーダウンの電源電圧要件

表記	説明	XCF01S、XCF02S、 XCF04S		XCF08P、XCF16P、 XCF32P		単位
		最小	最大	最小	最大	
T_{VCC}	V_{CCINT} の 0V から標準電圧への上昇時間 ⁽²⁾	0.2	50	0.2	50	ms
V_{CCPOR}	V_{CCINT} 電源の POR しきい値	1	-	0.5	-	V
T_{OER}	POR に達した後 $\overline{OE/RESET}$ が High になるまでの時間 ⁽³⁾	0.5	3	0.5	30	ms
V_{CCPD}	V_{CCINT} 電源のパワーダウンしきい値	-	1	-	0.5	V
T_{RST}	V_{CCINT} 電源が最大 V_{CCPD} しきい値を下回った場合にデバイスがリセットされるまでの時間	10	-	10	-	ms

メモ :

- V_{CCINT} 、 V_{CCO} 、および V_{CCJ} 電源を投入する順序は問いません。
- 電源投入時には、 V_{CCINT} 電源は、 T_{VCC} で指定された時間内に一定のレートで標準動作電圧まで上昇することが必要です。この要件が満たされない場合、デバイスでパワーオン リセットが正常に実行されない可能性があります。25 ページの図 14 を参照してください。
- V_{CCINT} および V_{CCO} 電源が $\overline{OE/RESET}$ ピンが High になる前に推奨される動作条件に達していない場合は、PROM からのコンフィギュレーションデータは推奨されるしきい値レベルでは使用できません。 V_{CCINT} および V_{CCO} が推奨される動作条件に達するまで、コンフィギュレーションシーケンスを遅らせる必要があります。

推奨される動作条件

表記	説明		XCF01S、XCF02S、XCF04S			XCF08P、XCF16P、XCF32P			単位
			最小	標準	最大	最小	標準	最大	
V_{CCINT}	内部電源		3.0	3.3	3.6	1.65	1.8	2.0	V
V_{CCO}	出力ドライバの電源電圧	3.3V での動作	3.0	3.3	3.6	3.0	3.3	3.6	V
		2.5V での動作	2.3	2.5	2.7	2.3	2.5	2.7	V
		1.8V での動作	1.7	1.8	1.9	1.7	1.8	1.9	V
		1.5V での動作	-	-	-		1.5		V
V_{CCJ}	JTAG 出力ドライバの電源電圧	3.3V での動作	3.0	3.3	3.6	3.0	3.3	3.6	V
		2.5V での動作	2.3	2.5	2.7	2.3	2.5	2.7	V
V_{IL}	Low レベル入力電圧	3.3V での動作	0	-	0.8	0	-	0.8	V
		2.5V での動作	0	-	0.8	0	-	0.8	V
		1.8V での動作	-	-	V_{CCO} の 20%	-	-	V_{CCO} の 20%	V
		1.5V での動作	-	-	-	0	-		V
V_{IH}	High レベル入力電圧	3.3V での動作	2.0	-	5.5	2.0	-	3.6	V
		2.5V での動作	1.7	-	5.5	1.7	-	3.6	V
		1.8V での動作	V_{CCO} の 70%	-	3.6	V_{CCO} の 70%	-	3.6	V
		1.5V での動作	-	-	-		-	3.6	V
T_{IN}	入力信号の遷移時間 ⁽¹⁾		-	-	500	-	-	500	ns
V_O	出力電圧		0	-	V_{CCO}	0	-	V_{CCO}	V
T_A	動作周囲温度		-40	-	85	-40	-	85	°C

メモ：

1. 入力信号の遷移時間は、 V_{CCO} の 10% から V_{CCO} の 90% で計測されています。

品質と信頼性

表記	説明	最小	最大	単位
T_{DR}	データ保持期間	20	-	年
N_{PE}	プログラム/消去の繰り返し回数	20,000	-	サイクル数
V_{ESD}	静電放電 (ESD)	2,000	-	V

動作条件での DC 特性

表記	説明	XCF01S、XCF02S、 XCF04S			XCF08P、XCF16P、 XCF32P			単位
		テスト条件	最小	最大	テスト条件	最小	最大	
V _{OH}	3.3V 出力用の High レベル出力電圧	I _{OH} = -4mA	2.4	-	I _{OH} = -4mA	2.4	-	V
	2.5V 出力用の High レベル出力電圧	I _{OH} = -500μA	V _{CCO} - 0.4	-	I _{OH} = -500μA	V _{CCO} - 0.4	-	V
	1.8V 出力用の High レベル出力電圧	I _{OH} = -50μA	V _{CCO} - 0.4	-	I _{OH} = -50μA	V _{CCO} - 0.4	-	V
	1.5V 出力用の High レベル出力電圧	-	-	-	-	-	-	V
V _{OL}	3.3V 出力用の Low レベル出力電圧	I _{OL} = 4mA	-	0.4	I _{OL} = 4mA	-	0.4	V
	2.5V 出力用の Low レベル出力電圧	I _{OL} = 500μA	-	0.4	I _{OL} = 500μA	-	0.4	V
	1.8V 出力用の Low レベル出力電圧	I _{OL} = 50μA	-	0.4	I _{OL} = 50μA	-	0.4	V
	1.5V 出力用の Low レベル出力電圧	-	-	-	-	-	-	V
I _{CCINT}	内部電源電流、アクティブ モード	33MHz	-	10	33MHz	-	10	mA
I _{CCO} ⁽¹⁾	出力ドライバ電源電流、アクティブ シリアル モード	33MHz	-	10	33MHz	-	10	mA
	出力ドライバ電源電流、アクティブ パラレル モード	-	-	-	33MHz	-	40	mA
I _{CCJ}	JTAG 電源電流、アクティブ モード	メモ (2)	-	5	メモ (2)	-	5	mA
I _{CCINTS}	内部電源電流、スタンバイ モード	メモ (3)	-	5	メモ (3)	-	1	mA
I _{CCOS}	出力ドライバ電源電流、スタンバイ モード	メモ (3)	-	1	メモ (3)	-	1	mA
I _{CCJS}	JTAG 電源電流、スタンバイ モード	メモ (3)	-	1	メモ (3)	-	1	mA
I _{ILJ}	JTAG ピン TMS、TDI、および TDO の プルアップ電流	V _{CCJ} = 最大 V _{IN} = GND	-	100	V _{CCJ} = 最大 V _{IN} = GND	-	100	μA
I _{IL}	入力リーク電流	V _{CCINT} = 最大 V _{CCO} = 最大 V _{IN} = GND または V _{CCO}	-10	10	V _{CCINT} = 最大 V _{CCO} = 最大 V _{IN} = GND または V _{CCO}	-10	10	μA
I _{IH}	入力および出力ハイ インピーダンス リーク 電流	V _{CCINT} = 最大 V _{CCO} = 最大 V _{IN} = GND または V _{CCO}	-10	10	V _{CCINT} = 最大 V _{CCO} = 最大 V _{IN} = GND または V _{CCO}	-10	10	μA
I _{ILP}	<u>EN_EXT_SEL</u> 、REV_SEL0、REV_SEL1 の 内部プルアップを通過するソース電流	-	-	-	V _{CCINT} = 最大 V _{CCO} = 最大 V _{IN} = GND または V _{CCO}	-	100	μA
I _{IHP}	BUSY の内部プルダウンを通過するシンク電流	-	-	-	V _{CCINT} = 最大 V _{CCO} = 最大 V _{IN} = GND または V _{CCO}	-100	-	μA
C _{IN}	入力容量	V _{IN} = GND f = 1.0MHz	-	8	V _{IN} = GND f = 1.0MHz	-	8	pF
C _{OUT}	出力容量	V _{IN} = GND f = 1.0MHz	-	14	V _{IN} = GND f = 1.0MHz	-	14	pF

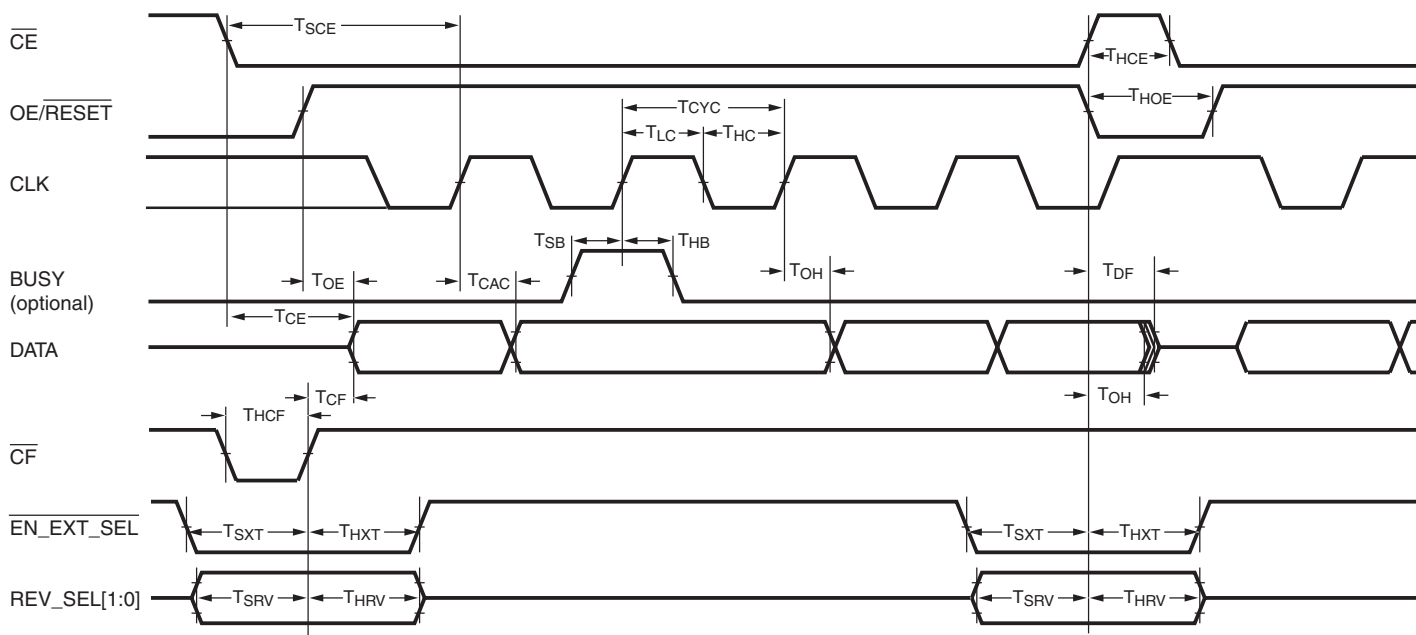
メモ :

- 出力ドライバの電源電流仕様は、負荷のない状態に基づいています。
- TDI/TMS/TCK は非静電 (アクティブ)。
- CE は High、OE は Low、TMS/TDI/TCK は静電。

AC の電気特性

動作条件での AC 特性

XCFxxS および XCFxxP PROM をコンフィギュレーション スレーブとして使用する場合 (クロック ソースは CLK 入力ピン)



ds123_22_122905

表記	説明	XCF01S、 XCF02S、XCF04S		XCF08P、 XCF16P、XCF32P		単位
		最小	最大	最小	最大	
T _{HCF}	V _{CC0} = 3.3V または 2.5V の場合にデザイン リビジョン選択が正しく読み取られるようにするための \overline{CF} のホールド タイム ⁽⁹⁾	300		300		ns
	V _{CC0} = 1.8V の場合にデザイン リビジョン選択が正しく読み取られるようにするための \overline{CF} のホールド タイム ⁽⁹⁾	300		300		ns
T _{CF}	V _{CC0} = 3.3V または 2.5V の場合の \overline{CF} に対するデータ遅延 ⁽⁸⁾	-	-	-	25	ns
	V _{CC0} = 1.8V の場合の \overline{CF} に対するデータ遅延 ⁽⁸⁾	-	-	-	25	ns
T _{OE}	V _{CC0} = 3.3V または 2.5V の場合の $\overline{OE/RESET}$ に対するデータ遅延 ⁽⁶⁾	-	10	-	25	ns
	V _{CC0} = 1.8V の場合の $\overline{OE/RESET}$ に対するデータ遅延 ⁽⁶⁾	-	30	-	25	ns
T _{CCE}	V _{CC0} = 3.3V または 2.5V の場合の \overline{CE} に対するデータ遅延 ⁽⁵⁾	-	15	-	25	ns
	V _{CC0} = 1.8V の場合の \overline{CE} に対するデータ遅延 ⁽⁵⁾	-	30	-	25	ns
T _{CAC}	V _{CC0} = 3.3V または 2.5V の場合の CLK に対するデータ遅延 ⁽⁷⁾	-	15	-	25	ns
	V _{CC0} = 1.8V の場合の CLK に対するデータ遅延 ⁽⁷⁾	-	30	-	25	ns
T _{OH}	V _{CC0} = 3.3V または 2.5V の場合の \overline{CE} 、 $\overline{OE/RESET}$ 、CLK、または \overline{CF} に対するデータのホールド タイム ⁽⁸⁾	0	-	5	-	ns
	V _{CC0} = 1.8V の場合の \overline{CE} 、 $\overline{OE/RESET}$ 、CLK、または \overline{CF} に対するデータのホールド タイム ⁽⁸⁾	0	-	5	-	ns

表記	説明	XCF01S、 XCF02S、XCF04S		XCF08P、 XCF16P、XCF32P		単位
		最小	最大	最小	最大	
T _{DF}	V _{CCO} = 3.3V または 2.5V の場合の \overline{CE} または OE/\overline{RESET} に対するデータ フロート遅延 ⁽²⁾	-	25	-	45	ns
	V _{CCO} = 1.8V の場合の \overline{CE} または OE/\overline{RESET} に対するデータ フロート遅延 ⁽²⁾	-	30	-	45	ns
T _{CYC}	V _{CCO} = 3.3V または 2.5V の場合のクロック周期 ⁽⁶⁾ (シリアル モード)	30	-	25	-	ns
	V _{CCO} = 1.8V の場合のクロック周期 ⁽⁶⁾ (シリアル モード)	67	-	25	-	ns
	V _{CCO} = 3.3V または 2.5V の場合のクロック周期 ⁽⁶⁾ (パラレル モード)	-	-	30	-	ns
	V _{CCO} = 1.8V の場合のクロック周期 ⁽⁶⁾ (パラレル モード)	-	-	30	-	ns
T _{LC}	V _{CCO} = 3.3V または 2.5V の場合の CLK が Low の時間 ⁽³⁾	10	-	12	-	ns
	V _{CCO} = 1.8V の場合の CLK が Low の時間 ⁽³⁾	15	-	12	-	ns
T _{HC}	V _{CCO} = 3.3V または 2.5V の場合の CLK が High の時間 ⁽³⁾	10	-	12	-	ns
	V _{CCO} = 1.8V の場合の CLK が High の時間 ⁽³⁾	15	-	12	-	ns
T _{SCE}	V _{CCO} = 3.3V または 2.5V の場合にカウントを正しく実行するための CLK に対する \overline{CE} のセットアップ タイム ⁽³⁾	20	-	30	-	ns
	V _{CCO} = 1.8V の場合にカウントを正しく実行するための CLK に対する \overline{CE} のセットアップ タイム ⁽³⁾	30	-	30	-	ns
T _{HCE}	V _{CCO} = 3.3V または 2.5V の場合にカウンタを正しくリセットするための \overline{CE} のホールド タイム ⁽⁵⁾	250	-	2000	-	ns
	V _{CCO} = 1.8V の場合の \overline{CE} にカウンタを正しくリセットするためのホールド タイム ⁽⁵⁾	250	-	2000	-	ns
T _{HOE}	V _{CCO} = 3.3V または 2.5V の場合にカウンタを正しくリセットするための OE/\overline{RESET} のホールド タイム ⁽⁶⁾	250	-	2000	-	ns
	V _{CCO} = 1.8V の場合にカウンタを正しくリセットするための OE/\overline{RESET} のホールド タイム ⁽⁶⁾	250	-	2000	-	ns
T _{SB}	V _{CCO} = 3.3V または 2.5V の場合の CLK に対する BUSY のセットアップ タイム ⁽⁸⁾	-	-	12	-	ns
	V _{CCO} = 1.8V の場合の CLK に対する BUSY のセットアップ タイム ⁽⁸⁾	-	-	12	-	ns
T _{HB}	V _{CCO} = 3.3V または 2.5V の場合の CLK に対する BUSY のホールド タイム ⁽⁸⁾	-	-	8	-	ns
	V _{CCO} = 1.8V の場合の CLK に対する BUSY のホールド タイム ⁽⁸⁾	-	-	8	-	ns
T _{SXT}	V _{CCO} = 3.3V または 2.5V の場合の \overline{CF} 、 \overline{CE} 、または OE/\overline{RESET} に対する $\overline{EN_EXT_SEL}$ のセットアップ タイム ⁽⁸⁾	-	-	300	-	ns
	V _{CCO} = 1.8V の場合の \overline{CF} 、 \overline{CE} 、または OE/\overline{RESET} に対する $\overline{EN_EXT_SEL}$ のセットアップ タイム ⁽⁸⁾	-	-	300	-	ns
T _{HXT}	V _{CCO} = 3.3V または 2.5V の場合の \overline{CF} 、 \overline{CE} 、または OE/\overline{RESET} に対する $\overline{EN_EXT_SEL}$ のホールド タイム ⁽⁸⁾	-	-	300	-	ns
	V _{CCO} = 1.8V の場合の \overline{CF} 、 \overline{CE} 、または OE/\overline{RESET} に対する $\overline{EN_EXT_SEL}$ のホールド タイム ⁽⁸⁾	-	-	300	-	ns
T _{SRV}	V _{CCO} = 3.3V または 2.5V の場合の \overline{CF} 、 \overline{CE} 、または OE/\overline{RESET} に対する $\overline{REV_SEL}$ のセットアップ タイム ⁽⁸⁾	-	-	300	-	ns
	V _{CCO} = 1.8V の場合の \overline{CF} 、 \overline{CE} 、または OE/\overline{RESET} に対する $\overline{REV_SEL}$ のセットアップ タイム ⁽⁸⁾	-	-	300	-	ns

表記	説明	XCF01S、 XCF02S、XCF04S		XCF08P、 XCF16P、XCF32P		単位
		最小	最大	最小	最大	
T_{HRV}	$V_{CC0} = 3.3V$ または $2.5V$ の場合の \overline{CF} 、 \overline{CE} 、または $\overline{OE/RESET}$ に対する REV_SEL のホールド タイム ⁽⁸⁾	-	-	300	-	ns
	$V_{CC0} = 1.8V$ の場合の \overline{CF} 、 \overline{CE} 、または $\overline{OE/RESET}$ に対する REV_SEL のホールド タイム ⁽⁸⁾	-	-	300	-	ns

メモ：

- AC のテスト負荷は、XCF01S/XCF02S/XCF04Sでは 50pF、XCF08P/XCF16P/XCF32P では 30pF。
- フロート遅延は、5pF の AC 負荷で計測されています。遷移は、一定したステート アクティブ レベルから $\pm 200mV$ で計測されています。
- すべての AC パラメータは、 $V_{IL} = 0.0V$ および $V_{IH} = 3.0V$ で計測されています。
- $T_{HCE\ High} < 2\mu s$ の場合、 $T_{CE} = 2\mu s$ です。
- $T_{HOE\ Low} < 2\mu s$ の場合、 $T_{OE} = 2\mu s$ です。
- これが最小 T_{CYC} です。実際の T_{CYC} は $T_{CAC} + \text{FPGA データのセットアップ タイム}$ です。シリアル モードの XCF32P で $V_{CC0} = 3.3V$ の場合、FPGA データ セットアップ タイム = 15ns であれば、実際の T_{CYC} は $25ns + 15ns = 40ns$ です。
- デザインによって確定されており、テストはされていません。
- CF、EN_EXT_SEL、REV_SEL[1:0]、および BUSY は、XCFxxP PROM のみの入力です。
- JTAG CONFIG コマンドが発行されると、PROM で \overline{CF} が T_{HCF} の最小時間以上 Low に駆動されます。

表記	説明	XCF08P、XCF16P、XCF32P		単位
		最小	最大	
T _{CECF}	V _{CCO} = 3.3V または 2.5V の場合の $\overline{\text{CE}}$ に対する CLKOUT フロート遅延 ⁽²⁾	-		ns
	V _{CCO} = 1.8V の場合の $\overline{\text{CE}}$ に対する CLKOUT フロート遅延 ⁽²⁾	-		ns
T _{CYCO}	V _{CCO} = 3.3V または 2.5V の場合のクロック周期 ⁽⁷⁾ (シリアル モード)	30	-	ns
	V _{CCO} = 1.8V の場合のクロック周期 ⁽⁷⁾ (シリアル モード)	30	-	ns
	V _{CCO} = 3.3V または 2.5V の場合のクロック周期 ⁽⁶⁾ (パラレル モード)	35	-	ns
	V _{CCO} = 1.8V の場合のクロック周期 ⁽⁶⁾ (パラレル モード)	35	-	ns
T _{LC}	V _{CCO} = 3.3V または 2.5V の場合の CLK が Low の時間 ⁽³⁾	12	-	ns
	V _{CCO} = 1.8V の場合の CLK が Low の時間 ⁽³⁾	12	-	ns
T _{HC}	V _{CCO} = 3.3V または 2.5V の場合の CLK が High の時間 ⁽³⁾	12	-	ns
	V _{CCO} = 1.8V の場合の CLK が High の時間 ⁽³⁾	12	-	ns
T _{HCE}	V _{CCO} = 3.3V または 2.5V の場合にカウンタを正しくリセットするための $\overline{\text{CE}}$ のホールド タイム ⁽⁵⁾	2000	-	ns
	V _{CCO} = 1.8V の場合の $\overline{\text{CE}}$ にカウンタを正しくリセットするためのホールド タイム ⁽⁵⁾	2000	-	ns
T _{HOE}	V _{CCO} = 3.3V または 2.5V の場合にカウンタを正しくリセットするための $\overline{\text{OE/RESET}}$ のホールド タイム ⁽⁶⁾	2000	-	ns
	V _{CCO} = 1.8V の場合にカウンタを正しくリセットするための $\overline{\text{OE/RESET}}$ のホールド タイム ⁽⁶⁾	2000	-	ns
T _{SB}	V _{CCO} = 3.3V または 2.5V の場合の CLKOUT に対する BUSY のセットアップ タイム	12	-	ns
	V _{CCO} = 1.8V の場合の CLKOUT に対する BUSY のセットアップ タイム	12	-	ns
T _{HB}	V _{CCO} = 3.3V または 2.5V の場合の CLKOUT に対する BUSY のホールド タイム	8	-	ns
	V _{CCO} = 1.8V の場合の CLKOUT に対する BUSY のホールド タイム	8	-	ns
T _{CLKO}	V _{CCO} = 3.3V または 2.5V の場合の CLK 入力に対する CLKOUT 出力の遅延	-	35	ns
	V _{CCO} = 1.8V の場合の CLK 入力に対する CLKOUT 出力の遅延	-	35	ns
	V _{CCO} = 3.3V または 2.5V の場合の CLK 入力に対する CLKOUT 出力の遅延 (解凍を使用) ⁽¹²⁾	-	35	ns
	V _{CCO} = 1.8V の場合の CLK 入力に対する CLKOUT 出力の遅延 (解凍を使用) ⁽¹²⁾	-	35	ns
T _{CECC}	V _{CCO} = 3.3V または 2.5V の場合の $\overline{\text{CE}}$ に対する CLKOUT の遅延 ⁽⁸⁾	0	2 CLK サイクル	-
	V _{CCO} = 1.8V の場合の $\overline{\text{CE}}$ に対する CLKOUT の遅延 ⁽⁸⁾	0	2 CLK サイクル	-
T _{OECC}	V _{CCO} = 3.3V または 2.5V の場合の $\overline{\text{OE/RESET}}$ に対する CLKOUT の遅延 ⁽⁸⁾	0	2 CLK サイクル	-
	V _{CCO} = 1.8V の場合の $\overline{\text{OE/RESET}}$ に対する CLKOUT の遅延 ⁽⁸⁾	0	2 CLK サイクル	-
T _{CFCC}	V _{CCO} = 3.3V または 2.5V の場合の $\overline{\text{CF}}$ に対する CLKOUT の遅延 ⁽⁸⁾	0		-
	V _{CCO} = 1.8V の場合の $\overline{\text{CF}}$ に対する CLKOUT の遅延 ⁽⁸⁾	0		-
T _{CCDD}	V _{CCO} = 3.3V または 2.5V の場合の CLKOUT に対するデータ遅延 ⁽⁹⁾	-	30	ns
	V _{CCO} = 1.8V の場合の CLKOUT に対するデータ遅延 ⁽⁹⁾	-	30	ns

表記	説明	XCF08P、XCF16P、XCF32P		単位
		最小	最大	
T _{DDC}	V _{CCO} = 3.3V または 2.5V の場合の CLKOUT に対するデータのセットアップ タイム (解凍を使用) ⁽⁹⁾⁽¹²⁾	5		ns
	V _{CCO} = 1.8V の場合の CLKOUT に対するデータのセットアップ タイム (解凍を使用) ⁽⁹⁾⁽¹²⁾	5		ns
T _{COH}	V _{CCO} = 3.3V または 2.5V の場合の CLKOUT に対するデータのホールド タイム	3	-	ns
	V _{CCO} = 1.8V の場合の CLKOUT に対するデータのホールド タイム	3	-	ns
	V _{CCO} = 3.3V または 2.5V の場合の CLKOUT に対するデータのホールド タイム (解凍を使用) ⁽¹²⁾	3	-	ns
	V _{CCO} = 1.8V の場合の CLKOUT に対するデータのホールド タイム (解凍を使用) ⁽¹²⁾	3	-	ns
T _{SXT}	V _{CCO} = 3.3V または 2.5V の場合の \overline{CF} 、 \overline{CE} 、または $\overline{OE/RESET}$ に対する $\overline{EN_EXT_SEL}$ のセットアップ タイム	300	-	ns
	V _{CCO} = 1.8V の場合の \overline{CF} 、 \overline{CE} 、または $\overline{OE/RESET}$ に対する $\overline{EN_EXT_SEL}$ のセットアップ タイム	300	-	ns
T _{HXT}	V _{CCO} = 3.3V または 2.5V の場合の \overline{CF} 、 \overline{CE} 、または $\overline{OE/RESET}$ に対する $\overline{EN_EXT_SEL}$ のホールド タイム	300	-	ns
	V _{CCO} = 1.8V の場合の \overline{CF} 、 \overline{CE} 、または $\overline{OE/RESET}$ に対する $\overline{EN_EXT_SEL}$ のホールド タイム	300	-	ns
T _{SRV}	V _{CCO} = 3.3V または 2.5V の場合の \overline{CF} 、 \overline{CE} 、または $\overline{OE/RESET}$ に対する REV_SEL のセットアップ タイム	300	-	ns
	V _{CCO} = 1.8V の場合の \overline{CF} 、 \overline{CE} 、または $\overline{OE/RESET}$ に対する REV_SEL のセットアップ タイム	300	-	ns
T _{HRV}	V _{CCO} = 3.3V または 2.5V の場合の \overline{CF} 、 \overline{CE} 、または $\overline{OE/RESET}$ に対する REV_SEL のホールド タイム	300	-	ns
	V _{CCO} = 1.8V の場合の \overline{CF} 、 \overline{CE} 、または $\overline{OE/RESET}$ に対する REV_SEL のホールド タイム	300	-	ns

メモ :

- AC のテスト負荷は、XCF01S/XCF02S/XCF04Sでは 50pF、XCF08P/XCF16P/XCF32P では 30pF。
- フロート遅延は、5pF の AC 負荷で計測されています。遷移は、一定したステート アクティブ レベルから ±200mV で計測されています。
- デザインによって確定されており、テストはされていません。
- すべての AC パラメータは、V_{IL} = 0.0V および V_{IH} = 3.0V で計測されています。
- T_{HCE} High < 2μs の場合、T_{CE} = 2μs です。
- T_{HOE} Low < 2μs の場合、T_{OE} = 2μs です。
- これが最小 T_{CYCO} です。実際の T_{CYCO} は T_{CCDD} + FPGA データのセットアップ タイムです。シリアルモードの XCF32P で V_{CCO} = 3.3V の場合、FPGA データセットアップタイム = 15ns であれば、実際の T_{CYCO} は 25ns + 15ns = 40ns です。
- CLKOUT 信号がイネーブルになった後デバイスからデータが出力されるまでの遅延は、クロックのコンフィギュレーションにより異なります。解凍をイネーブルにすると、CLKOUT がイネーブルになるまでの遅延が増加します。
- FPGA のデータシートのセットアップ タイムを満たすため、CLK の周波数を低くする必要がある場合があります。
- 解凍がイネーブルの場合、CLKOUT 信号は制御されたクロック出力になります。解凍されたデータが使用できるようになると、CLKOUT はソース クロック周波数 (選択された内部クロック周波数または外部 CLK 入力周波数) の 1/2 でトグルします。解凍されたデータの準備ができていない場合は、CLKOUT ピンは High に保持されます。CLKOUT を使用する場合は、V_{CCO} への 4.7kΩ のプルアップ抵抗を使用して外部から High にプルアップする必要があります。
- JTAG CONFIG コマンドが発行されると、PROM で \overline{CF} が T_{HCF} の最小時間以上 Low に駆動されます。

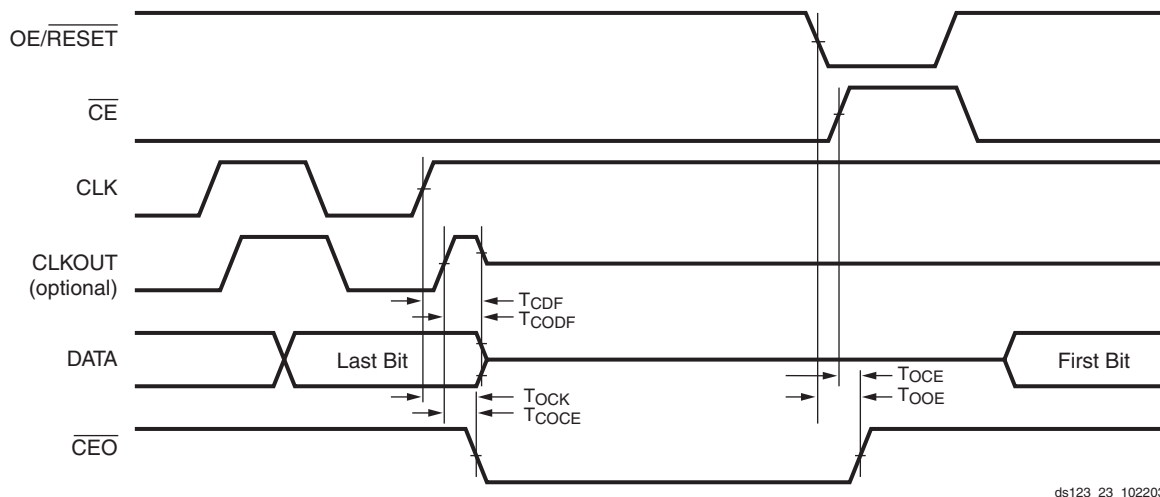
表記	説明	XCF08P、XCF16P、XCF32P		単位
		最小	最大	
T _{HOE}	V _{CCO} = 3.3V または 2.5V の場合にカウンタを正しくリセットするための OE/RESET のホールド タイム ⁽⁶⁾	2000	-	ns
	V _{CCO} = 1.8V の場合にカウンタを正しくリセット するための OE/RESET のホールド タイム ⁽⁶⁾	2000	-	ns
T _{SB}	V _{CCO} = 3.3V または 2.5V の場合の CLKOUT に対する BUSY のセットアップ タイム	12	-	ns
	V _{CCO} = 1.8V の場合の CLKOUT に対する BUSY のセットアップ タイム	12	-	ns
T _{HB}	V _{CCO} = 3.3V または 2.5V の場合の CLKOUT に対する BUSY のホールド タイム	8	-	ns
	V _{CCO} = 1.8V の場合の CLKOUT に対する BUSY のホールド タイム	8	-	ns
T _{CEC}	V _{CCO} = 3.3V または 2.5V の場合の CE に対する CLKOUT の遅延 ⁽⁷⁾	0	1	μs
	V _{CCO} = 1.8V の場合の CE に対する CLKOUT の遅延 ⁽⁷⁾	0	1	μs
T _{OEC}	V _{CCO} = 3.3V または 2.5V の場合の OE/RESET に対する CLKOUT の遅延 ⁽⁷⁾	0	1	μs
	V _{CCO} = 1.8V の場合の OE/RESET に対する CLKOUT の遅延 ⁽⁷⁾	0	1	μs
T _{CFC}	V _{CCO} = 3.3V または 2.5V の場合の CF に対する CLKOUT の遅延 ⁽⁷⁾	0	-	-
	V _{CCO} = 1.8V の場合の CF に対する CLKOUT の遅延 ⁽⁷⁾	0	-	-
T _{CDD}	V _{CCO} = 3.3V または 2.5V の場合の CLKOUT に対するデータ遅延 ⁽⁸⁾	-	30	ns
	V _{CCO} = 1.8V の場合の CLKOUT に対するデータ遅延 ⁽⁸⁾	-	30	ns
T _{DDC}	V _{CCO} = 3.3V または 2.5V の場合の CLKOUT に対するデータのセットアップ タイム (解凍を使用) ⁽⁸⁾⁽¹¹⁾	5	-	ns
	V _{CCO} = 1.8V の場合の CLKOUT に対するデータのセットアップ タイム (解凍を使用) ⁽⁸⁾⁽¹¹⁾	5	-	ns
T _{COH}	V _{CCO} = 3.3V または 2.5V の場合の CLKOUT に対するデータのホールド タイム	3	-	ns
	V _{CCO} = 1.8V の場合の CLKOUT に対するデータのホールド タイム	3	-	ns
	V _{CCO} = 3.3V または 2.5V の場合の CLKOUT に対するデータのホールド タイム (解凍を使用) ⁽¹¹⁾	3	-	ns
	V _{CCO} = 1.8V の場合の CLKOUT に対するデータのホールド タイム (解凍を使用) ⁽¹¹⁾	3	-	ns
T _{SXT}	V _{CCO} = 3.3V または 2.5V の場合の CF、CE、または OE/RESET に対する EN_EXT_SEL のセットアップ タイム	300	-	ns
	V _{CCO} = 1.8V の場合の CF、CE、または OE/RESET に対する EN_EXT_SEL のセットアップ タイム	300	-	ns
T _{HXT}	V _{CCO} = 3.3V または 2.5V の場合の CF、CE、または OE/RESET に対する EN_EXT_SEL のホールド タイム	300	-	ns
	V _{CCO} = 1.8V の場合の CF、CE、または OE/RESET に対する EN_EXT_SEL のホールド タイム	300	-	ns
T _{SRV}	V _{CCO} = 3.3V または 2.5V の場合の CF、CE、または OE/RESET に対する REV_SEL のセットアップ タイム	300	-	ns
	V _{CCO} = 1.8V の場合の CF、CE、または OE/RESET に対する REV_SEL のセットアップ タイム	300	-	ns
T _{HRV}	V _{CCO} = 3.3V または 2.5V の場合の CF、CE、または OE/RESET に対する REV_SEL のホールド タイム	300	-	ns
	V _{CCO} = 1.8V の場合の CF、CE、または OE/RESET に対する REV_SEL のホールド タイム	300	-	ns
F _F	CLKOUT のデフォルト (高速) 周波数 ⁽⁹⁾	25	50	MHz
	CLKOUT のデフォルト (高速) 周波数 (解凍を使用) ⁽¹¹⁾	12.5	25	MHz

表記	説明	XCF08P、XCF16P、XCF32P		単位
		最小	最大	
F _S	CLKOUT の代替 (低速) 周波数 ⁽¹⁰⁾	12.5	25	MHz
	CLKOUT の代替 (低速) 周波数 (解凍を使用) ⁽¹¹⁾	6	12.5	MHz

メモ:

- AC のテスト負荷は、XCF01S/XCF02S/XCF04S では 50pF、XCF08P/XCF16P/XCF32P では 30pF。
- フロート遅延は、5pF の AC 負荷で計測されています。遷移は、一定したステート アクティブ レベルから ±200mV で計測されています。
- デザインによって確定されており、テストはされていません。
- すべての AC パラメータは、V_{IL} = 0.0V および V_{IH} = 3.0V で計測されています。
- T_{HCE High} < 2μs の場合、T_{CE} = 2μs です。
- T_{HOE Low} < 2μs の場合、T_{OE} = 2μs です。
- CLKOUT 信号がイネーブルになった後デバイスからデータが出力されるまでの遅延は、クロックのコンフィギュレーションにより異なります。解凍をイネーブルにすると、CLKOUT がイネーブルになるまでの遅延が増加します。
- FPGA のデータシートのセットアップ タイムを満たすため、CLK の周波数を低くする必要がある場合があります。
- 標準的な CLKOUT のデフォルト (高速) 周期は 25ns (40MHz) です。
- 標準的な CLKOUT の代替 (低速) 周期は 50ns (20MHz) です。
- 解凍がイネーブルの場合、CLKOUT 信号は制御されたクロック出力になります。解凍されたデータが使用できるようになると、CLKOUT はソース クロック周波数 (選択された内部クロック周波数または外部 CLK 入力周波数) の 1/2 でトグルします。解凍されたデータの準備ができていない場合は、CLKOUT ピンは High に保持されます。CLKOUT を使用する場合は、V_{CCO} への 4.7kΩ のプルアップ抵抗を使用して外部から High にプルアップする必要があります。
- JTAG CONFIG コマンドが発行されると、PROM で \overline{CF} が T_{HCF} の最小時間以上 Low に駆動されます。

カスケード接続した場合の動作条件での AC 特性



ds123_23_102203

表記	説明	XCF01S、XCF02S、XCF04S		XCF08P、XCF16P、XCF32P		単位
		最小	最大	最小	最大	
T _{CDF}	V _{CCO} = 2.5V または 3.3V の場合の CLK に対する出力のフロート遅延(2, 3)	-	25	-	20	ns
	V _{CCO} = 1.8V の場合の CLK に対する出力のフロート遅延(2, 3)	-	35	-	20	ns
T _{OCK}	V _{CCO} = 2.5V または 3.3V の場合の CLK に対する $\overline{\text{CEO}}$ の遅延(3, 5)	-	20	-	20	ns
	V _{CCO} = 1.8V の場合の CLK に対する $\overline{\text{CEO}}$ の遅延(3, 5)	-	35	-	20	ns
T _{OCE}	V _{CCO} = 2.5V または 3.3V の場合の $\overline{\text{CE}}$ に対する $\overline{\text{CEO}}$ の遅延(3, 6)	-	20	-	80	ns
	V _{CCO} = 1.8V の場合の $\overline{\text{CE}}$ に対する $\overline{\text{CEO}}$ の遅延(3, 6)	-	35	-	80	ns
T _{OOE}	V _{CCO} = 2.5V または 3.3V の場合の $\text{OE}/\overline{\text{RESET}}$ に対する $\overline{\text{CEO}}$ の遅延(3)	-	20	-	80	ns
	V _{CCO} = 1.8V の場合の $\text{OE}/\overline{\text{RESET}}$ に対する $\overline{\text{CEO}}$ の遅延(3)	-	35	-	80	ns
T _{COCE}	V _{CCO} = 2.5V または 3.3V の場合の CLKOUT に対する $\overline{\text{CEO}}$ の遅延	-	-	-	20	ns
	V _{CCO} = 1.8V の場合の CLKOUT に対する $\overline{\text{CEO}}$ の遅延	-	-	-	20	ns
T _{CODF}	V _{CCO} = 2.5V または 3.3V の場合の CLKOUT に対する出力のフロート遅延	-	-	-	25	ns
	V _{CCO} = 1.8V の場合の CLKOUT に対する出力のフロート遅延	-	-	-	25	ns

メモ :

- AC のテスト負荷は、XCF01S/XCF02S/XCF04Sでは 50pF、XCF08P/XCF16P/XCF32P では 30pF。
- フロート遅延は、5pF の AC 負荷で計測されています。遷移は、一定したステート アクティブ レベルから ±200mV で計測されています。
- デザインによって保証されており、テストはされていません。
- すべての AC パラメータは、V_{IL} = 0.0V および V_{IH} = 3.0V で計測されています。
- カスケード接続された PROM では、FPGA の多目的コンフィギュレーション データ ピンがコンフィギュレーション ピンとして保持するよう設定されている場合、CLK に対する CEO の伝搬遅延および CE に対するデータの伝搬遅延に基づいて、最小周期が増加します。
 - T_{CYC} minimum = T_{OCK} + T_{CE} + FPGA データ セットアップ タイム
 - T_{CAC} maximum = T_{OCK} + T_{CE}
- カスケード接続された PROM では、FPGA の多目的コンフィギュレーション データ ピンがコンフィギュレーション後に汎用ピンとして使用される場合、ディスエーブルをカスケード接続された PROM に伝搬し、コンフィギュレーション後のデータ ラインでの競合を回避するため、CE から CEO および CE からデータへの伝搬遅延に基づいて、最小周期が増加します。
 - T_{CYC} minimum = T_{OCE} + T_{CE}
 - T_{CAC} maximum = T_{OCE} + T_{CE}

ピン配置およびピンの説明

XCFxxS PROM には VO20 および VOG20 パッケージ、XCFxxP PROM には VO48、VOG48、FS48、および FSG48 パッケージを使用できます。パッケージの図、仕様、詳細は、『Device Package User Guide』またはザイリンクスの[コンフィギュレーション PROM パッケージ仕様](#)を参照してください。

メモ：

1. VO20/VOG20 は、20 ピンの TSSOP (Plastic Thin Shrink Small Outline Package) です。
2. VO48/VOG48 は、48 ピンの TSOP (Plastic Thin Shrink Outline Package) です。
3. FS48/FSG48 は、48 ピンの 0.8mm ピッチ TFBGA (Plastic Thin Fine Pitch Ball Grid Array) です。

XCFxxS のピン配置およびピンの説明

XCFxxS 用 VO20/VOG20 パッケージのピン名と説明

表 13 に、XCFxxS 用の 20 ピン VO20/VOG20 パッケージのピン名とその説明を示します。

表 13：XCFxxS のピンの名前と説明

ピン名	バウンダリ スキャン順	バウンダリ スキャンでの機能	説明	20 ピン TSSOP (VO20/VOG20)
D0	4	データ出力	シリアルモードで FPGA をコンフィギュレーションする際の DATA 出力ピン。ISPEN の間 (クランプされていない場合) は、ハイインピーダンスに設定されます。	1
	3	出力イネーブル		
CLK	0	データ入力	コンフィギュレーションのクロック入力。CLK 入力を選択されており、 \overline{CE} が Low、OE/RESET が High の場合、CLK 入力の立ち上がりエッジで内部アドレスカウンタがインクリメントします。	3
OE/RESET	20	データ入力	出力イネーブル/リセット (オープンドレイン I/O)。Low の場合、アドレスカウンタがリセットされ、DATA 出力がハイインピーダンスになります。これは双方向のオープンドレインピンで、PROM で内部パワーオンリセットシーケンスが実行されている間は Low になります。極性はプログラムできません。	8
	19	データ出力		
	18	出力イネーブル		
\overline{CE}	15	データ入力	チップイネーブル入力。 \overline{CE} が High の場合、デバイスは低電力のスタンバイモードになり、アドレスカウンタはリセットされ、DATA ピンはハイインピーダンスになります。	10
\overline{CF}	22	データ出力	コンフィギュレーションパルス (オープンドレイン出力)。FPGA の電源をオフにせずに、JTAG の CONFIG 命令で FPGA のコンフィギュレーションを開始します。これはオープンドレインの出力で、JTAG の CONFIG コマンドにより Low になります。	7
	21	出力イネーブル		
\overline{CEO}	12	データ出力	チップイネーブル出力。チェーンの次の PROM の \overline{CE} 入力に接続します。 \overline{CE} が Low、OE/RESET 入力が High、内部アドレスカウンタがターミナルカウント (TC) 値を超えた場合、この出力は Low になります。OE/RESET が Low または \overline{CE} が High になると、 \overline{CEO} は High に戻ります。	13
	11	出力イネーブル		
TMS	-	モードセレクト	JTAG モードセレクト入力。TCK の立ち上がりエッジでの TMS のステートにより、テストアクセスポート (TAP) コントローラのステート遷移が決定されます。TMS は 50k Ω の内部抵抗で V_{CCJ} にプルアップされており、ピンが駆動されていない場合は 1 になります。	5

表 13 : XCFxxS のピンの名前と説明 (続き)

ピン名	バウンダリ スキャン順	バウンダリ スキャンでの機能	説明	20 ピン TSSOP (VO20/VOG20)
TCK	-	クロック	JTAG のクロック入力。このピンは、JTAG のテスト クロックです。TAP コントローラ、すべての JTAG テスト、デバイスのプログラムに使用されます。	6
TDI	-	データ入力	JTAG シリアル データ入力。すべての JTAG 命令およびデータレジスタのシリアル入力です。TDI は 50kΩ の内部抵抗で V _{CCJ} にプルアップされており、ピンが駆動されていない場合は 1 になります。	4
TDO	-	データ出力	JTAG シリアル データ出力。すべての JTAG 命令およびデータレジスタへのシリアル出力です。TDO は 50kΩ の内部抵抗で V _{CCJ} にプルアップされており、ピンが駆動されていない場合は 1 になります。	17
VCCINT	-	-	内部ロジック用の +3.3V 電源。	18
VCCO	-	-	出力電圧ドライバおよび入力バッファに接続されている +3.3V、2.5V、または 1.8V の I/O 電源。	19
VCCJ	-	-	TDO 出力電圧ドライバおよび TCK、TMS、TDI 入力バッファに接続されている +3.3V または 2.5V の JTAG I/O 電源。	20
GND	-	-	グラウンド。	11
DNC	-	-	接続しないでください。これらのピンは、未接続のままにする必要があります。	2、9、12、14、 15、16

XCFxxS 用の VO20/VOG20 のピン配置図

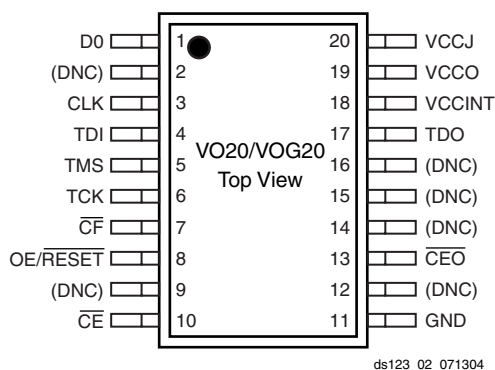


図 19 : VO20/VOG20 のピン配置図 (上面図)

XCFxxP のピン配置およびピンの説明

XCFxxP 用 VO48/VOG48 および FS48/FSG48 パッケージのピン名と説明

表 14 に、XCFxxP 用の 48 ピン VO48/VOG48 および 48 ピン FS48/FSG48 パッケージのピン名とその説明を示します。

表 14 : XCFxxP のピンの名前と説明

ピン名	バウンダリ スキャン順	バウンダリ スキャンでの 機能	説明	48 ピン TSOP (VO48/ VOG48)	48 ピン TFBGA (FS48/ FSG48)
D0	28	データ出力	D0 は、シリアル モードで FPGA をコンフィギュレーションする際の DATA 出力ピンです。 D0 ~ D7 は、SelectMAP (パラレル) モードで FPGA をコンフィギュレーションする際の DATA 出力ピンです。 D0 出力は、ISPEN の間 (クランプされていない場合) はハイ インピーダンスに設定されます。 D1 ~ D7 出力は、ISPEN の間 (クランプされていない場合) およびシリアル モードでコンフィギュレーションを行う場合は、ハイ インピーダンスに設定されます。PROM をシリアル モードで使用する場合は、D1 ~ D7 ピンを未接続にすることも可能です。	28	H6
	27	出力イネーブル			
D1	26	データ出力		29	H5
	25	出力イネーブル			
D2	24	データ出力		32	E5
	23	出力イネーブル			
D3	22	データ出力		33	D5
	21	出力イネーブル			
D4	20	データ出力		43	C5
	19	出力イネーブル			
D5	18	データ出力		44	B5
	17	出力イネーブル			
D6	16	データ出力		47	A5
	15	出力イネーブル			
D7	14	データ出力	48	A6	
	13	出力イネーブル			
CLK	01	データ入力	コンフィギュレーションのクロック入力。内部制御ビットにより、コンフィギュレーションに使用するクロックソースを内部オシレータまたは CLK 入力ピンのいずれかに設定します。CLK 入力を選択されている場合、 \overline{CE} が Low、 $\overline{OE/RESET}$ が High、BUSY が Low (パラレルモードのみ)、CF が High のときに、CLK 入力の立ち上がりエッジで内部アドレスカウンタがインクリメントします。	12	B3
$\overline{OE/RESET}$	04	データ入力	出力イネーブル/リセット (オープン ドレイン I/O)。Low の場合、アドレスカウンタがリセットされ、DATA 出力および CLKOUT 出力がハイ インピーダンスになります。これは双方向のオープン ドレイン ピンで、PROM で内部パワーオン リセット シーケンスが実行されている間は Low になります。極性はプログラムできません。	11	A3
	03	データ出力			
	02	出力イネーブル			
\overline{CE}	00	データ入力	チップ イネーブル入力。High の場合、デバイスは低電力のスタンバイ モードになり、アドレスカウンタはリセットされ、DATA 出力および CLKOUT 出力はハイ インピーダンスになります。	13	B4

表 14 : XCFxxP のピンの名前と説明 (続き)

ピン名	バウンダリ スキャン順	バウンダリ スキャンでの 機能	説明	48ピン TSOP (VO48/ VOG48)	48ピン TFBGA (FS48/ FSG48)
$\overline{\text{CF}}$	11	データ入力	コンフィギュレーションパルス (オープンドレイン I/O)。このピンを出力として使用した場合、FPGA の電源をオフにせずに、JTAG の CONFIG 命令で FPGA のコンフィギュレーションを開始できます。これはオープンドレインの信号で、JTAG の CONFIG コマンドにより Low になります。入力として使用した場合、 $\overline{\text{CF}}$ の立ち上がりエッジでデザインリビジョンの選択が読み取られ、内部アドレスカウンタが選択したリビジョンの開始アドレスにリセットされます。 $\overline{\text{CF}}$ ピンを使用しない場合は、 V_{CCO} への $4.7\text{k}\Omega$ の外部プルアップ抵抗を使用して High にプルアップする必要があります。	6	D1
	10	データ出力			
	09	出力イネーブル			
$\overline{\text{CEO}}$	06	データ出力	チップイネーブル出力。チェーンの次の PROM の $\overline{\text{CE}}$ 入力に接続します。 $\overline{\text{CE}}$ が Low、OE/RESET 入力が High で、内部アドレスカウンタがターミナルカウント (TC) 値を超えた場合、または PROM に選択されたリビジョンに対応するブロックが含まれていない場合は、この出力は Low になります。OE/RESET が Low または $\overline{\text{CE}}$ が High になると、 $\overline{\text{CEO}}$ は High に戻ります。	10	D2
	05	出力イネーブル			
$\overline{\text{EN_EXT_SEL}}$	31	データ入力	外部選択入力のイネーブル。デザインリビジョンは、このピンが Low の場合は外部リビジョンセレクトピンで選択され、High の場合は内部リビジョンセレクト制御ビットで選択されます。 $\overline{\text{EN_EXT_SEL}}$ は $50\text{k}\Omega$ の内部抵抗で V_{CCO} にプルアップされており、ピンが駆動されていない場合は 1 になります。	25	H4
REV_SEL0	30	データ入力	リビジョンセレクト入力。 $\overline{\text{EN_EXT_SEL}}$ が Low の場合、これらのピンによりデザインリビジョンが選択され、内部リビジョンセレクト制御ビットは使用されません。 REV_SEL[1:0] は $50\text{k}\Omega$ の内部抵抗で V_{CCO} にプルアップされており、ピンが駆動されていない場合は 1 になります。	26	G3
REV_SEL1	29	データ入力		27	G4
BUSY	12	データ入力	BUSY 入力。パラレルモードのコンフィギュレーションを選択すると、BUSY 入力がイネーブルになります。BUSY が High になると、内部アドレスカウンタが停止し、データピン上の現在の値が保持されます。BUSY が High から Low に遷移すると、CLK の次の立ち上がりエッジで、次のアドレスのデータがデータピンに送信されます。デバイスのプログラムでシリアルモードが選択されるか、解凍がイネーブルに設定された場合は、BUSY 入力はディスエーブルになります。BUSY は $50\text{k}\Omega$ の内部抵抗で GND にプルダウンされており、ピンが駆動されていない場合は 0 になります。	5	C1

表 14 : XCFxxP のピンの名前と説明 (続き)

ピン名	バウンダリ スキャン順	バウンダリ スキャンでの 機能	説明	48 ピン TSOP (VO48/ VOG48)	48 ピン TFBGA (FS48/ FSG48)
CLKOUT	08	データ出力	コンフィギュレーションのクロック出力。CLKOUT 信号は内部オシレータまたは CLK 入力ピンをソースとしており、内部制御ビットでイネーブルにします。データの準備ができており、CE が Low、OE/RESET が High の場合、選択されたクロック ソースの立ち上がりエッジで内部アドレス カウンタがインクリメントします。出力データは、CLKOUT の立ち上がりエッジで使用可能になります。CE が High、OE/RESET が Low の場合、CLKOUT はディスエーブルになります。解凍がイネーブルの場合は、解凍されたデータの準備ができていない間は CLKOUT は High に保持されます。CLKOUT がディスエーブルの場合は、CLKOUT ピンはハイ インピーダンスになります。CLKOUT を使用する場合は、V _{CC0} への 4.7kΩ の外部プルアップ抵抗を使用して High にプルアップする必要があります。	9	C2
	07	出力イネーブル			
TMS	-	モード セレクト	JTAG モード セレクト入力。TCK の立ち上がりエッジでの TMS のステートにより、テスト アクセス ポート (TAP) コントローラのステート遷移が決定されます。TMS は 50kΩ の内部抵抗で V _{CCJ} にプルアップされており、ピンが駆動されていない場合は 1 になります。	21	E2
TCK	-	クロック	JTAG のクロック入力。このピンは、JTAG のテスト クロックです。TAP コントローラ、すべての JTAG テスト、デバイスのプログラムに使用されます。	20	H3
TDI	-	データ入力	JTAG シリアル データ入力。すべての JTAG 命令およびデータ レジスタへのシリアル入力です。TDI は 50kΩ の内部抵抗で V _{CCJ} にプルアップされており、ピンが駆動されていない場合は 1 になります。	19	G1
TDO	-	データ出力	JTAG シリアル データ出力。すべての JTAG 命令およびデータ レジスタのシリアル出力です。TDO は 50kΩ の内部抵抗で V _{CCJ} にプルアップされており、ピンが駆動されていない場合は 1 になります。	22	E6
VCCINT	-	-	内部ロジック用の +1.8V 電源。	4、15、 34	B1、E1、 G6
VCCO	-	-	出力電圧ドライバおよび入力バッファに接続されている +3.3V、2.5V、1.8V、または 1.5V の I/O 電源。	8、30、 38、45	B2、C6、 D6、G5

表 14 : XCFxxP のピンの名前と説明 (続き)

ピン名	バウンダリ スキャン順	バウンダリ スキャンでの 機能	説明	48 ピン TSOP (VO48/ VOG48)	48 ピン TFBGA (FS48/ FSG48)
VCCJ	-	-	TDO 出力電圧ドライバおよび TCK、TMS、TDI 入力バッファに接続された +3.3V または 2.5V の JTAG I/O 電源。	24	H2
GND	-	-	グラウンド。	2、7、 17、23、 31、36、 46	A1、A2、 B6、F1、 F5、F6、 H1
DNC	-	-	接続しないでください。これらのピンは、未接続のままにする必要があります。	1、3、 14、16、 18、35、 37、39、 40、41、 42	A4、C3、 C4、D3、 D4、E3、 E4、F2、 F3、F4、 G2

XCFxxP 用の VO48/VOG48 のピン配置図

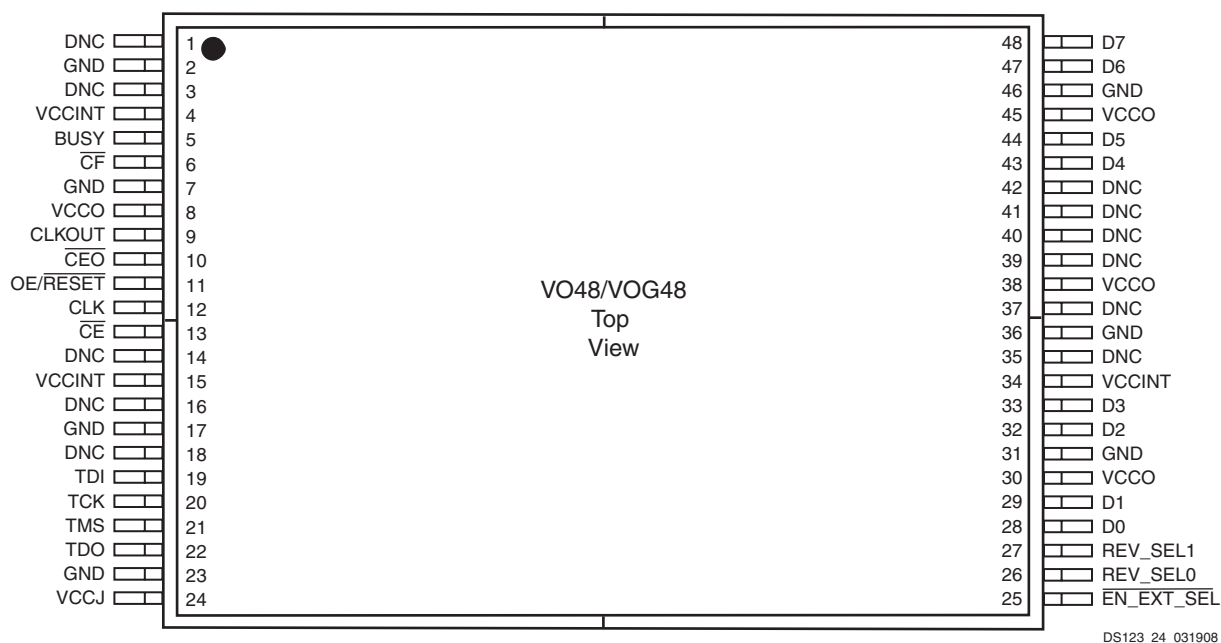


図 20 : VO48/VOG48 のピン配置図 (上面図)

XCFxxP 用の FS48/FSG48 のピン名

XCFxxP 用の FS48/FSG48 のピン配置図

表 15 : XCFxxP 用の FS48/FSG48 のピン名

ピン番号	ピン名	ピン番号	ピン名
A1	GND	E1	VCCINT
A2	GND	E2	TMS
A3	OE/RESET	E3	DNC
A4	DNC	E4	DNC
A5	D6	E5	D2
A6	D7	E6	TDO
B1	VCCINT	F1	GND
B2	VCCO	F2	DNC
B3	CLK	F3	DNC
B4	CE	F4	DNC
B5	D5	F5	GND
B6	GND	F6	GND
C1	BUSY	G1	TDI
C2	CLKOUT	G2	DNC
C3	DNC	G3	REV_SEL0
C4	DNC	G4	REV_SEL1
C5	D4	G5	VCCO
C6	VCCO	G6	VCCINT
D1	CF	H1	GND
D2	CEO	H2	VCCJ
D3	DNC	H3	TCK
D4	DNC	H4	EN_EXT_SEL
D5	D3	H5	D1
D6	VCCO	H6	D0

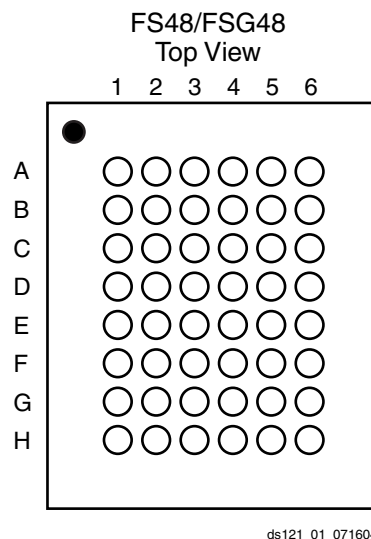
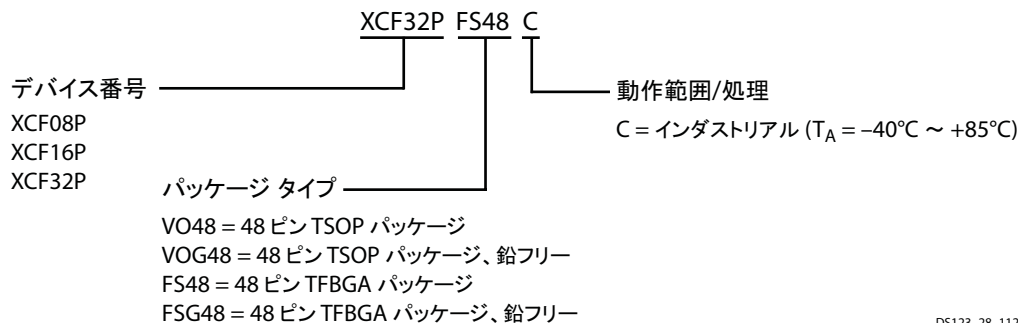
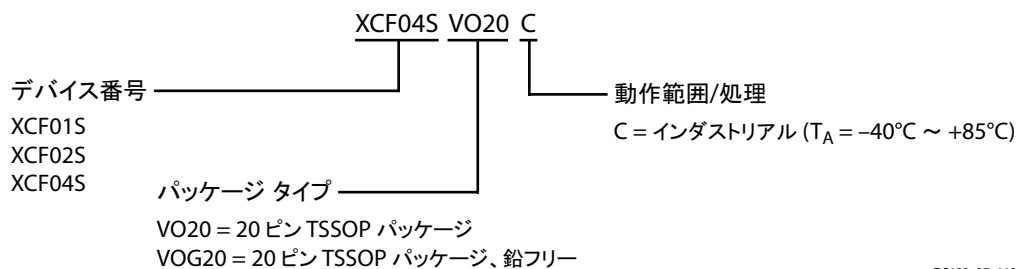


図 21 : FS48/FSG48 ピン配置図 (上面図)

注文の際に必要な情報



注文可能な組み合わせ

XCF01SVO20 C	XCF08PVO48 C	XCF08PFS48 C	XCF01SVOG20 C	XCF08PVOG48 C	XCF08PFSG48 C
XCF02SVO20 C	XCF16PVO48 C	XCF16PFS48 C	XCF02SVOG20 C	XCF16PVOG48 C	XCF16PFSG48 C
XCF04SVO20 C	XCF32PVO48 C	XCF32PFS48 C	XCF04SVOG20 C	XCF32PVOG48 C	XCF32PFSG48 C

デバイスのマーク



図 22 ~ 図 24 に、各パッケージのトップ マークを示します。

メモ：パッケージ タイプは、ここに示すものと異なる場合があります。

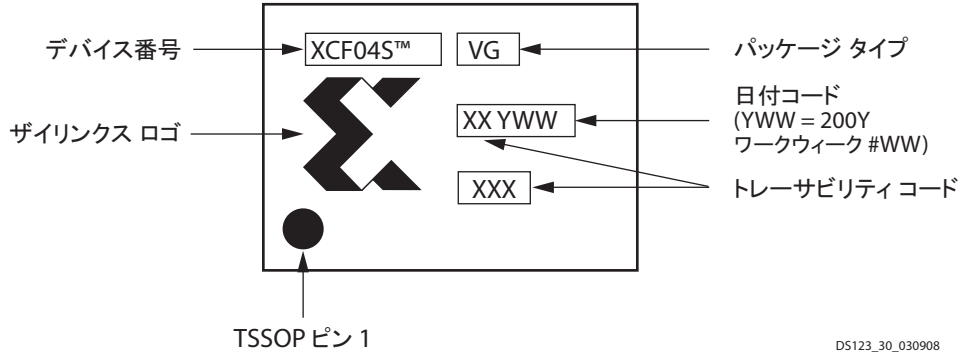


図 22：20 ピン TSSOP のトップ マーク

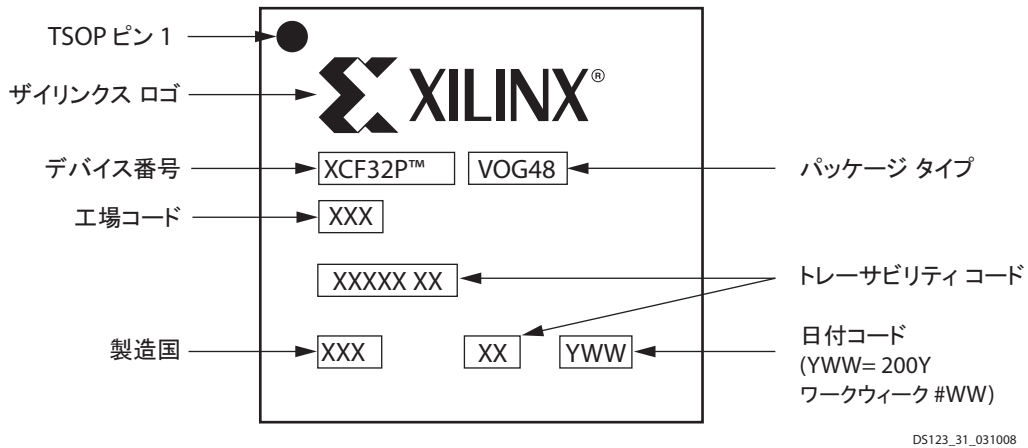


図 23：48 ピン TSOP のトップ マーク

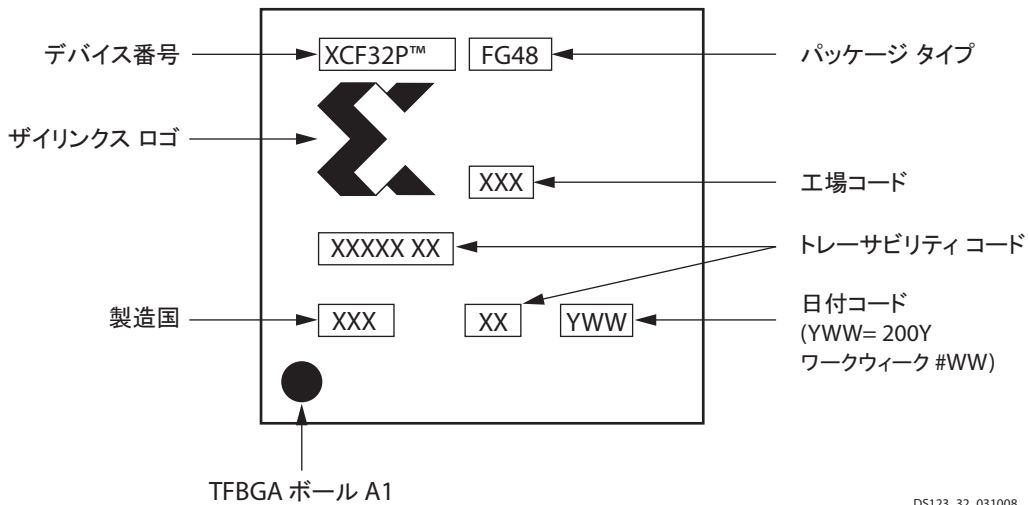


図 24：48 ピン TFBGA のトップ マーク

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2003年4月29日	1.0	初期リリース
2003年6月3日	1.1	すべてのページを修正
2003年11月5日	2.0	メジャーな改訂
2003年11月18日	2.1	ピン配置で次を修正 <ul style="list-style-type: none"> • 表 14: <ul style="list-style-type: none"> ◆ VO48 パッケージで、38 を VCCINT から削除して VCCO に追加 ◆ FS48 パッケージで、ピン D6 を VCCINT から削除して VCCO に追加 • 表 15 (FS48 パッケージ): <ul style="list-style-type: none"> ◆ ピン D6 の名前を VCCINT から VCCO に変更 ◆ ピン A4 の名前を GND から DNC に変更 • 図 20 (VO48 パッケージ): ピン 38 の名前を VCCINT から VCCO に変更
2003年12月15日	2.2	<ul style="list-style-type: none"> • 25 ページの「リセットとパワーオンリセット」で、OE/RESET ピン上に推奨されるプルアップ抵抗の仕様 (4.7kΩ) を追加 • 26 ページの「スタンバイモード」に、DONE ピン上のプルアップ抵抗およびバッファの使用に関する段落を追加
2004年5月7日	2.3	<ul style="list-style-type: none"> • 1 ページの「機能」: デバイス別の情報にパッケージスタイルとコンフィギュレーションスピードの上限 33MHz を追加 • 1 ページの「概要」以降: 説明に \overline{CF} と BUSY のステートを追加 • 3 ページの表 2: Virtex-II のコンフィギュレーションビットストリームのサイズをアップデート • 11 ページの「デザインリビジョン機能」: 書き換え • 13 ページの「PROM による FPGA コンフィギュレーションのモードと接続」以降: \overline{CF} を FPGA の PROG_B (PROGRAM) に接続していない場合に、High に固定するよう記述を追加 • 17 ページの図 6 ~ 24 ページの図 13: 各コンフィギュレーションでの \overline{CF} ピンの方向を示すメモを追加 • 25 ページの「I/O で使用可能な入力電圧と電源投入シーケンス」: 書き換え • 27 ページの表 12: \overline{CF} 列を追加し、\overline{CF} が Low の場合を示す行を追加 • 28 ページの「絶対最大定格」: P デバイスの V_{IN} および V_{TS} を変更 • 28 ページの「パワーオンリセットおよびパワーダウンの電源電圧要件」: <ul style="list-style-type: none"> ◆ T_{OER} のメモの番号を (4) から (3) に変更 ◆ T_{VCC} にメモ (2) を追加 • 29 ページの「推奨される動作条件」: <ul style="list-style-type: none"> ◆ 標準パラメータの列と V_{CCINT} および V_{CCO}/V_{CCJ} のパラメータを追加 ◆ P デバイスの V_{IL} および V_{IH} に 1.5V 動作のパラメータの行を追加 ◆ 2.5V での V_{IH} の最小値を 2.0V から 1.7V に変更 ◆ T_{IN} 行を追加し、最大値を記載 • 30 ページの「動作条件での DC 特性」: <ul style="list-style-type: none"> ◆ I_{CCO} にパラレルコンフィギュレーションモードの行を追加し、P デバイスの値を記載 ◆ I_{CCJ}、I_{CCINTS}、I_{CCOS}、および I_{CCJS} のテスト条件列にメモ (1) および (2) を追加し、アクティブモードおよびスタンバイモードの要件を定義 <p>(次のページに続く)</p>

2004年5月7日 (続き)	2.3 (続き)	<ul style="list-style-type: none"> • 31 ページの「動作条件での AC 特性」: <ul style="list-style-type: none"> ◆ T_{CAC} の 2 行目の説明を $V_{CCO} = 1.8V$ のパラメータを示すように修正 ◆ メモ (7) に $V_{CCO} = 3.3V$ での例を追加 ◆ T_{CYC} の 2 行目にメモ (7) を追加 • 40 ページの「カスケード接続した場合の動作条件での AC 特性」: メモ (5) の $T_{CYC} \text{ Min}$ および $T_{CAC} \text{ Min}$ の式を変更 • 43 ページの表 14: <ul style="list-style-type: none"> ◆ CLK の説明にステート条件を追加 ◆ \overline{CF} の説明に内部アドレスカウンタのリセット機能に関する記述を追加
2004年7月20日	2.4	<ul style="list-style-type: none"> • 鉛フリー パッケージ VOG20、FSG48、および VOG48 を追加 • 17 ページの図 6 および 18 ページの図 7: FPGA DOUT (オプションの異なるコンフィギュレーションを使用したスレーブ FPGA のデイジーチェーン接続) の接続名を DOUT から DIN に変更 • 28 ページの「絶対最大定格」: 表からパラメータ T_{SOL} を削除 (T_{SOL} の情報については、『Package User Guide』を参照) • 3 ページの表 2: XC2VP125 FPGA に関する記述を削除
2004年10月18日	2.5	<ul style="list-style-type: none"> • 1 ページの表 1: V_{CCO} と V_{CCJ} を 2 つの列に分割 • 9 ページの表 9: ID コードのリビジョンビットの明確な説明を追加 • 10 ページの表 10: T_{CKMIN2} (バイパスモード) を削除し、T_{CKMIN1} を T_{CKMIN} に変更 • 29 ページの「推奨される動作条件」の表: V_{CCO} と V_{CCJ} を分割 • 30 ページの「動作条件での DC 特性」の表: <ul style="list-style-type: none"> ◆ XCF08P、XCF16P、XCF32P デバイスのほとんどの値を追加 ◆ I_{CCO} に負荷なしの状態を指定するメモ (1) を追加 • 31 ページの「動作条件での AC 特性」の表: <ul style="list-style-type: none"> ◆ XCF08P、XCF16P、XCF32P デバイスのほとんどの値を追加 ◆ メモ (1) に XCF08P、XCF16P、XCF32P デバイスの情報を追加 ◆ さまざまなパラメータの CLKOUT 条件に関するメモ (8) ~ (11) を追加 ◆ T_{CYC} にパラレルモードのパラメータを追加 ◆ T_{CLKO}、T_{COH}、T_{FF}、T_{SF} に解凍を使用した場合のパラメータを追加 ◆ T_{DDC} (解凍を使用した場合のセットアップタイム) を追加 • 40 ページの「カスケード接続した場合の動作条件での AC 特性」の表: <ul style="list-style-type: none"> ◆ XCF08P、XCF16P、XCF32P デバイスのほとんどの値を追加 ◆ メモ (5) を (5) と (6) に分割し、多目的コンフィギュレーションピンがコンフィギュレーション後にコンフィギュレーションピンとして保持されるか、汎用 I/O ピンとして使用されるかにより T_{CYC} を求める式が異なることを記載

2005年3月14日	2.6	<ul style="list-style-type: none"> • 表 2 に Virtex-4 LX/FX/SX のコンフィギュレーション データを追加 • 表 2 の Virtex-II のコンフィギュレーション データを修正 • 表 2 の Virtex-II Pro のコンフィギュレーション データを修正 • 表 2 に Spartan-3L のコンフィギュレーション データを追加 • 表 2 に Spartan-3E のコンフィギュレーション データを追加 • 14 ページの「マスタ SelectMAP (パラレル) モード⁽¹⁾」セクションに段落を追加 • 次の DC 特性を変更 <ul style="list-style-type: none"> ◆ 30 ページの T_{OER} を変更 ◆ 30 ページの V_{OL} の I_{OL} を変更 ◆ 30 ページの I_{IL}、I_{ILP}、I_{IHP}、および I_{IH} のテスト条件に V_{CCO} を追加 • 次の AC 特性を変更 <ul style="list-style-type: none"> ◆ 35 ページの 1.8V での T_{LC} と T_{HC} を変更 ◆ 34 ページで T_{CEC} と T_{OEC} の新しい値を追加 • 文法および句読点を変更 • DC および AC の電気特性に「Preliminary」の説明を追加
2005年7月11日	2.7	<ul style="list-style-type: none"> • 「Preliminary」から「製品仕様」に変更 • Virtex-4 コンフィギュレーション ビットストリーム の値を修正 • 18 ページの図 7、23 ページの図 12、24 ページの図 13、および 34 ページの図 16 を変更 • 10 ページの「内部オシレータ」の説明を変更 • 10 ページの「CLKOUT」の説明を変更
2005年12月29日	2.8	<ul style="list-style-type: none"> • 7 ページの「IEEE 1149.1 パウンダリ スキャン (JTAG)」の 1 段落目をアップデート • 7 ページに JTAG に関する注意を追加 • 8 ページの「XCFxxP の命令レジスタ (16 ビット幅)」の消去/プログラム (ER/PROG) ステータスフィールド IR[4] の論理値を修正 • 31 ページの「動作条件での AC 特性」に「XCFxxS および XCFxxP PROM をコンフィギュレーション スレーブとして使用する場合 (クロック ソースは CLK 入力ピン)」、「XCFxxP PROM をコンフィギュレーション マスタとして使用する場合 (クロック ソースは CLK 入力ピン)」、および「XCFxxP PROM をコンフィギュレーション マスタとして使用する場合 (クロック ソースはオシレータ)」を追加 • 17 ページの図 6、18 ページの図 7、19 ページの図 8、20 ページの図 9、21 ページの図 10、22 ページの図 11、23 ページの図 12、および 24 ページの図 13 のメモに、\overline{CF} が PROG B に接続されていない場合にプルアップ抵抗が必要であるという記述を追加 • 10 ページの「CLKOUT」の説明を変更 • 11 ページの「デザイン リビジョン機能」でデザイン リビジョンの読み取りに関する記述を変更 • 図 4 を表 7、図 5 を表 8 に変更。これに伴いこれ以降の表と図の番号、および表と図への参照を変更 • 30 ページの「I_{CCINT}」の XCFxxP に対する値を 5mA から 1mA に変更 • 2 ページの図 2 をクロック ソースのマルチプレクスとクロックのファンクションブロックへの配線を示すよう変更
2006年5月9日	2.9	<ul style="list-style-type: none"> • 3 ページの表 2 に Virtex-5 LX のサポートを追加 • 29 ページの「推奨される動作条件」の 2.5V での動作に対する V_{IL} の最大値を LVCMOS25 規格に合わせてアップデート
2006年12月8日	2.10	<ul style="list-style-type: none"> • 3 ページの表 2 に Virtex-5 LXT のサポートを追加 • 5 ページの「プログラム」で再プログラム操作を定義 • FPGA BUSY ピンに関する記述とさまざまな参照を修正

2007年2月1日	2.11	<ul style="list-style-type: none"> 3 ページの表 2 で Spartan-3L のサポートを削除し、Spartan-3A および Virtex-5 SXT のサポートを追加 3 ページの表 2 で Spartan-3E のビットストリーム サイズを修正 41 ページの表 13 の VCCJ、43 ページの表 14 の VCCO および VCCJ に対するサポート電圧を修正
2007年3月30日	2.11.1	3 ページの表 2 に Spartan-3A DSP のサポートを追加
2008年1月28日	2.12	<ul style="list-style-type: none"> XC5VLX155、XC5VLX20T、および XC5VLX155T のサポートを追加 10 ページの表 10 の JTAG TAP タイミング仕様を、パフォーマンスが向上したことを反映してアップデート FPGA SelectMAP の回路図 (20 ページの図 9、21 ページの図 10、22 ページの図 11、24 ページの図 13) で、FPGA CS_B および FPGA RDWR_B を確実に Low にするため GND に固定 FPGA スレーブ モードの回路図 (18 ページの図 7、21 ページの図 10、23 ページの図 12、24 ページの図 13) で、外部オシレータを FPGA CCLK に配線 48 ページの「デバイスのマーク」で、トップ マークの図 (49 ページの図 22、図 23、図 24) を追加、48 ピン TFBGA パッケージのマークを修正 その他の修正およびアップデート 文書のテンプレートをアップデート URL をアップデート
2008年3月31日	2.13	<ul style="list-style-type: none"> 3 ページの表 2 に Virtex-5 FX FPGA のサポートを追加 すべてのパッケージのマーク (49 ページの図 22、図 23、図 24) を修正 49 ページにパッケージおよびマークがさまざまであることを示すメモを追加
2008年4月3日	2.13.1	<ul style="list-style-type: none"> スペルミスを修正 商標の記述をアップデート
2008年5月14日	2.14	3 ページの表 2 に XC5VSX240T および Platform Flash XL のサポートを追加
2008年7月7日	2.15	6 ページの「書き込み禁止」をアップデート
2008年11月14日	2.16	3 ページの表 2 に Virtex-5 TXT FPGA を追加

Notice of Disclaimer

THE XILINX HARDWARE FPGA AND CPLD DEVICES REFERRED TO HEREIN (“PRODUCTS”) ARE SUBJECT TO THE TERMS AND CONDITIONS OF THE XILINX LIMITED WARRANTY WHICH CAN BE VIEWED AT <http://www.xilinx.com/warranty.htm>. THIS LIMITED WARRANTY DOES NOT EXTEND TO ANY USE OF PRODUCTS IN AN APPLICATION OR ENVIRONMENT THAT IS NOT WITHIN THE SPECIFICATIONS STATED IN THE XILINX DATA SHEET. ALL SPECIFICATIONS ARE SUBJECT TO CHANGE WITHOUT NOTICE. PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS LIFE-SUPPORT OR SAFETY DEVICES OR SYSTEMS, OR ANY OTHER APPLICATION THAT INVOKES THE POTENTIAL RISKS OF DEATH, PERSONAL INJURY, OR PROPERTY OR ENVIRONMENTAL DAMAGE (“CRITICAL APPLICATIONS”). USE OF PRODUCTS IN CRITICAL APPLICATIONS IS AT THE SOLE RISK OF CUSTOMER, SUBJECT TO APPLICABLE LAWS AND REGULATIONS.

本資料は英語版 (v2.16) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。