XILINX

XAPP586 (v1.0) 2012 年 5 月 30 日

SPI フラッシュを使用した 7 シリーズ FPGA のコンフィギュレーション

著者 : Arthur Yang

概要

このアプリケーション ノートでは、ザイリンクス 7 シリーズ FPGA のコンフィギュレーション メモリ ストレージとしてシリアル ペリフェラル インターフェイス (SPI) フラッシュを使用する利点について説明し、このソリューションのインプリメント方法を詳しく解説します。FPGA と SPI フラッシュ メモリ間で必要な接続情報や適切な SPI フラッシュを選択するための詳細情報などを提供します。

「SPI フラッシュのインシステム プログラミング」では、FPGA を介して SPI フラッシュをインシステムでプログラムする方法について説明します。この方法により、開発中のストレージのデバッグでコンフィギュレーションに柔軟性を持たせることができます。設計者は、FPGA コンフィギュレーションおよびその他のコンフィギュレーションに関する詳細情報が記載されている『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』(UG470) の内容を十分理解している必要があります。

はじめに

このアプリケーション ノートでは、図 1 に示す 2 つのフローについて説明します。

- ザイリンクス ISE® Design Suite iMPACT ツールを使用する SPI フラッシュの間接プログラム
- SPI フラッシュ メモリに格納されている FPGA コンフィギュレーション ビットストリームを 7 シリーズ FPGA へロードする SPI フラッシュ コンフィギュレーション

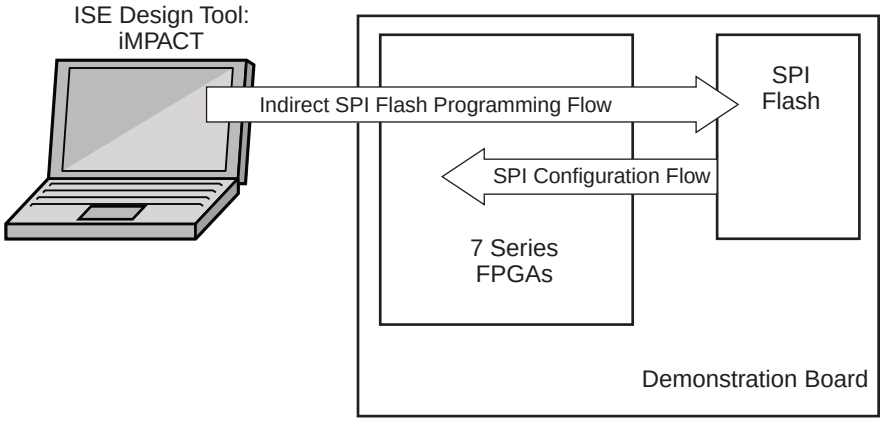


図 1 : SPI フラッシュのコンフィギュレーション フローと間接プログラム フロー

ザイリンクス FPGA は、電源投入時にコンフィギュレーション ビットストリームをロードする必要があります。SPI フラッシュ メモリは、4 線式の同期シリアル データ バスを使用します。SPI フラッシュ コンフィギュレーションに必要なピンは 4 つのみで、これらを使用してコンフィギュレーション ビットストリームを送るための 1 ビットまたは 2 ビットのデータ幅を確保します。最新の SPI フラッシュ デバイスには 6 つのピンを使用して 4 ビット幅を提供するオプションがあるため、コンフィギュレーション時間を短縮できます。SPI インターフェイス経由の FPGA コンフィギュレーションは、ピン数が非常に少ないソリューションで、多数のベンダーが幅広い集積度オプションを備えたデバイスを提供しています。

BPI (バイト パラレル インターフェイス) パラレル NOR フラッシュなど、その他の FPGA コンフィギュレーション オプションでは、さらに広いコンフィギュレーション データ バスをサポートしているため、

© Copyright 2012 Xilinx, Inc. Xilinx, the Xilinx logo, Artix, ISE, Kintex, Spartan, Virtex, Zynq, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

電源投入時により高速なコンフィギュレーションが可能ですが、このモードは少なくとも 25 個のピンが必要になります。

パラレル NOR フラッシュ デバイスは、SPI フラッシュよりも高い集積度のオプションがあるため、大規模な不揮発性データ ストレージが必要な場合や複数 FPGA ビットストリームを格納する必要がある場合には、BPI フラッシュの使用を検討してください。

ザイリンクスは、SPI フラッシュと FPGA 間にある既存のコンフィギュレーション接続を使用して、インシステムで SPI フラッシュをプログラムする方法も提供しています。ザイリンクスの iMPACT プログラム ツールでは FPGA をコンフィギュレーションするための JTAG を用いて、コンフィギュレーション ケーブルと SPI フラッシュ間のパスを有効にします。これにより、ラボ環境においてデザインに柔軟性を持たせることができ、ボードからフラッシュを外して外部のデスクトップ プログラマーを使用しなくても、新しいコンフィギュレーション ビットストリームを SPI フラッシュへ簡単にプログラムできます。

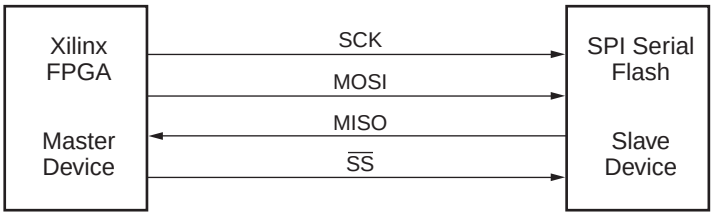
この資料は、次のセクションで構成されています。

- 「SPI フラッシュの基本」: SPI フラッシュのピン機能およびデバイス機能について説明します。
- 「SPI フラッシュ コンフィギュレーションのインターフェイス」: SPI フラッシュを使用する FPGA コンフィギュレーション インターフェイスについて説明します。
- 「SPI フラッシュ コンフィギュレーションの時間」: 最大クロック周波数を決定する手順について説明します。
- 「SPI フラッシュ コンフィギュレーションのオプション」: ビットストリームを生成する際のオプションについて説明します。
- 「SPI フラッシュ プログラミング ファイルの準備」: SPI フラッシュ データ ファイルの生成手順について説明します。
- 「SPI フラッシュのインシステム プログラミング」: SPI フラッシュのプログラム手順について説明します。

SPI フラッシュの基本

このセクションでは、SPI フラッシュのピンおよびその 7 シリーズ FPGA との接続について説明します。集積度、データ幅、FPGA コンフィギュレーション時間など SPI フラッシュのコンフィギュレーション オプションに関する詳細も提供します。

図 2 に、7 シリーズ FPGA と SPI フラッシュ間の x1 データ幅での基本的な接続を示します。読み出しおよびアドレス命令は、MOSI (Master-Out-Slave-In) ピンを介して FPGA から SPI フラッシュへ送られます。その後、データが MISO (Master-In-Slave-Out) ピンを介して SPI フラッシュから戻ります。SCK はクロック ピンで、SS はアクティブ Low のスレーブ セレクト ピンです。x2 データ幅の場合は、接続は x1 と同じですが、MOSI が双方向となり、追加のデータ ピンとして使用されます。



XAPP586_02_042912

図 2 : 基本的な SPI フラッシュと FPGA の接続 ー x1 データ幅

SPI フラッシュには上記に示したピン以外にもいくつかのピンがあり、特別な機能を制御するために使用できます。これらのピンは SPI フラッシュ ベンダーによって異なりますが、共通する 2 つのピンとしてホールドおよび書き込み保護があります。最新の SPI フラッシュ デバイスでは、これらのピンを有効にし、追加データ出力ピンというデュアル ファンクションを持たせてデータ バス幅を最大 4 ビットまで増加します。

表 1 : SPI フラッシュのピン名

この資料でのピン名	ベンダーが使用する ピン名の例	ピンの機能
SCK	C、SCK、CLK	SPI フラッシュの命令およびデータ用クロック
MOSI	DQ0、DI、SI、IO0	マスター出力、スレーブ入力
MISO	DQ1、IO1、SO、DO	マスター入力、スレーブ出力
$\overline{SS}$	S/、CS/	スレーブ セレクト
$\overline{HOLD}$	DQ3、IO3	デバイス選択を解除せずにホールド/ポーズ
$\overline{W}$	DQ2、WP/、IO2	SPI フラッシュ メモリの書き込み保護

SPI フラッシュの選択

SPI フラッシュを選択する上で最も重要な基準は集積度です。つまり、多くのデザインでは、ターゲット FPGA のコンフィギュレーション ビットストリームを格納できる十分なサイズのフラッシュ デバイスを選択します。デザインによっては、複数ビットストリームを格納する必要がある場合や、デイジーチェーン接続された複数の FPGA をコンフィギュレーションする必要がある場合、またはコンフィギュレーション速度などさまざまな条件が求められるため、利用できるフラッシュの選択肢が狭くなります。

必要最小限の集積度は、常に FPGA コンフィギュレーション ビットストリームのサイズです。詳細は、『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』(UG470) を参照してください。複数のビットストリームが必要なデザインでは、ビットストリームのサイズ分をそれに応じて増加します。ザイリンクス ツールではビットストリームを圧縮できますが、この圧縮精度はユーザー デザインによって大きく異なり、予測不可能なため、圧縮を前提として SPI フラッシュ サイズを選択することは推奨しません。

デザインによっては、指定した時間内に FPGA をコンフィギュレーションしなければならない場合があります。そのような場合は、最速の読み出しクロック レートに対応可能で、x4 データ幅の読み出し動作をサポートする SPI フラッシュの使用を検討してください (SPI フラッシュのデータシートでは「クワッド出力高速読み出し (Quad Output Fast Read)」と呼ばれることがある)。

設計者は I/O 電圧の適合性も考慮する必要があります。Artix™-7 および Kintex™-7 ファミリは、最大 3.3V のコンフィギュレーション I/O 電圧をサポートし、Virtex®-7 ファミリは最大 1.8V までサポートします。一般的な SPI フラッシュ ベンダーでは、コア電圧と I/O 電圧に同じ電源電圧を使用しますが、異なる I/O 電圧ピンを使用できるフラッシュもあります。電源電圧の違いは、2 つ目のソースとして異なるベンダーを使用する場合に影響を与えます。

ザイリンクス ツールでサポートされている検証済みのデザインの一覧は、次のサイトを参照してください。

http://japan.xilinx.com/cgi-bin/docs/rdoc?v=latest_ise;d=isehelp_start.htm;a=pim_c_introduction_indirect_programming.htm

SPI フラッシュ コンフィギュレーションのインターフェイス

図 3 に、SPI フラッシュ コンフィギュレーションで必要な FPGA のピンを示します。これらのピンの多くは、ほかのコンフィギュレーション方法でも必要で、SPI フラッシュ コンフィギュレーションに限定されるものではありません。

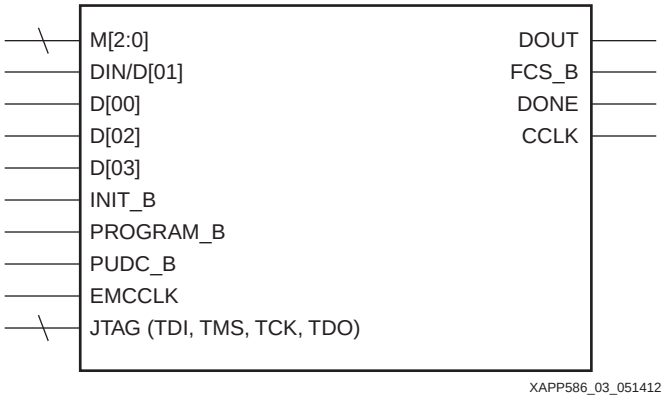


図 3 : SPI フラッシュ コンフィギュレーションの FPGA インターフェイス ブロック図

表 2 に、SPI フラッシュ コンフィギュレーションで必要な FPGA ピンの機能について説明します。「SPI フラッシュの基本」セクションで説明したピンのほかに、ステータス情報や FPGA コンフィギュレーション制御を提供するコンフィギュレーション インターフェイス信号も示しています。

表 2 : SPI フラッシュ コンフィギュレーションのピン

FPGA ピン名	FPGA 方向	専用または多目的	説明
M[2:0]	入力	専用	FPGA コンフィギュレーション モードを選択します。 M[2:0] = 001 の場合、マスター SPI フラッシュ モードです。
DIN/D[01]	入力	多目的	SPI フラッシュの MISO ピンからデータを受信します。 x1 モードの場合、このピンが FPGA の唯一のデータ入力ピンとなります。
D[00]	入力/出力	多目的	FPGA コンフィギュレーションの開始時に、SPI フラッシュの MOSI ピンを駆動して読み出し命令とアドレスを提供します。 x1 モードでは出力専用です。 x2 と x4 モードでは双方向となり、SPI フラッシュからデータを受信します。
D[02]	入力	多目的	x4 読み出しモードで SPI フラッシュからデータ ビット 2 を受信します。
D[03]	入力	多目的	x4 読み出しモードで SPI フラッシュからデータ ビット 3 を受信します。
INIT_B	双方向、入力、出力、オープンドレイン	専用	FPGA がパワーアップ中は Low 駆動し、FPGA がコンフィギュレーションの開始前に自己初期化を実行していることを示します。初期化が完了し、モード ピンがサンプルされる前に、このピンを外部から Low 駆動することによってコンフィギュレーションを遅延できます。モード ピンがサンプルされると、オープン ドレインになります。コンフィギュレーション ビットストリームがロードされている間は CRC エラーのインジケーターとなります。
PROGRAM_B	入力	専用	アクティブ Low の非同期フルチップ リセットです。
PUDC_B	入力	多目的	コンフィギュレーション中、I/O (バンク 0 の専用 I/O を除く) のプルアップ抵抗を制御します。このピンは外部で終端する必要があります。 0 = コンフィギュレーション中、プルアップ抵抗 1 = コンフィギュレーション中、トライステート出力
EMCCLK	入力	多目的	外部コンフィギュレーション クロック (オプション) を供給するための入力です。このクロックは、CCLK FPGA ピンへ内部接続されます。
CCLK	入力/出力	専用	JTAG を除くすべてのコンフィギュレーション モードで、最初のコンフィギュレーション クロック ソースとなります。SPI フラッシュの SCK ピンを駆動します。
FCS_B	出力	多目的	コンフィギュレーション中に SPI フラッシュの SS/ピンを Low 駆動して、SPI フラッシュを有効にします。

表 2 : SPI フラッシュ コンフィギュレーションのピン (続き)

FPGA ピン名	FPGA 方向	専用または多目的	説明
DOUT	出力	多目的	複数の FPGA がデイジーチェーン接続されている場合に、x1 SPI フラッシュ コンフィギュレーション モードでのみ使用されます。デイジーチェーン コンフィギュレーションの詳細は、『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』(UG470) を参照してください。
DONE	出力/オープンドレイン	専用	コンフィギュレーションの完了を示すアクティブ High の信号です。 0 = FPGA コンフィギュレーション未完了 1 = FPGA コンフィギュレーション完了
CFGBVS	入力	専用	Artix-7 および Kintex-7 ファミリの場合は、コンフィギュレーション I/O バンクでサポートされている電圧規格を決定します。 Virtex-7 ファミリの場合は、有効なコンフィギュレーション電圧は 1.8V またはそれ以下に限定されています。詳細は、『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』(UG470) の「コンフィギュレーション バンク電圧の選択」セクションを参照してください。 1 = 2.5V または 3.3V 0 = 1.8V またはそれ以下
TDI	入力	専用	JTAG テスト データ入力ポート(1)
TMS	入力	専用	JTAG テスト モード選択入力ポート(1)
TCK	入力	専用	JTAG テスト クロック入力ポート(1)
TDO	出力/オープンドレイン	専用	JTAG テスト データ出力ポート(1)

注記 :

1. JTAG ピンは、SPI フラッシュ コンフィギュレーション インターフェイスではオプションですが、SPI フラッシュの間接プログラムの場合は必須です。

図 4 と図 5 は、非常に類似しています。図 4 には、データ幅が x1 または x2 の場合の SPI コンフィギュレーションの接続を示しています。図 5 には、データ幅が x4 の SPI コンフィギュレーションの接続を示しています。図 4 と図 5 の違いは $\overline{\text{HOLD}}$ ピンと $\overline{\text{W}}$ ピンの処理方法のみで、x1 および x2 モードでは終端処理されていますが、x4 モードでは 7 シリーズ FPGA へ接続されています。

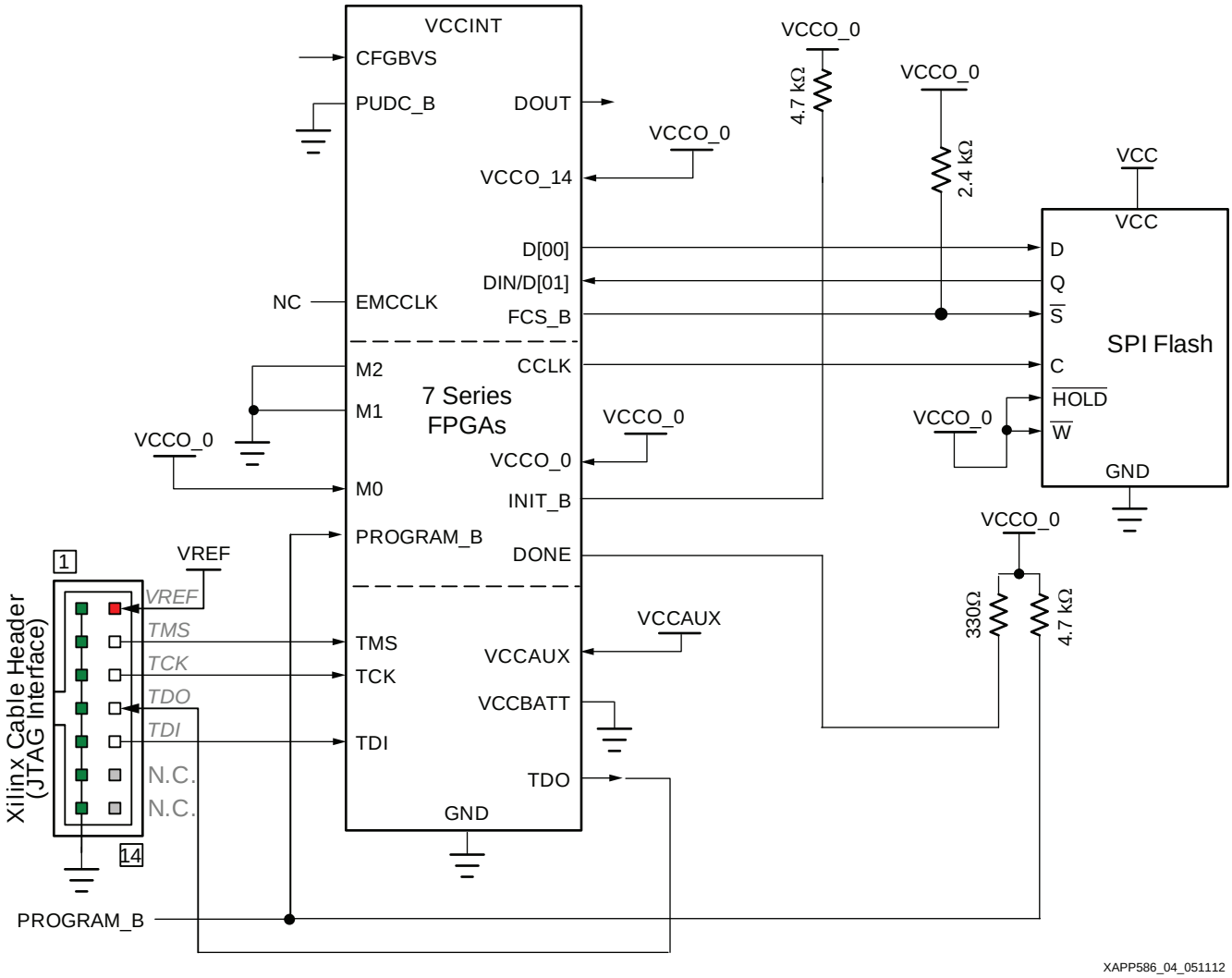


図 4 : SPI フラッシュ コンフィギュレーションの回路図 (x1 および x2 モード)

x1 および x2 モードの SPI フラッシュ コンフィギュレーションの回路図 (図 4) について説明します。

1. DONE ピンは、デフォルトではオープン ドレイン出力で、外部プルアップ抵抗の使用を推奨します。
2. INIT_B ピンは双方向オープン ドレイン ピンで、外部プルアップ抵抗が必要です。
3. CCLK のシグナル インテグリティが重要です。
4. SPI フラッシュから FPGA へのデータパスには、オーバーシュートを最小限に抑えるために直列抵抗の使用を検討してください。適切な抵抗値はシミュレーションで求めることができます。
5. 7 シリーズ FPGA の VCCO は、SPI フラッシュの VCC に適合する必要があります。
6. VCCBATT は AES キーを格納している SRAM の電源です。AES 暗号化の詳細は、『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』(UG470) を参照してください。

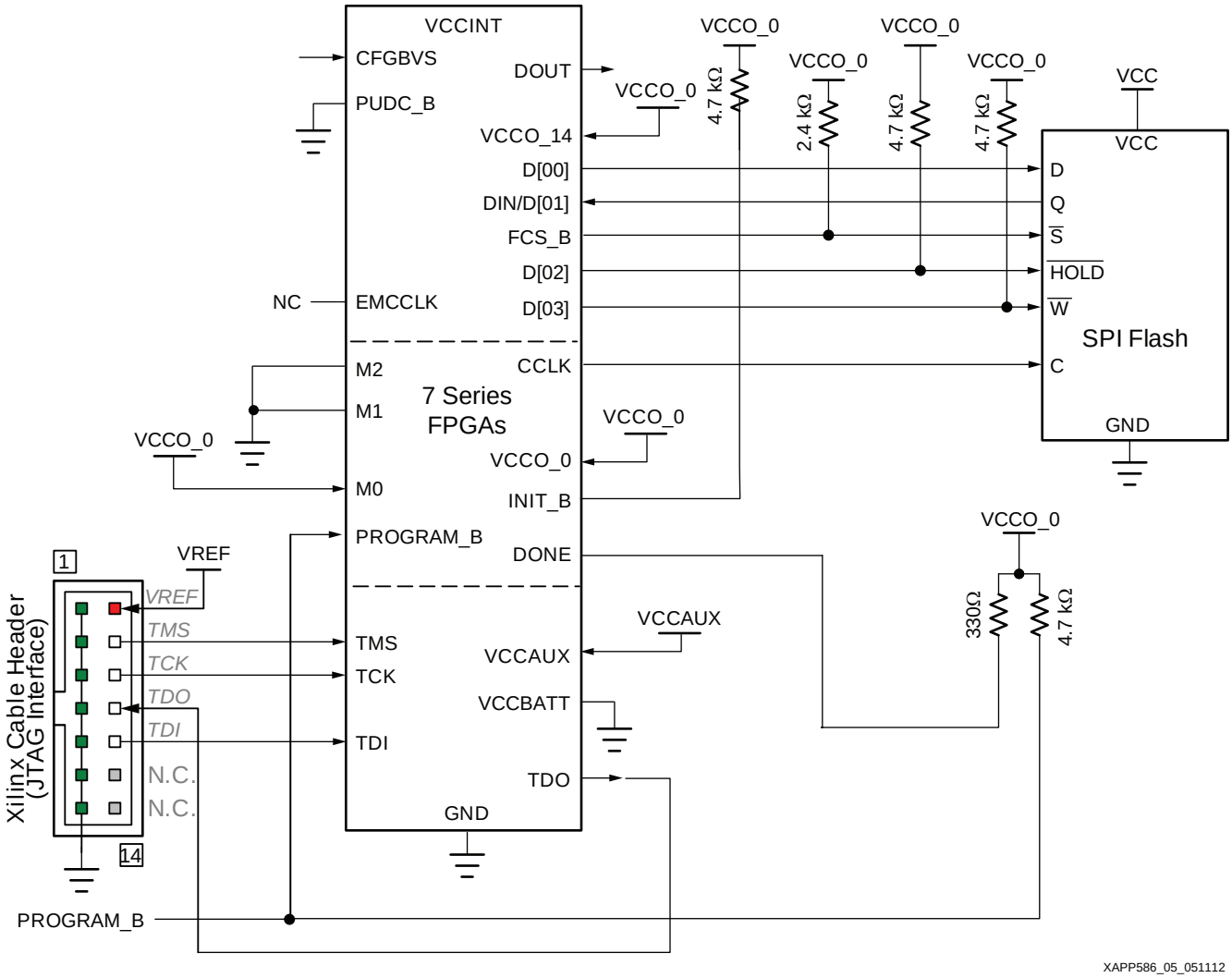


図 5 : SPI フラッシュ コンフィギュレーションの回路図 (x4 モード)

x4 モードの SPI フラッシュ コンフィギュレーションの回路図 (図 5) について説明します。

1. DONE ピンは、デフォルトではオープン ドレイン出力で、外部プルアップ抵抗の使用を推奨します。
2. INIT_B ピンは双方向オープン ドレイン ピンで、外部プルアップ抵抗が必要です。
3. CCLK のシグナル インテグリティが重要です。
4. SPI フラッシュから FPGA へのデータパスには、オーバーシュートを最小限に抑えるために直列抵抗の使用を検討してください。適切な抵抗値はシミュレーションで求めることができます。
5. 7 シリーズ FPGA の VCCO は、SPI フラッシュの VCC に適合する必要があります。
6. VCCBATT は AES キーを格納している SRAM の電源です。AES 暗号化の詳細は、『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』(UG470) を参照してください。

SPI フラッシュの電源投入時における留意点

電源投入時、FPGA と SPI フラッシュの間には競合が生じます。FPGA は自己初期化を完了後、SPI フラッシュへ読み出しコマンドを送信してコンフィギュレーション データを取得します。この時点で SPI フラッシュは、このコマンドに対して応答する準備が整った状態である必要があります。フラッシュが自己初期化を完了するのに必要な時間は、SPI フラッシュのデータシートに記載されている仕様を参照してください (SPI フラッシュのデータシート リストは、「参考資料」セクションを参照)。一般的に、7 シリーズ FPGA の自己初期化時間 (パワーオン リセットとも呼ぶ) の方が、SPI フラッシュ (数百マイクロ秒) よりもはるかに長い (ミリ秒) とされていますが、設計者は必ずこの時間を計算してください。この確認は、SPI フラッシュと FPGA が別々の電源レールを使用している場合に特に重要です。

SPI フラッシュから FPGA をコンフィギュレーション

FPGA の自己初期化が完了すると、INIT がリリースされて FPGA がモード ピン (M[2:0]) をサンプルして、使用するコンフィギュレーション モードが決定します。モード ピン設定が M[2:0] = 001 の場合、FPGA は約 3MHz の周波数で CCLK にクロックを出力します。その後、FCS_B が Low 駆動し、D[00] ピンに x1 高速読み出し命令用の OPCODE とアドレスが現れます (図 6)。

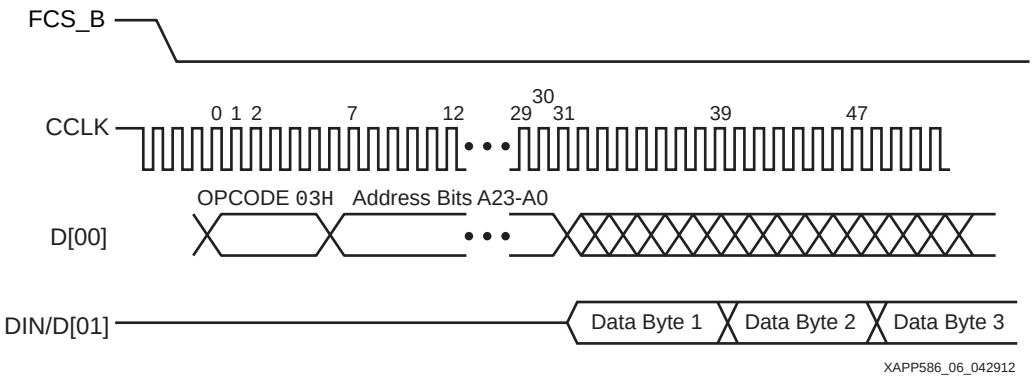


図 6 : 7 シリーズ FPGA の SPI フラッシュの タイミング図

最初は、x1 モードでデータが SPI フラッシュから FPGA へ送信されます。外部クロック、バス幅 (x2、x4)、またはその他のオプションへ切り替えるためのコマンドは、ビットストリームの最初の部分にすべて含まれています。これらのオプションを読み込んだ後、FPGA はコンフィギュレーションの中間地点で調整を行います。

デフォルトの動作は、CCLK の立ち下がりエッジで SPI フラッシュからデータが出力され、CCLK の立ち上がりエッジで FPGA がキャプチャします。このデフォルト動作は、SPI_FALL_EDGE BitGen オプションを有効にすることによって、立ち下がりエッジでデータをキャプチャするように変更できます。

SPI フラッシュ コンフィギュレーションの時間

式 1 から SPI フラッシュが安全に動作でき、その上ビットストリームを確実に送信できる最大周波数を計算してください。SPI フラッシュは、クロックの立ち下がりエッジでデータを送信します。7 シリーズ FPGA は、デフォルトでクロックの立ち上がりエッジでデータをキャプチャします。次の式を使用する場合は、FPGA が立ち下がりエッジでデータをキャプチャする SPI フラッシュ コンフィギュレーション オプションを有効にしていること (-g spi_fall_edge:yes) が前提となります。これにより、フル クロック サイクルを利用できるため、より高い周波数が達成できます。

式 1 で、SPI フラッシュ コンフィギュレーション周波数を算出できます。

式 1

$$\text{最大コンフィギュレーション クロック周波数} = \frac{1}{\text{フラッシュの Clock-to-Out } (T_{SPITCO}) + \text{FPGA のデータ セットアップ時間}(T_{SPIDDC})}$$

7 シリーズ FPGA では、内部オシレーターの周波数許容偏差 (fMCCKTOL) が重要です。最短時間でのコンフィギュレーションが必須の場合には、外部クロック (EMCCLK) を使用することを推奨します。

最適なコンフィギュレーション レートを決定した後、x1 モードでのコンフィギュレーションの合計時間を求めるために、ビットストリーム全体のサイズをコンフィギュレーション レートで割ります。データ幅が x2 または x4 の場合は、さらに幅で割る必要があります。

コンフィギュレーション クロックの計算例

このセクションでは、SPI フラッシュ ソリューションの最大動作コンフィギュレーション周波数を判断するための手順を説明します。

ここで使用する SPI フラッシュは N25Q128A13 で、ターゲット デバイスは Kintex-7 XC7K325T FPGA です。

SPI フラッシュのデータシートによると、SPI フラッシュの Clock-to-Out は、VCC および出力ピンのキャパシタンスによって異なります。

これらの最速値は 6.5nm で、最も遅い値は 8ns です。ここで示す例では、負荷が 30pF 以下の状態で SPI フラッシュが動作電圧の上限値で動作している場合に 7.65ns となります。

Kintex-7 XC7K325T FPGA のセットアップ タイムは 3.0ns (電圧値は『Kintex-7 FPGA データシート』(DS182) を参照) です。

最大クロック周波数は、1 / (7.65ns + 3.0ns) = ~93.897MHz となります。

設計者は、FPGA の内部オシレーターの使用を検討する必要があり、93.9MH に最も近い値は 66MHz です。しかし、XC7K325T の周波数許容偏差 (fMCCKTOL) は ±50% (最新の値は『Kintex-7 FPGA データシート』(DS182) を参照) であるため、このクロック周波数は (66MHz x 1.5) = 99MHz になる可能性があり、計算された最大値に対して速すぎます。

次に速いコンフィギュレーション レートは 50MHz で、最大周波数は (50MHz x 1.5) = 75MHz になります。この値は計算された最大値をはるかに下回り、標準では 50MHz で動作するため、希望する 93.9MHz よりも大幅に遅くなります。

Kintex-7 XC7K325T FPGA のビットストリームは、91,458,896 ビットです。

周波数が 50MHz の場合、x1 データ幅で XC7K325T をコンフィギュレーションするには、91,458,896 /50,000,000 = 1.82 秒かかります。

ボード上に別のアプリケーションまたはデバイス用に 80MHz のオシレーターがすでに存在し、FPGA コンフィギュレーション用のクロックとして多目的に使用できると仮定します。

周波数が 80MHz の場合、x1 データ幅で XC7K325T をコンフィギュレーションするには、91,458,896 /80,000,000 = 1.143 秒かかります。

x4 データ幅の SPI フラッシュで XC7K325T FPGA をコンフィギュレーションするには、1.143 / 4 = 286 ミリ秒かかります。

外部マスター クロックに関する留意事項

コンフィギュレーション クロック ソースとして外部マスター クロック (EMCCLK) を使用する場合は、ユーザー デザインに EMCCLK を含める必要があります。このクロックが含まれていないと、FPGA がスタートアップ シーケンスを完了できません。FPGA コンフィギュレーションに内部オシレーターを使用する場合、特別なデザイン要件はありません。

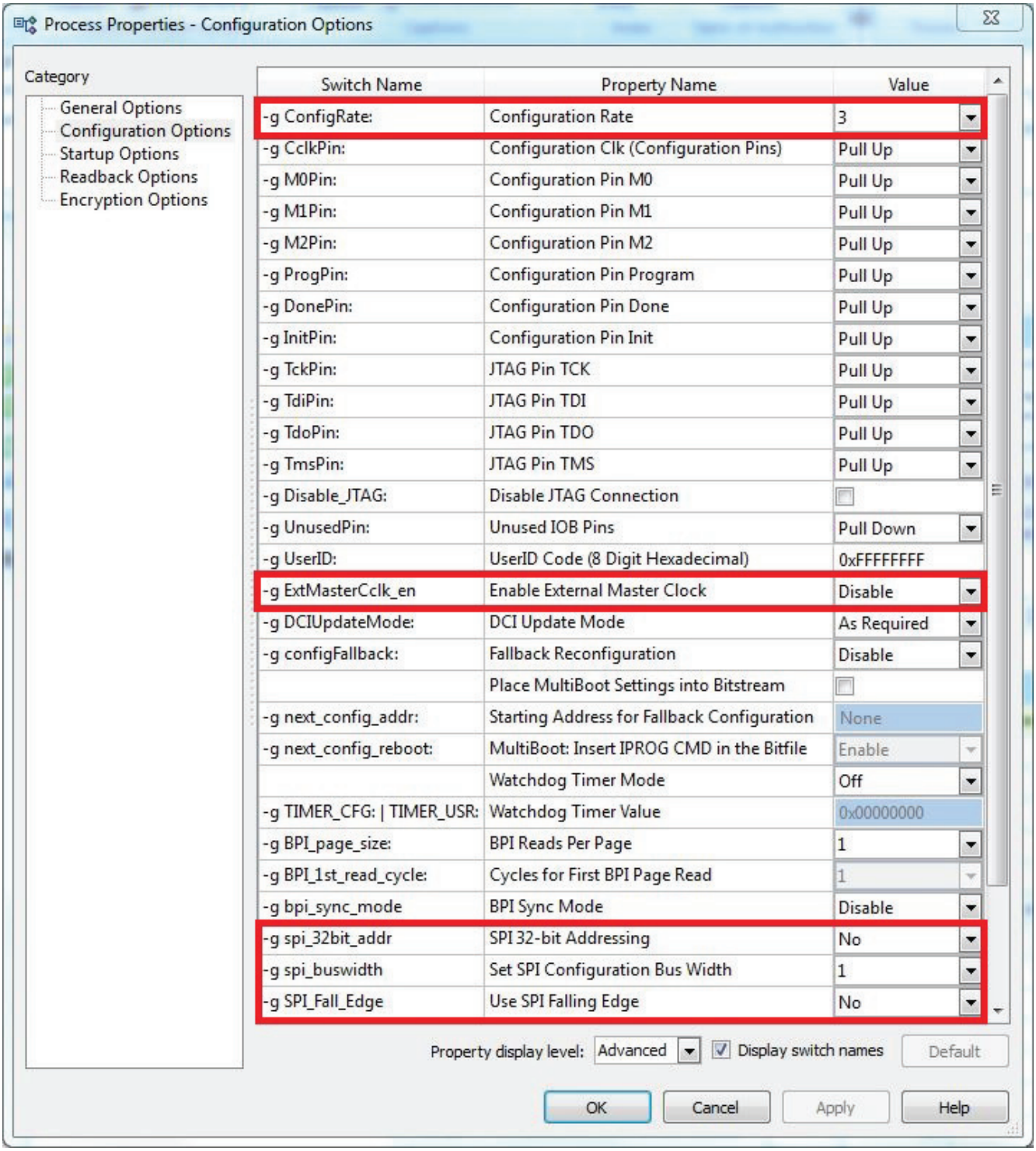
SPI フラッシュ コンフィギュレーションのオプション

表 3 に、SPI フラッシュに適合するコンフィギュレーション ビットストリームを正しく生成するために必要な BitGen オプションを示します。これらのオプションは、ISE ツールの [Generate Programming File] プロセスのプロパティで選択できます (図 7)。オプションを指定しない場合は、最初にリストされている太字で表示されたデフォルト値が使用されます。

表 3 : BitGen コンフィギュレーション オプション

BitGen オプション	説明
-g spi_buswidth:**1**|2|4	SPI フラッシュからの読み出しのデータ幅を選択します。
-g spi_32bit_addr:**No**|Yes	256Mb またはそれ以上の SPI フラッシュをターゲットとする場合は Yes に設定します。これは、大容量のフラッシュ デバイスに必要な大規模アドレス空間の送信を FPGA へ命令します。
-g SPI_Fall_Edge:**No**|Yes	コンフィギュレーションを高速で実行したい場合には Yes に設定します。 Yes = クロックの立ち下がりエッジでデータをキャプチャ No = クロックの立ち上がりエッジでデータをキャプチャ
-g ConfigRate:**3**|6|9|12|16|22|26|33|40|50|66	内部オシレーターを使用する場合には、7 シリーズ FPGA が SPI フラッシュへ駆動する近似的なコンフィギュレーション クロック周波数を設定します (MHz)。このオプションの実際の値は、『コマンド ライン ツール ユーザー ガイド』(UG628) に記載されており、選択した FPGA によって異なる可能性があります。
-g ExtMasterCclk_en:**Disable**|div-8|div-4| div-2|div-1	内部オシレーターの代わりに、コンフィギュレーション クロックとして EMCCLK のクロック信号を使用するように FPGA へ命令します。同じ周波数で EMCCLK のクロックを使用する場合は、div-1 を選択します。その他の div オプションを使用すると、指定した適切な値で EMCCLK クロックが分周されてから CCLK に出力されます。

ISE ツールからこれらのオプションを設定する場合は、**[Generate Programming File]** を右クリックして、**[Process Properties]** → **[Configuration Options]** を選択してください。メニュー バーの [Process] で [**Process Properties**] を選択し、**[Configuration Options]** を選択することも設定できます。ウィンドウの下部にある [Property display level] で **[Advanced]** を選択すると、すべてのオプションが表示されます。



XAPP586_07_042912

図 7 : BitGen のコンフィギュレーション オプション

SPI フラッシュ プログラミング ファイルの準備

ザイリンクスの ISE ツールは、FPGA ビットストリーム (.bit) を使用して SPI フラッシュのプログラム用の PROM ファイルを生成します。PROMGen (このタスクを実行するプログラム) は、iMPACT プログラム ツール内の [Create PROM File] フローの下にあります。このフローを選択すると、ユーザーはファイル生成に必要なオプションを簡単に設定できます。コマンド ラインと次の PROMGen オプションを使用して PROM ファイルを生成することも可能です。

表 4 : PROMGen オプション

オプション	説明
-spi	FPGA を SPI フラッシュ デバイスからコンフィギュレーションするときに必要な正しいビット順を維持するために使用します。
-p mcs|exo	PROM 出力ファイルの形式です。一般的な PROM ファイル形式としては、Intel Hex (.mcs) および Motorola Hex (.exo) があります。 ザイリンクス iMPACT を使用する間接プログラム フローでは、MCS 形式のみサポートされています。
-s <size>	PROM サイズをキロバイト単位で指定します。SPI フラッシュのサイズは 2 のべき乗である必要があり、デフォルト設定は 64KB です。
-u <address>	指定された開始アドレスから上方向にビットストリーム ファイルをロードします。このオプションが設定されていない場合のデフォルトはアドレス 0 です。ほとんどのデザインはアドレス 0 を使用します。
-o <filename>	出力ファイル名を指定します。

次のコマンド ライン例を使用して、オプションがどのように使用されるのかを説明します。

```
Promgen -spi -p mcs -o spi_flash.mcs -s 16384 -u 0 design.bit
```

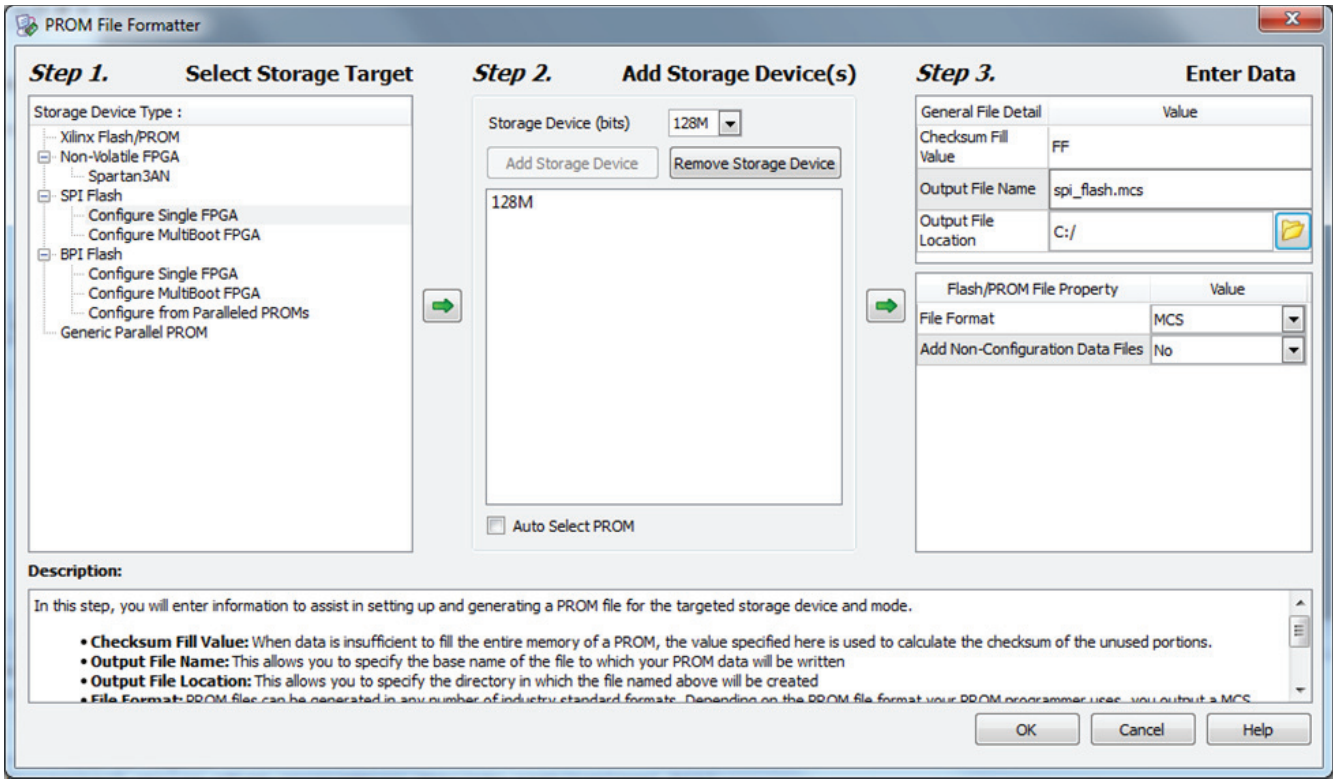
このコマンド例は、次のように PROMGen へ命令しています。

- MSC ファイル形式を用いて SPI フラッシュ用に正しいビット順でファイルを作成し、出力ファイル名は `spi_flash.mcs` とする
- 128Mb フラッシュ (16384 x 1024 バイト x 8 ビット = 134,217,728、つまり実際の SPI フラッシュ サイズは 128Mb) をターゲットとして選択する

[Configure Target Device] プロセスを開始して、ISE iMPACT ツールを起動します。図 8 に、PROMGen の GUI インターフェイスを示します。

フラッシュ ファイルを生成する GUI 手順は次のとおりです。

1. iMPACT ツールを開いて、左上のボックスにある **[Create PROM File (PROM File Formatter) iMPACT]** を選択します。図 8 に、PROMGen の GUI インターフェイスを示します。
2. 表示されるウィザードに従って、PROM ファイルを生成します。
   a. [Step 1] の [Select Storage Target] では、[SPI Flash] の下にある **[Configure Single FPGA]** を選択します。その後、緑色の矢印をクリックして Step 2 へ移動します。
   b. [Step 2] の [Add Storage Device] では、[Storage Device (bits)] から適切な SPI フラッシュの集積度を選択し (図 8 の例では 128Mb が選択されている)、**[Add Storage Device]** をクリックします。その後、緑色の矢印をクリックして Step 3 へ移動します。
   c. [Step 3] の [Enter Data] では、出力ファイル名を入力し、そのファイルを配置する場所を指定して **[OK]** をクリックします。



XAPP586_08_042912

図 8 : PROM ファイル生成フロー

次に、コンフィギュレーション ビットストリーム ファイルの追加を開始する命令を与えるダイアログが表示されます。

3. **[OK]** を選択して、ターゲットとなる BIT ファイルを追加します。
4. デザイン イメージが 1 つの場合は、次のプロンプト (複数デザインの場合に使用するオプション) で **[No]** をクリックします。
5. **[OK]** をクリックして、デザイン ファイルの入力を完了します。
6. **[Generate File]** をダブルクリックして、MCS フラッシュのプログラミング ファイルを作成します。生成されたファイルがコンソール ログに表示されます。

SPI フラッシュのインシステム プログラミング

iMPACT プログラム ツールでは、SPI フラッシュと FPGA 間の既存コンフィギュレーション接続を活用して、SPI フラッシュをインシステムでプログラムできます。この方法は、FPGA を介して SPI フラッシュをプログラムするため、間接プログラムと言われています。間接プログラムを実行するには、FPGA の JTAG ピン、ザイリンクスのプラットフォーム ケーブル USB II などの JTAG プログラミング ケーブル、および iMPACT プログラム ツールがインストールされているコンピューターも必要です。このセットアップを使用すると、ボードから SPI フラッシュを外さなくても再プログラムできるため、ラボ環境でのデバッグに非常に便利です。

注記：間接プログラム ソリューションは、量産製品向けではありません。量産品のプログラムには、BP Microsystems 社または Data I/O 社が提供するプログラミング ソリューションを使用してください。

SPI フラッシュのインシステム プログラミングの最初の手順として、プログラミング ケーブルを SPI フラッシュへブリッジングするインターフェイス デザインを 7 シリーズ FPGA にロードする必要があります。この手順では、FPGA のコンテンツがクリアされます。このデザインでは、SPI フラッシュ コンフィギュレーションのインターフェイスと無関係なユーザー I/O ピンが無効になります (弱いプルアップ抵抗を付ける)。設計者はこの点に注意して、FPGA と接続しているその他のデバイスに悪影響を及

ぼさないようにする必要があります。たとえば、SPI フラッシュのプログラム中に一部の I/O ピンが Low 駆動を保持しなければならない場合、これらのピンに外部プルダウン抵抗を追加して、有効になっている弱い内部プルアップ抵抗を無効にする必要があります。

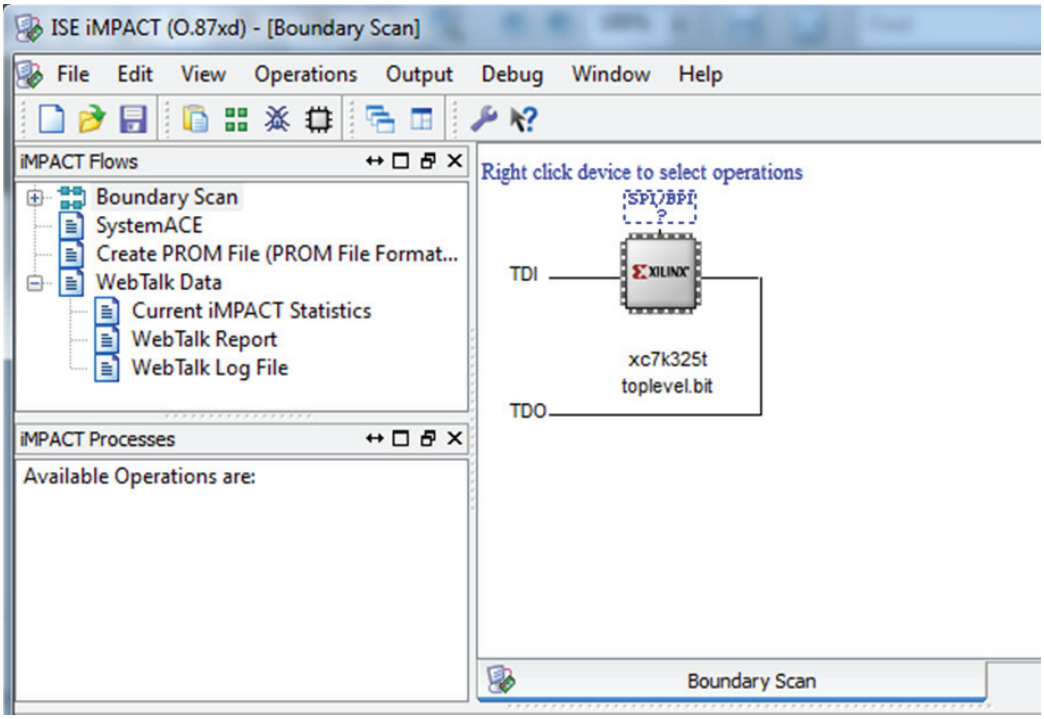
次のデモンストレーションでは、KC705 Kintex-7 FPGA 評価ボードに搭載されている Kintex-7 XC7K325T FPGA および Micron 社製の N25Q128A13 SPI フラッシュをターゲットとしています。

ボードに電源を投入し、USB ケーブルが接続されていることを確認します。KC705 ボードでは、プラットフォーム ケーブル USB II の代わりに、標準の USB-to-micro-USB ケーブルを使用します。通常は、ボード上に PC と JTAG の接続を管理する専用ハードウェアがないため、プラットフォーム ケーブル USB II が必要になります。

図 9 に、バウンダリスキャン モードの GUI インターフェイスを示します。

1. **[Configure Target Device]** をダブルクリックして iMPACT を起動し、左上部の **[Boundary Scan]** を選択します (図 9)。
2. **[Initialize Chain]** のアイコンを選択して、ボード上の JTAG デバイスを確認します。
3. 画面に JTAG チェーンが表示されます。FPGA にビットストリームを割り当てても、SPI フラッシュ プログラムの目的には関係ないため、ビットストリームを割り当てることができます。次の例では、`toplevel.bit` が Kintex-7 FPGA に割り当てられています。

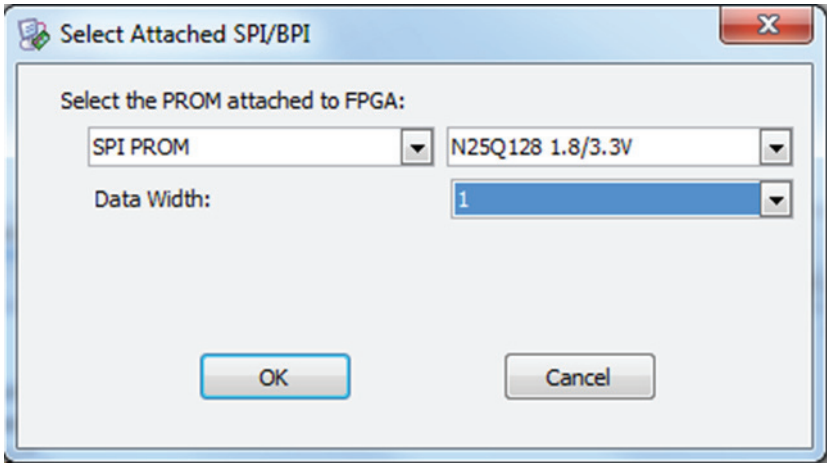
   注記 :「SPI/BPI?」と示されたボックスが FPGA の上に表示されています。これは、この FPGA へ接続されているフラッシュ デバイスへ PROM ファイルが割り当てられていないことを意味します。



XAPP586_09_042912

図 9 : iMPACT JTAG チェーン

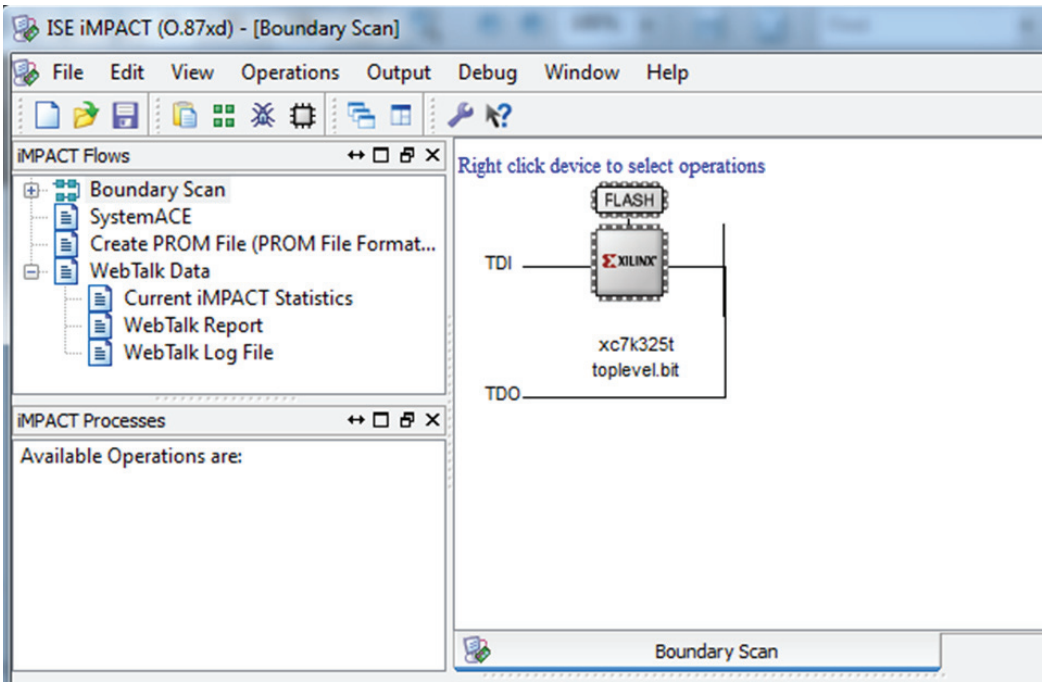
4. **[SPI/BPI]** を右クリックして **[Add SPI/BPI flash]** を選択します (図 10)。これにより、Explorer ウインドウが開きます。MSC ファイルを見つけて選択します。
5. iMPACT ツールで、ターゲット フラッシュ デバイスのタイプを選択するよう指示されます。プルダウン メニューから適切なデバイスを選択します。



XAPP586_10_042912

図 10 : iMPACT SPI フラッシュの選択

右側のウィンドウにある画像で、「SPI/BPI?」と示されていた破線のボックスがフラッシュ デバイスの画像に変わります (図 11)。

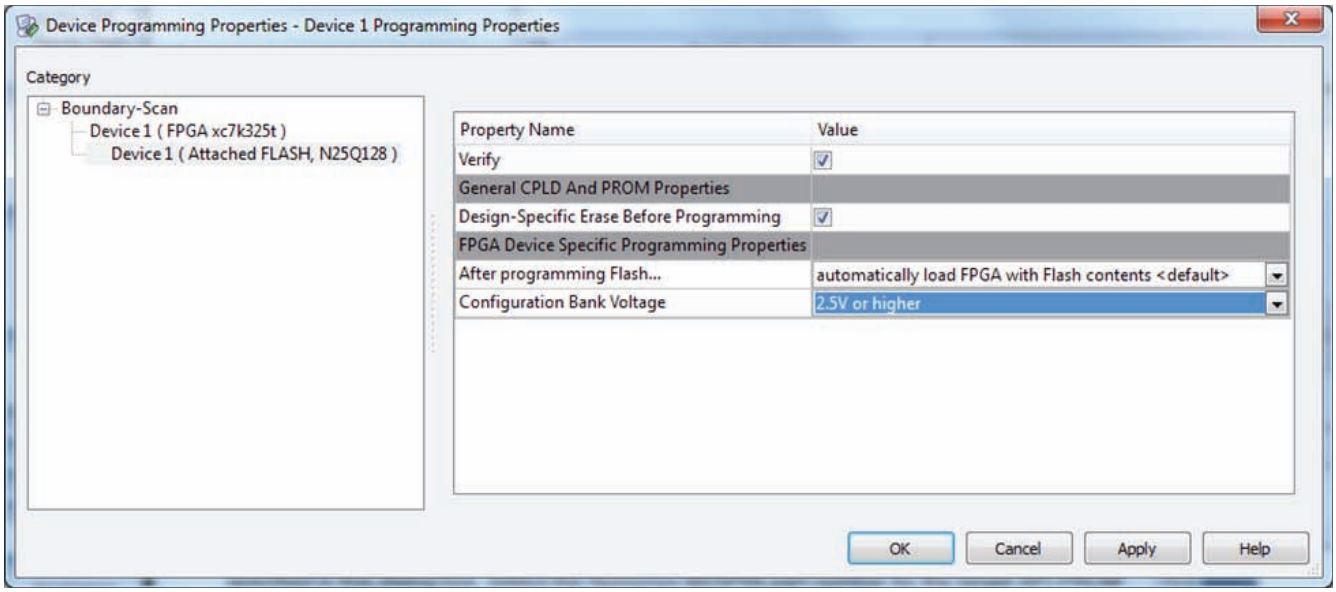


XAPP586_11_042912

図 11 : SPI フラッシュが指定された iMPACT JTAG チェーン

6. **[Flash]** を右クリックして **[Set Programming Properties]** を選択します (図 12)。

   ここから、Erase や Verify などの機能がデフォルトで有効になります。この手順により、設計者が SPI フラッシュをプログラムする際にはすべての動作 (**消去** → **プログラム** → **検証**) が実行されます。これらの命令は、必要に応じて個別にも実行できます。



XAPP586_12_042912

図 12 : iMPACT SPI フラッシュ プログラミングのプロパティ

iMPACT による間接フラッシュ プログラミングの予想実行時間

KC705 評価ボードで iMPACT 14.1 を使用する場合、実行時間が提供されます。これらの時間は保証される値ではなく、目安として考えてください。

Kintex-7 XC7K325T FPGA のシングル ビットストリーム (最大 91Mb)

- 消去時間 : 13 秒
- プログラム時間 : 47 秒
- 検証時間 : 19 秒

まとめ

SPI フラッシュは、少ないピン数で簡単に 7 シリーズ FPGA をコンフィギュレーションできるソリューションです。間接プログラムのサポートにより、コンフィギュレーション ソリューション用にすでに必要となっている接続を再利用して、SPI フラッシュのインシステム プログラミング アップデートが可能となり、さらに使い易くなりました。より高速で高集積なコンフィギュレーション ソリューションはほかにもありますが、SPI フラッシュ ソリューションは速度と使い易さの最適なバランスを提供します。

参考資料

これらの文書は、このユーザー ガイドに役立つ補足資料です。

1. UG470 :『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』
2. DS180 :『7 シリーズ FPGA 概要』
3. DS181 :『Artix-7 FPGA データ シート』
4. DS182 :『Kintex-7 FPGA データシート
5. DS183 :『Virtex-7 FPGA データ シート』
6. UG883 :『Kintex-7 FPGA KC705 評価キット スタートアップ ガイド』
7. ザイリンクスの ISE Design Suite 関連資料 : http://japan.xilinx.com/support/software_manuals.htm
8. UG628 :『コマンド ライン ツール ユーザー ガイド』
9. SPI フラッシュのデータシート (マイクロン テクノロジ社) : http://www.micron.com
10. SPI フラッシュのデータシート (スパンション社) : http://www.spansion.com

11. SPI フラッシュのデータシート (ウィンボンド エレクトロニクス社) : http://www.winbond.com

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2012 年 5 月 30 日	1.0	初版リリース

Notice of Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products.To the maximum extent permitted by applicable law:(1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same.Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications.You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent.Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at http://www.xilinx.com/warranty.htm; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx.Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications:http://www.xilinx.com/warranty.htm#critapps.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。
資料によっては英語版の更新に対応していないものがあります。
日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。