

概要

ザイリンクス Virtex® UltraScale™ FPGA には、-3、-2、-1 のスピード グレードがあり、-3 スピード グレードのパフォーマンスが最も高くなっています。

DC 特性および AC 特性は、コマーシャル、拡張、インダストリアルグレードの温度範囲に対して指定されていますが、特記のない限り、同一スピード グレードのパラメーターの値は、動作温度範囲を除いてコマーシャルとインダストリアルで同じです。つまり、-1 スピード グレードのタイミング特性は、インダストリアルデバイスとコマーシャル デバイスで同じです。ただし、スピード グレードやデバイスによっては、インダストリアル デバイスで入手できない場合があります。

電源電圧およびジャンクション温度の仕様はすべて、ワースト ケースの値です。ここに記載されたパラメーターは、頻繁に使用されるデザインや一般的なアプリケーションに共通のものです。

このデータシートを含む、UltraScale アーキテクチャ デバイスに関するすべての資料は、ザイリンクスのウェブサイト (japan.xilinx.com/ultrascale) から入手できます。

DC 特性

表 1: 絶対最大定格⁽¹⁾

シンボル	説明	最小	最大	単位
FPGA ロジック				
V _{CCINT}	内部電源電圧	-0.500	1.100	V
V _{CCINT_IO} ⁽²⁾	I/O バンクの内部電源電圧	-0.500	1.100	V
V _{CCAUX}	補助電源電圧	-0.500	2.000	V
V _{CCEBRAM}	ブロック RAM メモリの電源電圧	-0.500	1.100	V
V _{CCO}	HR I/O バンクの出力ドライバー電源電圧	-0.500	3.400	V
	HP I/O バンクの出力ドライバー電源電圧	-0.500	2.000	V
V _{CCAUX_IO} ⁽³⁾	I/O バンクの補助電源電圧	-0.500	2.000	V
V _{REF}	入力基準電圧	-0.500	2.000	V
V _{IN} ⁽⁴⁾⁽⁵⁾⁽⁶⁾	HR I/O バンクの I/O 入力電圧	-0.400	V _{CCO} + 0.550	V
	HP I/O バンクの I/O 入力電圧	-0.550	V _{CCO} + 0.550	V
	V _{REF} 、および TMD5_33 ⁽⁷⁾ を除く差動 I/O 規格の I/O 入力電圧 (V _{CCO} = 3.3V のとき)	-0.400	2.625	V
V _{BATT}	キー メモリ用のバックアップ バッテリー電源電圧	-0.500	2.000	V
I _{DC}	パッドで利用可能な出力電流	-20	20	mA
I _{RMS}	パッドで利用可能な RMS 出力電流	-20	20	mA
GTH または GTY トランシーバー				
V _{MGTAVCC}	GTH/GTY トランスミッターおよびレシーバー回路のアナログ電源電圧	-0.500	1.100	V
V _{MGTAVTT}	GTH/GTY トランスミッターおよびレシーバー終端回路のアナログ電源電圧	-0.500	1.320	V

この資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

表 1: 絶対最大定格⁽¹⁾ (続き)

シンボル	説明	最小	最大	単位
V _{MGTVCCAUX}	GTH/GTY トランシーバーの補助アナログ クワッド PLL (QPLL) 電源電圧	-0.500	1.935	V
V _{MGTREFCLK}	GTH/GTY トランシーバーの基準クロックの絶対入力電圧	-0.500	1.320	V
V _{MGTAVTTRCAL}	GTH/GTY トランシーバー カラムの抵抗キャリブレーション回路のアナログ電源電圧	-0.500	1.320	V
V _{IN}	レシーバー (RXP/RXN) およびトランスミッター (TXP/TXN) の絶対入力電圧	-0.500	1.260	V
I _{DCIN-FLOAT}	RX 終端 = フローティングのとき、レシーバー入力ピンの DC 入力電流	—	0 ⁽⁸⁾	mA
I _{DCIN-MGTAVTT}	RX 終端 = V _{MGTAVTT} のとき、レシーバー入力ピンの DC 入力電流	—	10	mA
I _{DCIN-GND}	RX 終端 = GND のとき、レシーバー入力ピンの DC 入力電流	—	10	mA
I _{DCIN-PROG}	RX 終端 = プログラマブルのとき、レシーバー入力ピンの DC 入力電流	—	N/A ⁽⁸⁾	mA
I _{DCOUT-FLOAT}	RX 終端 = フローティングのとき、トランスミッター ピンの DC 出力電流	—	0 ⁽⁸⁾	mA
I _{DCOUT-MGTAVTT}	RX 終端 = V _{MGTAVTT} のとき、トランスミッター ピンの DC 出力電流	—	6	mA
システム モニター				
V _{CCADC}	GNDADC に対するシステム モニター電源電圧	-0.500	2.000	V
V _{REFP}	GNDADC に対するシステム モニター基準入力	-0.500	2.000	V
温度				
T _{STG}	ストレージ温度 (周囲)	-65	150	°C
T _{SOL}	最大はんだ付け温度 ⁽⁹⁾	—	260	°C
T _j	最大ジャンクション温度 ⁽⁹⁾	—	125	°C

注記:

- この表の絶対最大定格を超える条件下では、デバイスが恒久的に破損する可能性があります。ここに示す値は最大定格値であり、この条件および推奨動作条件以外の状態でデバイスが動作することを示すものではありません。また、デバイスを絶対最大定格の状態でも長時間使用すると、デバイスの信頼性が低下する可能性があります。
- V_{CCINT_IO} は V_{CCINT} に接続してください。
- V_{CCAUX_IO} は V_{CCAUX} に接続してください。
- より低い絶対電圧値が常に適用されます。
- I/O の動作は、『UltraScale アーキテクチャ SelectIO リソース ユーザー ガイド』(UG571: 英語版、日本語版) を参照してください。
- 最大定格の制限は DC 信号に適用されます。最大のアンダーシュート/オーバーシュート AC 仕様については、表 4 および表 5 を参照してください。
- TMD5_33 仕様は、表 12 を参照してください。
- サポートされる GTH または GTY トランシーバーの終端の詳細は、『UltraScale アーキテクチャ GTH トランシーバー ユーザー ガイド』(UG576: 英語版、日本語版) または 『UltraScale アーキテクチャ GTY トランシーバー ユーザー ガイド』(UG578: 英語版、日本語版) を参照してください。
- はんだ付けのガイドラインおよび温度条件は、『UltraScale および UltraScale+ FPGA パッケージおよびピン配置ユーザー ガイド』(UG575: 英語版、日本語版) を参照してください。

 表 2: 推奨動作条件⁽¹⁾⁽²⁾

シンボル	説明	最小	標準	最大	単位
FPGA ロジック					
V _{CCINT}	0.95V デバイスの内部電源電圧	0.922	0.950	0.979	V
	1.0V デバイスの内部電源電圧	0.970	1.000	1.030	V
V _{CCINT_IO} ⁽³⁾	0.95V デバイス I/O バンクの電源電圧	0.922	0.950	0.979	V
	1.0V デバイス I/O バンクの電源電圧	0.970	1.000	1.030	V
V _{CCBRAM}	0.95V デバイスのブロック RAM の電源電圧	0.922	0.950	0.979	V
	1.0V デバイスのブロック RAM の電源電圧	0.970	1.000	1.030	V
V _{CCAUX}	補助電源電圧	1.746	1.800	1.854	V

表 2: 推奨動作条件⁽¹⁾⁽²⁾ (続き)

シンボル	説明	最小	標準	最大	単位
V _{CC0} ⁽⁴⁾⁽⁵⁾	HR I/O バンクの電源電圧	1.140	—	3.400	V
	HP I/O バンクの電源電圧	0.950	—	1.890	V
V _{CCAUX_IO} ⁽⁶⁾	補助 I/O 電源電圧	1.746	1.800	1.854	V
V _{IN} ⁽⁷⁾	I/O 入力電圧	-0.200	—	V _{CC0} + 0.200	V
	V _{REF} 、および TMD5_33 ⁽⁸⁾ を除く差動 I/O 規格の I/O 入力電圧 (V _{CC0} = 3.3V のとき)	—	0.400	2.625	V
I _{IN} ⁽⁹⁾	クランプ ダイオードが順方向バイアスであるときの、電源がオンまたはオフのバンクにあるピンの最大電流	—	—	10.000	mA
V _{BATT} ⁽¹⁰⁾	バッテリー電圧	1.000	—	1.890	V
GTH または GTY トランシーバー					
V _{MGTAVCC} ⁽¹¹⁾	GTH トランシーバーのアナログ電源電圧	0.970	1.000	1.030	V
	ライン レート ≤28.21Gb/s で動作する GTY トランシーバーのアナログ電源電圧	0.970	1.000	1.030	V
	ライン レート >28.21Gb/s で動作する GTY トランシーバーのアナログ電源電圧	1.000	1.030	1.060	V
V _{MGTAVTT} ⁽¹¹⁾	GTH トランスミッターおよびレシーバー終端回路のアナログ電源電圧	1.170	1.200	1.230	V
	ライン レート ≤28.21Gb/s で動作するトランシーバーを用いた GTY レシーバーおよびトランスミッター終端回路のアナログ電源電圧	1.170	1.200	1.230	V
	ライン レート >28.21Gb/s で動作するトランシーバーを用いた GTY レシーバーおよびトランスミッター終端回路のアナログ電源電圧	1.200	1.230	1.260	V
V _{MGTVCCAUX} ⁽¹¹⁾	トランシーバーの補助アナログ クワッド QPLL 電源電圧	1.750	1.800	1.850	V
V _{MGTAVTTRCAL} ⁽¹¹⁾	GTH トランシーバー カラムの抵抗キャリブレーション回路のアナログ電源電圧	1.170	1.200	1.230	V
	ライン レート ≤28.21Gb/s で動作する GTY トランシーバー カラムの抵抗キャリブレーション回路のアナログ電源電圧	1.170	1.200	1.230	V
	ライン レート >28.21Gb/s で動作する GTY トランシーバー カラムの抵抗キャリブレーション回路のアナログ電源電圧	1.200	1.230	1.260	V
SYSMON					
V _{CCADC}	GNDADC に対する SYSMON 電源	1.746	1.800	1.854	V
V _{REFP}	外部の基準電源電圧	1.200	1.250	1.300	V
温度					
T _j	コマーシャル (C) 温度仕様デバイスのジャンクション温度範囲	0	—	85	°C
	拡張 (E) 温度仕様デバイスのジャンクション温度範囲	0	—	100	°C
	インダストリアル (I) 温度仕様デバイスのジャンクション温度範囲	-40	—	100	°C

注記:

- すべての電圧はグラウンドを基準としています。
- 電源分配システムのデザインについては、『UltraScale アーキテクチャ PCB デザイン ユーザー ガイド』(UG583: [英語版](#)、[日本語版](#)) を参照してください。
- V_{CCINT_IO} は V_{CCINT} に接続してください。
- 電源投入時およびコンフィギュレーション中の、V_{CC0_0} の最小推奨動作電圧は 1.425V です。コンフィギュレーション後に V_{CC0} が 0V まで降下しても、コンフィギュレーションデータは保持されます。
- 1.0V (HP I/O のみ)、1.2V、1.35V、1.5V、1.8V、2.5V (HR I/O のみ) ±5%、3.3V (HR I/O のみ) +3/-5% の V_{CC0} を含みます。
- V_{CCAUX_IO} は V_{CCAUX} に接続してください。
- より低い絶対電圧値が常に適用されます。
- TMD5_33 仕様は、[表 12](#) を参照してください。
- 各 52 ピンバンクの合計が 200mA を超えないようにしてください。
- V_{BATT} は、ビットストリームの暗号化を使用する場合にのみ必要です。バッテリーを使用しない場合、V_{BATT} をグラウンドまたは V_{CCAUX} に接続してください。
- 表の各電圧に、『UltraScale アーキテクチャ GTH トランシーバー ユーザー ガイド』(UG576: [英語版](#)、[日本語版](#)) または『UltraScale アーキテクチャ GTY トランシーバー ユーザー ガイド』(UG578: [英語版](#)、[日本語版](#)) で説明されているフィルターが必要です。

表 3: 推奨動作条件下での DC 特性

シンボル	説明	最小	標準 ⁽¹⁾	最大	単位
V_{DRINT}	データを保持するための V_{CCINT} 電圧 (この電圧未滿では、コンフィギュレーション データが失われる可能性がある)	0.82	—	—	V
V_{DRAUX}	データを保持するための V_{CCAUX} 電圧 (この電圧未滿では、コンフィギュレーション データが失われる可能性がある)	1.50	—	—	V
I_{REF}	各ピンの V_{REF} リーク電流	—	—	15	μ A
I_L	各ピンの入力または出力リーク電流 (サンプル テスト)	—	—	15 ⁽²⁾	μ A
C_{IN} ⁽³⁾	パッドのダイ入力の容量 (HP I/O)	—	—	3.75	pF
	パッドのダイ入力の容量 (HR I/O)	—	—	7.00	pF
I_{RPU}	$V_{IN}=0V$ 、 $V_{CCO}=3.3V$ の場合のパッド プルアップ (選択した場合)	75	—	175	μ A
	$V_{IN}=0V$ 、 $V_{CCO}=2.5V$ の場合のパッド プルアップ (選択した場合)	50	—	169	μ A
	$V_{IN}=0V$ 、 $V_{CCO}=1.8V$ の場合のパッド プルアップ (選択した場合)	60	—	678	μ A
	$V_{IN}=0V$ 、 $V_{CCO}=1.5V$ の場合のパッド プルアップ (選択した場合)	30	—	450	μ A
	$V_{IN}=0V$ 、 $V_{CCO}=1.2V$ の場合のパッド プルアップ (選択した場合)	10	—	262	μ A
I_{RPD}	$V_{IN}=3.3V$ の場合のパッド プルダウン (選択した場合)	60	—	190	μ A
	$V_{IN}=1.8V$ の場合のパッド プルダウン (選択した場合)	29	—	685	μ A
I_{CCADC}	パワーアップ状態の SYSMON インスタンスごとのアナログ電源電流	—	—	19.2	mA
I_{BATT} ⁽⁴⁾	バッテリー電源の電流	—	—	150	nA
HP I/O バンクのプログラム可能なキャリブレーション済みオンダイ終端 (DCI) ⁽⁶⁾ (JEDEC 仕様に従って計測)					
R ⁽⁷⁾	ODT = RTT_40 の場合の $V_{CCO}/2$ に対するプログラム可能な入力終端のテブナン等価抵抗	-10% ⁽⁵⁾	40	+10% ⁽⁵⁾	Ω
	ODT = RTT_48 の場合の $V_{CCO}/2$ に対するプログラム可能な入力終端のテブナン等価抵抗	-10% ⁽⁵⁾	48	+10% ⁽⁵⁾	Ω
	ODT = RTT_60 の場合の $V_{CCO}/2$ に対するプログラム可能な入力終端のテブナン等価抵抗	-10% ⁽⁵⁾	60	+10% ⁽⁵⁾	Ω
	ODT = RTT_40 の場合の V_{CCO} に対するプログラム可能な入力終端	-10% ⁽⁵⁾	40	+10% ⁽⁵⁾	Ω
	ODT = RTT_48 の場合の V_{CCO} に対するプログラム可能な入力終端	-10% ⁽⁵⁾	48	+10% ⁽⁵⁾	Ω
	ODT = RTT_60 の場合の V_{CCO} に対するプログラム可能な入力終端	-10% ⁽⁵⁾	60	+10% ⁽⁵⁾	Ω
	ODT = RTT_120 の場合の V_{CCO} に対するプログラム可能な入力終端	-10% ⁽⁵⁾	120	+10% ⁽⁵⁾	Ω
	ODT = RTT_240 の場合の V_{CCO} に対するプログラム可能な入力終端	-10% ⁽⁵⁾	240	+10% ⁽⁵⁾	Ω
HP I/O バンクのプログラム可能なキャリブレーションなしのオンダイ終端 (JEDEC 仕様に従って計測)					
R ⁽⁷⁾	ODT = RTT_40 の場合の $V_{CCO}/2$ に対するプログラム可能な入力終端のテブナン等価抵抗	-50%	40	+50%	Ω
	ODT = RTT_48 の場合の $V_{CCO}/2$ に対するプログラム可能な入力終端のテブナン等価抵抗	-50%	48	+50%	Ω
	ODT = RTT_60 の場合の $V_{CCO}/2$ に対するプログラム可能な入力終端のテブナン等価抵抗	-50%	60	+50%	Ω
	ODT = RTT_40 の場合の V_{CCO} に対するプログラム可能な入力終端	-50%	40	+50%	Ω
	ODT = RTT_48 の場合の V_{CCO} に対するプログラム可能な入力終端	-50%	48	+50%	Ω
	ODT = RTT_60 の場合の V_{CCO} に対するプログラム可能な入力終端	-50%	60	+50%	Ω
	ODT = RTT_120 の場合の V_{CCO} に対するプログラム可能な入力終端	-50%	120	+50%	Ω
	ODT = RTT_240 の場合の V_{CCO} に対するプログラム可能な入力終端	-50%	240	+50%	Ω

表 3: 推奨動作条件下での DC 特性 (続き)

シンボル	説明	最小	標準 ⁽¹⁾	最大	単位
HR I/O バンクのプログラム可能なキャリブレーションなしのオンダイ終端 (JEDEC 仕様に従って計測)					
R ⁽⁷⁾	ODT = RTT_40 の場合の V _{CCO} /2 に対するプログラム可能な入力終端のテブナン等価抵抗	-50%	40	+50%	Ω
	ODT = RTT_48 の場合の V _{CCO} /2 に対するプログラム可能な入力終端のテブナン等価抵抗	-50%	48	+50%	Ω
	ODT = RTT_60 の場合の V _{CCO} /2 に対するプログラム可能な入力終端のテブナン等価抵抗	-50%	60	+50%	Ω
内部 V _{REF}	50% V _{CCO}	V _{CCO} × 0.49	V _{CCO} × 0.50	V _{CCO} × 0.51	V
	70% V _{CCO}	V _{CCO} × 0.69	V _{CCO} × 0.70	V _{CCO} × 0.71	V
差動終端	プログラム可能な差動終端 (TERM_100)	—	100	—	Ω
n	温度ダイオードの理想係数	—	1.002	—	—
r	温度ダイオードの直列抵抗	—	2	—	Ω

注記:

- 標準値は、標準電圧および 25°C の条件で指定されています。
- 1.8V の V_{CCO} および別々の V_{CCO} と V_{CCAUX_IO} 電源を備えた HP I/O バンクでは、I_L 最大電流は 70μA となります。
- ここで示した計測結果はパッドのダイ容量であり、パッケージは含まれません。
- 最大値は、25°C のワースト ケースで指定されています。XC7VU125、XC7VU160、XC7VU190、および XC7VU440 デバイスの場合、最大値にデバイス内の SLR (Super Logic Region) の数を掛けて算出します。
- VRP が別のバンクにある場合 (DCI カスケード)、範囲は ±15% に拡大します。
- VRP の許容抵抗は (240Ω ±1%) です。
- オンダイ入力終端抵抗の詳細は、『UltraScale アーキテクチャ SelectIO リソース ユーザー ガイド』(UG571: [英語版](#)、[日本語版](#)) を参照してください。

 表 4: HR I/O バンクの AC 電圧オーバーシュート/アンダーシュートの V_{IN} 最大許容値⁽¹⁾⁽²⁾

AC 電圧オーバーシュート	-40°C ~ 100°C の UI (%)	AC 電圧アンダーシュート	-40°C ~ 100°C の UI (%)
V _{CCO} + 0.30	100%	-0.30	100%
V _{CCO} + 0.35	100%	-0.35	70.00%
V _{CCO} + 0.40	100%	-0.40	27.00%
V _{CCO} + 0.45	100%	-0.45	10.00%
V _{CCO} + 0.50	85.00%	-0.50	5.00%
V _{CCO} + 0.55	70.00%	-0.55	2.10%
V _{CCO} + 0.60	46.60%	-0.60	1.50%
V _{CCO} + 0.65	21.20%	-0.65	1.10%
V _{CCO} + 0.70	9.75%	-0.70	0.60%
V _{CCO} + 0.75	4.55%	-0.75	0.45%
V _{CCO} + 0.80	2.15%	-0.80	0.20%
V _{CCO} + 0.85	1.00%	-0.85	0.10%
V _{CCO} + 0.90	0.50%	-0.90	0.05%

注記:

- 各バンクの合計が 200mA を超えないようにしてください。
- 20μs 未満の UI に対応する値です。

表 5: HP I/O バンクの AC 電圧オーバーシュート/アンダーシュートの V_{IN} 最大許容値⁽¹⁾⁽²⁾

AC 電圧オーバーシュート	-40°C ~ 100°C の UI (%)	AC 電圧アンダーシュート	-40°C ~ 100°C の UI (%)
$V_{CCO} + 0.05$	100%	-0.05	100%
$V_{CCO} + 0.10$	100%	-0.10	100%
$V_{CCO} + 0.15$	100%	-0.15	100%
$V_{CCO} + 0.20$	100%	-0.20	100%
$V_{CCO} + 0.25$	100%	-0.25	100%
$V_{CCO} + 0.30$	100%	-0.30	100%
$V_{CCO} + 0.35$	92.00%	-0.35	92.00%
$V_{CCO} + 0.40$	70.00%	-0.40	40.00%
$V_{CCO} + 0.45$	30.00%	-0.45	15.00%
$V_{CCO} + 0.50$	15.00%	-0.50	10.00%
$V_{CCO} + 0.55$	10.00%	-0.55	4.00%
$V_{CCO} + 0.60$	8.00%	-0.60	0.00%
$V_{CCO} + 0.65$	6.00%	-0.65	0.00%
$V_{CCO} + 0.70$	4.00%	-0.70	0.00%
$V_{CCO} + 0.75$	2.00%	-0.75	0.00%
$V_{CCO} + 0.80$	2.00%	-0.80	0.00%
$V_{CCO} + 0.85$	2.00%	-0.85	0.00%

注記:

- 各バンクの合計が 200mA を超えないようにしてください。
- 20 μ s 未満の UI に対応する値です。

 表 6: 標準静止電流⁽¹⁾⁽²⁾⁽³⁾

シンボル	説明	デバイス	スピード グレードおよび V_{CCINT} 動作電圧				単位
			1.0V		0.95V		
			-3	-1H	-2	-1	
I_{CCINTQ}	V_{CCINT} 静止電流	XCVU065	1581	1437	1437	1437	mA
		XCVU080	2309	2100	2100	2100	mA
		XCVU095	2309	2100	2100	2100	mA
		XCVU125	3161	2875	2875	2875	mA
		XCVU160	4742	4312	4312	4312	mA
		XCVU190	4742	4312	4312	4312	mA
		XCVU440	7988	N/A	7264	7264	mA
I_{CCINT_IOQ}	V_{CCINT_IO} 静止電流	XCVU065	100	89	89	89	mA
		XCVU080	161	143	143	143	mA
		XCVU095	161	143	143	143	mA
		XCVU125	200	178	178	178	mA
		XCVU160	299	266	266	266	mA
		XCVU190	299	266	266	266	mA
		XCVU440	299	N/A	266	266	mA

表 6: 標準静止電流⁽¹⁾⁽²⁾⁽³⁾ (続き)

シンボル	説明	デバイス	スピード グレードおよび V _{CCINT} 動作電圧				単位
			1.0V		0.95V		
			-3	-1H	-2	-1	
I _{CCOQ}	V _{CCO} 静止電流	XCVU065	1	1	1	1	mA
		XCVU080	1	1	1	1	mA
		XCVU095	1	1	1	1	mA
		XCVU125	1	1	1	1	mA
		XCVU160	1	1	1	1	mA
		XCVU190	1	1	1	1	mA
		XCVU440	1	N/A	1	1	mA
I _{CCAUXQ}	V _{CCAUX} 静止電流	XCVU065	187	187	187	187	mA
		XCVU080	273	273	273	273	mA
		XCVU095	273	273	273	273	mA
		XCVU125	373	373	373	373	mA
		XCVU160	560	560	560	560	mA
		XCVU190	560	560	560	560	mA
		XCVU440	1009	N/A	1009	1009	mA
I _{CCAUX_IOQ}	V _{CCAUX_IO} 静止電流	XCVU065	74	74	74	74	mA
		XCVU080	124	124	124	124	mA
		XCVU095	124	124	124	124	mA
		XCVU125	148	148	148	148	mA
		XCVU160	223	223	223	223	mA
		XCVU190	223	223	223	223	mA
		XCVU440	223	N/A	223	223	mA
I _{CCBRAMQ}	V _{CCBRAM} 静止電流	XCVU065	89	81	81	81	mA
		XCVU080	122	111	111	111	mA
		XCVU095	122	111	111	111	mA
		XCVU125	178	162	162	162	mA
		XCVU160	267	243	243	243	mA
		XCVU190	267	243	243	243	mA
		XCVU440	178	N/A	162	162	mA

注記:

- 標準値は、シングルエンド SelectIO™ リソースの標準電圧およびジャンクション温度 85°C (T_j) で指定されています。
- これらの値は「ブランク」のコンフィギュレーション ファイルを使用したデバイスにおけるもので、出力電流の負荷、アクティブな入力プルアップ抵抗はありません。また、すべての I/O ピンはトライステートおよびフローティング状態です。
- 記載されていない条件におけるスタティック消費電力を見積もる場合、Xilinx Power Estimator (XPE) スプレッドシート ツール (<https://japan.xilinx.com/power> よりダウンロード可能) を使用してください。

電源投入/切断シーケンス

電源投入時に流れる電流が最小となり、I/O がトライステートとなるように、電源は V_{CCINT}/V_{CCINT_IO} 、 V_{CCBRAM} 、 V_{CCAUX}/V_{CCAUX_IO} 、 V_{CCO} の順に投入することを推奨しています。電源切断シーケンスについては逆が適用されます。 V_{CCINT}/V_{CCINT_IO} と V_{CCBRAM} の推奨電圧レベルが同一の場合、それらに同じ電源を使用して同時に立ち上げることができます。 V_{CCINT_IO} は V_{CCINT} に接続してください。 V_{CCAUX}/V_{CCAUX_IO} と V_{CCO} の推奨電圧レベルが同一の場合、それらに同じ電源を使用して同時に立ち上げることができます。 V_{CCAUX} と V_{CCAUX_IO} は相互に接続する必要があります。最小電流を満たすと、 V_{CCINT}/V_{CCINT_IO} 、 V_{CCBRAM} 、 V_{CCAUX}/V_{CCAUX_IO} 、および V_{CCO_0} の電源すべてがパワーオンリセットしきい値を超えた後に、デバイスに電源が投入されます。デバイスは、 V_{CCINT} が投入されるまでコンフィギュレーションできません。

V_{CCADC} および V_{REF} は随時立ち上げ可能で、電源投入シーケンスの要件はありません。

電源投入時に流れる GTH/GTY トランシーバーの電流が最小となるように、電源は V_{CCINT} 、 $V_{MGTAVCC}$ 、 $V_{MGTAVTT}$ の順、または $V_{MGTAVCC}$ 、 V_{CCINT} 、 $V_{MGTAVTT}$ の順に投入することを推奨します。 $V_{MGTAVCC}$ についてのシーケンス要件はありません。 $V_{MGTAVCC}$ および V_{CCINT} は同時に立ち上げることができます。電源切断シーケンスについては、電流が最小となるように逆が適用されます。これらのシーケンス要件が満たされない場合、電源投入および電源切断中に $V_{MGTAVTT}$ からの電流が仕様よりも大きくなる可能性があります。

表 7 に、Virtex UltraScale FPGA の電源投入とコンフィギュレーションに最低限必要な電流値および I_{CCO} を示します。表 6 および表 7 に示す最小電流を満たすと、4 つの電源すべてがパワーオンリセットしきい値を超えた後に、デバイスに電源が投入されます。デバイスは、 V_{CCINT} が投入されるまでコンフィギュレーションできません。初期化およびコンフィギュレーション後に、Xilinx Power Estimator (XPE) ツールを使用してこれらの電源のドレイン電流を見積もってください。

表 7: デバイス別の電源投入時の電流

デバイス	$I_{CCINTMIN} + I_{CCINT_IOMIN}$	I_{CCO}	$I_{CCAUXMIN} + I_{CCAUX_IOMIN}$	$I_{CCBRAMMIN}$	単位
XCVU065	$I_{CCINTQ} + I_{CCINT_IOQ} + 2199$	$I_{CCO_0Q} + 40$	$I_{CCAUXQ} + I_{CCAUX_IOQ} + 267$	$I_{CCBRAMQ} + 100$	mA
XCVU080	$I_{CCINTQ} + I_{CCINT_IOQ} + 3300$	$I_{CCO_0Q} + 40$	$I_{CCAUXQ} + I_{CCAUX_IOQ} + 400$	$I_{CCBRAMQ} + 150$	mA
XCVU095	$I_{CCINTQ} + I_{CCINT_IOQ} + 3300$	$I_{CCO_0Q} + 40$	$I_{CCAUXQ} + I_{CCAUX_IOQ} + 400$	$I_{CCBRAMQ} + 150$	mA
XCVU125	$I_{CCINTQ} + I_{CCINT_IOQ} + 4397$	$I_{CCO_0Q} + 54$	$I_{CCAUXQ} + I_{CCAUX_IOQ} + 533$	$I_{CCBRAMQ} + 200$	mA
XCVU160	$I_{CCINTQ} + I_{CCINT_IOQ} + 6595$	$I_{CCO_0Q} + 80$	$I_{CCAUXQ} + I_{CCAUX_IOQ} + 800$	$I_{CCBRAMQ} + 300$	mA
XCVU190	$I_{CCINTQ} + I_{CCINT_IOQ} + 6595$	$I_{CCO_0Q} + 80$	$I_{CCAUXQ} + I_{CCAUX_IOQ} + 800$	$I_{CCBRAMQ} + 300$	mA
XCVU440	$I_{CCINTQ} + I_{CCINT_IOQ} + 15549$	$I_{CCO_0Q} + 189$	$I_{CCAUXQ} + I_{CCAUX_IOQ} + 1885$	$I_{CCBRAMQ} + 707$	mA

表 8 に、電源の立ち上がり時間を示します。

表 8: 電源の立ち上がり時間

シンボル	説明	最小	最大	単位
T_{VCCINT}	GND から V_{CCINT} の 95% までの立ち上がり時間	0.2	40	ms
T_{VCCINT_IO}	GND から V_{CCINT_IO} の 95% までの立ち上がり時間	0.2	40	ms
T_{VCCO}	GND から V_{CCO} の 95% までの立ち上がり時間	0.2	40	ms
T_{VCCAUX}	GND から V_{CCAUX} の 95% までの立ち上がり時間	0.2	40	ms
$T_{VCCBRAM}$	GND から V_{CCBRAM} の 95% までの立ち上がり時間	0.2	40	ms
$T_{MGTAVCC}$	GND から $V_{MGTAVCC}$ の 95% までの立ち上がり時間	0.2	40	ms
$T_{MGTAVTT}$	GND から $V_{MGTAVTT}$ の 95% までの立ち上がり時間	0.2	40	ms
$T_{MGTAVCCAUX}$	GND から $V_{MGTAVCCAUX}$ の 95% までの立ち上がり時間	0.2	40	ms

DC 入力および出力レベル

V_{IL} および V_{IH} の値は推奨入力電圧値です。 I_{OL} および I_{OH} の値は、 V_{OL} および V_{OH} のテストポイントにおける推奨動作条件で保証されています。テストは、すべての規格で仕様が満たされていることが確認できるように一部の規格を選択し、最小 V_{CCO} およびそれぞれの V_{OL} と V_{OH} 電圧レベルで実施しています。選択された以外の規格に対しては、サンプルテストを実施しています。

表 9: HR I/O バンクの SelectIO の DC 入力および出力レベル⁽¹⁾⁽²⁾

I/O 規格	V_{IL}		V_{IH}		V_{OL}	V_{OH}	I_{OL}	I_{OH}
	V、最小	V、最大	V、最小	V、最大	V、最大	V、最小	mA	mA
HSTL_I	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	8.0	-8.0
HSTL_I_18	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	8.0	-8.0
HSTL_II	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	16.0	-16.0
HSTL_II_18	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	16.0	-16.0
HSUL_12	-0.300	$V_{REF} - 0.130$	$V_{REF} + 0.130$	$V_{CCO} + 0.300$	20% V_{CCO}	80% V_{CCO}	0.1	-0.1
LVC MOS12	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	注記 3	注記 3
LVC MOS15	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.450	$V_{CCO} - 0.450$	注記 4	注記 4
LVC MOS18	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.450	$V_{CCO} - 0.450$	注記 4	注記 4
LVC MOS25	-0.300	0.700	1.700	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	注記 4	注記 4
LVC MOS33	-0.300	0.800	2.000	3.400	0.400	$V_{CCO} - 0.400$	注記 4	注記 4
LV TTL	-0.300	0.800	2.000	3.400	0.400	2.400	注記 4	注記 4
SSTL12	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.150$	$V_{CCO}/2 + 0.150$	14.25	-14.25
SSTL135	-0.300	$V_{REF} - 0.090$	$V_{REF} + 0.090$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.150$	$V_{CCO}/2 + 0.150$	13.0	-13.0
SSTL135_R	-0.300	$V_{REF} - 0.090$	$V_{REF} + 0.090$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.150$	$V_{CCO}/2 + 0.150$	8.9	-8.9
SSTL15	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.175$	$V_{CCO}/2 + 0.175$	13.0	-13.0
SSTL15_R	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.175$	$V_{CCO}/2 + 0.175$	8.9	-8.9
SSTL18_I	-0.300	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.470$	$V_{CCO}/2 + 0.470$	8.0	-8.0
SSTL18_II	-0.300	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.600$	$V_{CCO}/2 + 0.600$	13.4	-13.4

注記:

- 適切な仕様に基づいてテストを実施しています。
- デフォルトの I/O 規格コンフィギュレーションを使用して指定された規格です。詳細は、『UltraScale アーキテクチャ SelectIO リソース ユーザー ガイド』(UG571: 英語版、日本語版)を参照してください。
- HR I/O バンクでは、4、8、または 12mA の駆動電流をサポートしています。
- HR I/O バンクでは、4、8、12、または 16mA の駆動電流をサポートしています。

表 10: HP I/O バンクの SelectIO の DC 入力および出力レベル⁽¹⁾⁽²⁾⁽³⁾

I/O 規格	V_{IL}		V_{IH}		V_{OL}	V_{OH}	I_{OL}	I_{OH}
	V、最小	V、最大	V、最小	V、最大	V、最大	V、最小	mA	mA
HSTL_I	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	5.8	-5.8
HSTL_I_12	-0.300	$V_{REF} - 0.080$	$V_{REF} + 0.080$	$V_{CCO} + 0.300$	25% V_{CCO}	75% V_{CCO}	4.1	-4.1
HSTL_I_18	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	6.2	-6.2
HSUL_12	-0.300	$V_{REF} - 0.130$	$V_{REF} + 0.130$	$V_{CCO} + 0.300$	20% V_{CCO}	80% V_{CCO}	0.1	-0.1
LVC MOS12	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	注記 4	注記 4
LVC MOS15	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.450	$V_{CCO} - 0.450$	注記 5	注記 5
LVC MOS18	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.450	$V_{CCO} - 0.450$	注記 5	注記 5
LVDCI_15	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.450	$V_{CCO} - 0.450$	7.0	-7.0
LVDCI_18	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.450	$V_{CCO} - 0.450$	7.0	-7.0
SSTL12	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.150$	$V_{CCO}/2 + 0.150$	8.0	-8.0
SSTL135	-0.300	$V_{REF} - 0.090$	$V_{REF} + 0.090$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.150$	$V_{CCO}/2 + 0.150$	9.0	-9.0
SSTL15	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.175$	$V_{CCO}/2 + 0.175$	10.0	-10.0
SSTL18_I	-0.300	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.470$	$V_{CCO}/2 + 0.470$	7.0	-7.0

注記:

- 適切な仕様に基づいてテストを実施しています。
- デフォルトの I/O 規格コンフィギュレーションを使用して指定された規格です。詳細は、『UltraScale アーキテクチャ SelectIO リソース ユーザー ガイド』(UG571: 英語版、日本語版)を参照してください。
- POD10 および POD12 DC 入力および出力レベルは、表 11、表 16、表 17 に示します。
- HP I/O バンクでは、2、4、6、または 8mA の駆動電流をサポートしています。
- HP I/O バンクでは、2、4、6、8、または 12mA の駆動電流をサポートしています。

 表 11: シングルエンド POD10/POD12 I/O 規格の DC 入力レベル⁽¹⁾⁽²⁾

I/O 規格	V_{IL}		V_{IH}	
	V、最小	V、最大	V、最小	V、最大
POD10	-0.300	$V_{REF} - 0.068$	$V_{REF} + 0.068$	$V_{CCO} + 0.300$
POD12	-0.300	$V_{REF} - 0.068$	$V_{REF} + 0.068$	$V_{CCO} + 0.300$

注記:

- 適切な仕様に基づいてテストを実施しています。
- デフォルトの I/O 規格コンフィギュレーションを使用して指定された規格です。詳細は、『UltraScale アーキテクチャ SelectIO リソース ユーザー ガイド』(UG571: 英語版、日本語版)を参照してください。

表 12: 差動 SelectIO の DC 入力および出力レベル

I/O 規格	V _{ICM} (V) ⁽¹⁾			V _{ID} (V) ⁽²⁾			V _{OCM} (V) ⁽³⁾			V _{OD} (V) ⁽⁴⁾		
	最小	標準	最大	最小	標準	最大	最小	標準	最大	最小	標準	最大
BLVDS_25	0.300	1.200	1.425	0.100	—	—	—	1.250	—	注記 5		
MINI_LVDS_25	0.300	1.200	V _{CCAUX}	0.200	0.400	0.600	1.000	1.200	1.485	0.300	0.450	0.600
SUB_LVDS	0.500	0.900	1.300	0.070	—	—	0.700	0.900	1.100	0.100	0.150	0.200
LVPECL	0.300	1.200	1.425	0.100	0.350	0.600	—	—	—	—	—	—
PPDS_25	0.200	0.900	V _{CCAUX}	0.100	0.250	0.400	0.500	0.950	1.400	0.100	0.250	0.400
RSDS_25	0.300	0.900	1.500	0.100	0.350	0.600	1.000	1.200	1.485	0.100	0.350	0.600
SLVS_400_18	0.070	0.200	0.330	0.140	—	0.450	—	—	—	—	—	—
SLVS_400_25	0.070	0.200	0.330	0.140	—	0.450	—	—	—	—	—	—
TMDS_33	2.700	2.965	3.230	0.150	0.675	1.200	V _{CCO} - 0.405	V _{CCO} - 0.300	V _{CCO} - 0.190	0.400	0.600	0.800

注記:

1. V_{ICM} は入力同相電圧です。
2. V_{ID} は入力差動電圧 (Q - \bar{Q}) です。
3. V_{OCM} は出力同相電圧です。
4. V_{OD} は出力差動電圧 (Q - \bar{Q}) です。
5. BLVDS の V_{OD} はトポロジおよび負荷によって大きく異なります。
6. 表 18 に LVDS_25 を示します。
7. 表 19 に LVDS を示します。

表 13: HR I/O バンクの相補差動 SelectIO の DC 入力および出力レベル

I/O 規格	V _{ICM} (V) ⁽¹⁾			V _{ID} (V) ⁽²⁾		V _{OL} (V) ⁽³⁾	V _{OH} (V) ⁽⁴⁾	I _{OL}	I _{OH}
	最小	標準	最大	最小	最大	最大	最小	mA	mA
DIFF_HSTL_I	0.300	0.750	1.125	0.100	—	0.400	V _{CCO} - 0.400	8.0	-8.0
DIFF_HSTL_I_18	0.300	0.900	1.425	0.100	—	0.400	V _{CCO} - 0.400	8.0	-8.0
DIFF_HSTL_II	0.300	0.750	1.125	0.100	—	0.400	V _{CCO} - 0.400	16.0	-16.0
DIFF_HSTL_II_18	0.300	0.900	1.425	0.100	—	0.400	V _{CCO} - 0.400	16.0	-16.0
DIFF_HSUL_12	0.300	0.600	0.850	0.100	—	20% V _{CCO}	80% V _{CCO}	0.1	-0.1
DIFF_SSTL12	0.300	0.600	0.850	0.100	—	(V _{CCO} /2) - 0.150	(V _{CCO} /2) + 0.150	14.25	-14.25
DIFF_SSTL135	0.300	0.675	1.000	0.100	—	(V _{CCO} /2) - 0.150	(V _{CCO} /2) + 0.150	13.0	-13.0
DIFF_SSTL135_R	0.300	0.675	1.000	0.100	—	(V _{CCO} /2) - 0.150	(V _{CCO} /2) + 0.150	8.9	-8.9
DIFF_SSTL15	0.300	0.750	1.125	0.100	—	(V _{CCO} /2) - 0.175	(V _{CCO} /2) + 0.175	13.0	-13.0
DIFF_SSTL15_R	0.300	0.750	1.125	0.100	—	(V _{CCO} /2) - 0.175	(V _{CCO} /2) + 0.175	8.9	-8.9
DIFF_SSTL18_I	0.300	0.900	1.425	0.100	—	(V _{CCO} /2) - 0.470	(V _{CCO} /2) + 0.470	8.0	-8.0
DIFF_SSTL18_II	0.300	0.900	1.425	0.100	—	(V _{CCO} /2) - 0.600	(V _{CCO} /2) + 0.600	13.4	-13.4

注記:

1. V_{ICM} は入力同相電圧です。
2. V_{ID} は入力差動電圧です。
3. V_{OL} はシングルエンド低出力電圧です。
4. V_{OH} はシングルエンド高出力電圧です。

表 14: HP I/O バンクの相補差動 SelectIO の DC 入力および出力レベル⁽¹⁾

I/O 規格	V_{ICM} (V) ⁽²⁾			V_{ID} (V) ⁽³⁾		V_{OL} (V) ⁽⁴⁾	V_{OH} (V) ⁽⁵⁾	I_{OL}	I_{OH}
	最小	標準	最大	最小	最大	最大	最小	mA	mA
DIFF_HSTL_I	0.680	$V_{CC0}/2$	$(V_{CC0}/2) + 0.150$	0.100	—	0.400	$V_{CC0} - 0.400$	5.8	-5.8
DIFF_HSTL_I_12	$0.400 \times V_{CC0}$	$V_{CC0}/2$	$0.600 \times V_{CC0}$	0.100	—	$0.250 \times V_{CC0}$	$0.750 \times V_{CC0}$	4.1	-4.1
DIFF_HSTL_I_18	$(V_{CC0}/2) - 0.175$	$V_{CC0}/2$	$(V_{CC0}/2) + 0.175$	0.100	—	0.400	$V_{CC0} - 0.400$	6.2	-6.2
DIFF_HSUL_12	$(V_{CC0}/2) - 0.120$	$V_{CC0}/2$	$(V_{CC0}/2) + 0.120$	0.100	—	$20\% V_{CC0}$	$80\% V_{CC0}$	0.1	-0.1
DIFF_SSTL12	$(V_{CC0}/2) - 0.150$	$V_{CC0}/2$	$(V_{CC0}/2) + 0.150$	0.100	—	$(V_{CC0}/2) - 0.150$	$(V_{CC0}/2) + 0.150$	8.0	-8.0
DIFF_SSTL135	$(V_{CC0}/2) - 0.150$	$V_{CC0}/2$	$(V_{CC0}/2) + 0.150$	0.100	—	$(V_{CC0}/2) - 0.150$	$(V_{CC0}/2) + 0.150$	9.0	-9.0
DIFF_SSTL15	$(V_{CC0}/2) - 0.175$	$V_{CC0}/2$	$(V_{CC0}/2) + 0.175$	0.100	—	$(V_{CC0}/2) - 0.175$	$(V_{CC0}/2) + 0.175$	10.0	-10.0
DIFF_SSTL18_I	$(V_{CC0}/2) - 0.175$	$V_{CC0}/2$	$(V_{CC0}/2) + 0.175$	0.100	—	$(V_{CC0}/2) - 0.470$	$(V_{CC0}/2) + 0.470$	7.0	-7.0

注記:

- DIFF_POD10 および DIFF_POD12 HP I/O バンクの仕様は、表 15、表 16、表 17 に示します。
- V_{ICM} は入力同相電圧です。
- V_{ID} は入力差動電圧です。
- V_{OL} はシングルエンド低出力電圧です。
- V_{OH} はシングルエンド高出力電圧です。

 表 15: 差動 POD10/POD12 I/O 規格の DC 入力レベル⁽¹⁾⁽²⁾

I/O 規格	V_{ICM} (V)			V_{ID} (V)	
	最小	標準	最大	最小	最大
DIFF_POD10	0.63	0.70	0.77	0.14	—
DIFF_POD12	0.76	0.84	0.92	0.16	—

注記:

- 適切な仕様に基づいてテストを実施しています。
- デフォルトの I/O 規格コンフィギュレーションを使用して指定された規格です。詳細は、『UltraScale アーキテクチャ SelectIO リソース ユーザー ガイド』(UG571: 英語版、日本語版)を参照してください。

 表 16: シングルエンドおよび差動 POD10/POD12 規格の DC 出力レベル⁽¹⁾⁽²⁾

シンボル	説明	V_{OUT}	最小	標準	最大	単位
R_{OL}	プルダウン抵抗	V_{OM_DC} (表 17 のとおり)	36	40	44	Ω
R_{OH}	プルアップ抵抗	V_{OM_DC} (表 17 のとおり)	36	40	44	Ω

注記:

- 適切な仕様に基づいてテストを実施しています。
- デフォルトの I/O 規格コンフィギュレーションを使用して指定された規格です。詳細は、『UltraScale アーキテクチャ SelectIO リソース ユーザー ガイド』(UG571: 英語版、日本語版)を参照してください。

表 17: POD 規格の DC 出力レベルの定義 (表 16)

シンボル	説明	すべてのデバイス	単位
V_{OM_DC}	Mid レベルの DC 出力 (IV 曲線の直線性)	$0.8 \times V_{CC0}$	V

LVDS DC 仕様 (LVDS_25)

LVDS_25 規格は HR I/O バンクでのみ使用可能です。詳細は、『UltraScale アーキテクチャ SelectIO リソース ユーザー ガイド』(UG571: [英語版](#)、[日本語版](#))を参照してください。

表 18: LVDS_25 DC 仕様

シンボル	DC パラメーター	条件	最小	標準	最大	単位
V _{CCO}	電源電圧		2.375	2.500	2.625	V
V _{ODIFF} ⁽¹⁾	差動出力電圧: (Q - Q̄), Q = High (Q - Q̄), Q = High	Q 信号と Q̄ 信号間で R _T = 100Ω	247	350	600	mV
V _{OCM} ⁽¹⁾	出力同相電圧	Q 信号と Q̄ 信号間で R _T = 100 Ω	1.000	1.250	1.485	V
V _{IDIFF}	差動入力電圧: (Q - Q̄), Q = High (Q - Q̄), Q = High		100	350	600 ⁽²⁾	mV
V _{ICM_DC} ⁽³⁾	入力同相電圧 (DC カップリング)		0.300	1.200	1.500	V
V _{ICM_AC} ⁽⁴⁾	入力同相電圧 (AC カップリング)		0.600	—	1.100	V

注記:

- LVDS_PRE_EMPHASIS = FALSE の場合の値です。
- V_{IDIFF} の最大値は V_{ICM} 仕様の最大値に対して指定されています。推奨動作条件および V_{IN} のオーバーシュート/アンダーシュート仕様を満たしている場合に限り、より低い V_{ICM} に対してより高い V_{IDIFF} が許容されます。
- DC カップルされた構成の場合の入力同相電圧です。EQUALIZATION = EQ_NONE (デフォルト) です。
- AC カップルされた構成の場合の外部入力同相電圧です。EQUALIZATION = EQ_LEVEL0、EQ_LEVEL1、EQ_LEVEL2、EQ_LEVEL3、EQ_LEVEL4 です。

LVDS DC 仕様 (LVDS)

LVDS 規格は HP I/O バンクでのみ使用可能です。詳細は、『UltraScale アーキテクチャ SelectIO リソース ユーザー ガイド』(UG571: [英語版](#)、[日本語版](#))を参照してください。

表 19: LVDS DC 仕様

シンボル	DC パラメーター	条件	最小	標準	最大	単位
V _{CCO}	電源電圧		1.710	1.800	1.890	V
V _{ODIFF} ⁽¹⁾	差動出力電圧 (Q - Q̄), Q = High (Q - Q̄), Q = High	Q 信号と Q̄ 信号間で R _T = 100Ω	247	350	600	mV
V _{OCM} ⁽¹⁾	出力同相電圧	Q 信号と Q̄ 信号間で R _T = 100 Ω	1.000	1.250	1.425	V
V _{IDIFF}	差動入力電圧: (Q - Q̄), Q = High (Q - Q̄), Q = High		100	350	600 ⁽²⁾	mV
V _{ICM_DC} ⁽³⁾	入力同相電圧 (DC カップリング)		0.300	1.200	1.425	V
V _{ICM_AC} ⁽⁴⁾	入力同相電圧 (AC カップリング)		0.600	—	1.100	V

注記:

- LVDS_PRE_EMPHASIS = FALSE の場合の値です。
- V_{IDIFF} の最大値は V_{ICM} 仕様の最大値に対して指定されています。推奨動作条件および V_{IN} のオーバーシュート/アンダーシュート仕様を満たしている場合に限り、より低い V_{ICM} に対してより高い V_{IDIFF} が許容されます。
- DC カップルされた構成の場合の入力同相電圧です。EQUALIZATION = EQ_NONE (デフォルト) です。
- AC カップルされた構成の場合の外部入力同相電圧です。EQUALIZATION = EQ_LEVEL0、EQ_LEVEL1、EQ_LEVEL2、EQ_LEVEL3、EQ_LEVEL4 です。

AC スイッチ特性

このデータシートに記載のすべての値は、表 20 に示されている Vivado® Design Suite のスピード仕様に基づいています。

表 20: デバイス別のスピード仕様

2016.4	デバイス
1.25	XCVU065、XCVU125、XCVU160、XCVU190
1.24	XCVU080、XCVU095、および XCVU440

スイッチ特性はスピード グレードごとに指定され、Advance、Preliminary、Production のいずれかに該当します。それぞれの定義を次に示します。

Advance 製品仕様

シミュレーションにのみ基づいており、通常、デバイスの設計仕様の決定直後に入手可能です。この特性のスピード グレードは比較的安定しており、余裕を持たせた設定ですが、実際の遅延が大きくなる可能性があります。

Preliminary 製品仕様

ES (エンジニアリング サンプル) シリコン特性評価に基づいています。デバイスおよびスピード グレードは、量産シリコンのパフォーマンスにより近いものとなります。Advance と比較すると、実際の遅延の方が大きくなる可能性は低くなっています。

Production 製品仕様

特定のデバイス ファミリの十分な量産を経た上で特性評価が行われ、リリースされています。スピード ファイルには、デバイスの実際の遅延に即した値が記載されています。また、以降の変更はカスタマーに正式に通知されます。通常、遅いスピード グレードから先に Production スピード ファイルが提供されます。

AC スイッチ特性のテスト

内部タイミング パラメーターは、内部テスト パターンで計測されて求められています。すべての AC スイッチ特性は、ワースト ケースの電源電圧およびジャンクション温度条件での値です。

より具体的な条件での正確で確定的なワースト ケース データを得るには、スタティック タイミング解析ツールを使用してシミュレーション ネットリストにバックアノテートした値を使用してください。特記のない限り、これらの値はすべての Virtex UltraScale FPGA に適用されます。

スピード グレード

デバイスはそれぞれ生産時期が異なるため、カテゴリの移行は各デバイスの製造プロセスのステータスによって決定されます。表 21 に、Virtex UltraScale FPGA のステータスをスピード グレードに基づいて示します。

表 21: Virtex UltraScale FPGA のスピード グレード

デバイス	スピード グレード、温度範囲、および V _{CCINT} 動作電圧		
	Advance	Preliminary	Production
XCVU065			-3E (1.0V)、-1HE (1.0V) ⁽¹⁾ 、-2E/-2I (0.95V)、-II (0.95V)、および -1HE (0.95V)
XCVU080			-3E (1.0V)、-1HE (1.0V) ⁽¹⁾ 、-2E/-2I (0.95V)、-II (0.95V)、および -1HE (0.95V)
XCVU095			-3E (1.0V)、-1HE (1.0V) ⁽¹⁾ 、-2E/-2I (0.95V)、-II (0.95V)、および -1HE (0.95V)
XCVU125			-3E (1.0V)、-1HE (1.0V) ⁽¹⁾ 、-2E/-2I (0.95V)、-II (0.95V)、および -1HE (0.95V)
XCVU160			-3E (1.0V)、-1HE (1.0V) ⁽¹⁾ 、-2E/-2I (0.95V)、-II (0.95V)、および -1HE (0.95V)
XCVU190			-3E (1.0V)、-1HE (1.0V) ⁽¹⁾ 、-2E/-2I (0.95V)、-II (0.95V)、および -1HE (0.95V)
XCVU440			-3E (1.0V)、-2E/-2I (0.95V)、および -1C/-1I (0.95V)

注記:

1. V_{CCINT} = 1.0V の場合の、消費電力が最も高い -1HE デバイスは、Vivado Design Suite では -1HV と示されます。

Production シリコンおよびソフトウェアのステータス

特定のファミリ (およびスピード グレード) は、それに正しく対応するスピード仕様 (Advance、Preliminary、Production) のリリース前に、Production としてリリースされる場合があります。このような不一致は、その後リリースされるスピード仕様で修正されます。

表 22 に示されている Virtex UltraScale FPGA、スピード グレード、Vivado ツール、およびスピード仕様は、Production で最小限必要になるリリースで、後続の Vivado ツールおよびスピード仕様のすべてを使用できます。

表 22: Virtex UltraScale FPGA デバイスの Production 仕様のソフトウェアおよびスピード仕様のバージョン⁽¹⁾

デバイス	スピード グレード、温度範囲、および V _{CCINT} 動作電圧					
	1.0V		0.95V			
	-3E	-1HE	-2E、-2I	-1I	-1C	-1HE
XCVU065	Vivado 2016.1 v1.25	Vivado 2015.4.2 v1.25	Vivado 2015.4.1 v1.25		N/A	Vivado 2015.4.2 v1.25
XCVU080	Vivado 2015.3 v1.24	Vivado 2015.4.2 v1.24	Vivado 2015.3 v1.24		N/A	Vivado 2015.4.2 v1.24
XCVU095	Vivado 2015.3 v1.24	Vivado 2015.4.2 v1.24	Vivado 2015.3 v1.24		N/A	Vivado 2015.4.2 v1.24
XCVU125	Vivado 2016.1 v1.25	Vivado 2015.4.2 v1.25	Vivado 2015.4.1 v1.25		N/A	Vivado 2015.4.2 v1.25
XCVU160	Vivado 2015.4 v1.25	Vivado 2015.4.2 v1.25	Vivado 2015.4 v1.25		N/A	Vivado 2015.4.2 v1.25
XCVU190	Vivado 2015.4 v1.25	Vivado 2015.4.2 v1.25	Vivado 2015.4 v1.25		N/A	Vivado 2015.4.2 v1.25
XCVU440	Vivado 2016.1 v1.24	N/A	Vivado 2015.4 v1.24			N/A

注記:

- 2016.4 よりも前の Vivado ツールを使用して開発したデザインについては、デザイン アドバイザリ アンサー [AR68169](#): 『Kintex UltraScale FPGA および Virtex UltraScale FPGA のデザイン アドバイザリ - 新しいバージョンの最小プロダクション スピード仕様 (スピード ファイル) をすべてのデザインで使用する必要がある』を参照してください。

パフォーマンス特性

ここでは、Virtex UltraScale FPGA にインプリメントされた一般的なファンクションおよびデザインのパフォーマンス特性を示します。また、14 ページの「AC スイッチ特性」に記載されているガイドラインにも従っています。各表の I/O バンク タイプは High Performance (HP) または High Range (HR) のいずれかです。

LVDS コンポーネントの場合、クロック周波数は次のように制限されます。

- 入力/出力レジスタについて、Vivado ツールはクロック周波数を 364.9MHz (-3 および -2 スピード グレードの場合) または 316.4MHz (-1 スピード グレードの場合) に制限します。
- IDDR について、Vivado ツールはクロック周波数を 729.9MHz (-3 および -2 スピード グレードの場合) または 632.9MHz (-1 スピード グレードの場合) に制限します。
- ODDR について、Vivado ツールはすべてのスピードグレードでクロック周波数を 730.4MHz に制限します。

表 23: LVDS コンポーネント モードのパフォーマンス

説明	I/O バンクのタイプ	スピード グレードおよび V _{CCINT} 動作電圧								単位
		1.0V				0.95V				
		-3		-1H		-2		-1		
		最小	最小	最大	最小	最大	最小	最大	最小	
LVDS TX DDR (OSERDES 4:1、8:1)	HP	0	1250	0	1250	0	1250	0	1250	Mb/s
	HR	0	1250	0	1250	0	1250	0	1000	Mb/s
LVDS TX SDR (OSERDES 2:1、4:1)	HP	0	625	0	625	0	625	0	625	Mb/s
	HR	0	625	0	625	0	625	0	500	Mb/s

表 23: LVDS コンポーネント モードのパフォーマンス (続き)

説明	I/O バンクのタイプ	スピード グレードおよび V _{CCINT} 動作電圧								単位
		1.0V				0.95V				
		-3		-1H		-2		-1		
		最小	最大	最小	最大	最小	最大	最小	最大	
LVDS RX DDR (ISERDES 1:4、1:8) ⁽¹⁾	HP	0	1250	0	1250	0	1250	0	1250	Mb/s
	HR	0	1250	0	1250	0	1250	0	1000	Mb/s
LVDS RX SDR (ISERDES 1:2、1:4) ⁽¹⁾	HP	0	625	0	625	0	625	0	625	Mb/s
	HR	0	625	0	625	0	625	0	500	Mb/s

注記:

- LVDS レシーバーの性能は通常、最大のパフォーマンスを得るためにダイナミック位相アライメント (DPA) または位相トラッキング アルゴリズムを使用しているかどうかによって異なります。

 表 24: LVDS ネイティブ モードのパフォーマンス⁽¹⁾

説明	I/O バンクのタイプ	スピード グレードおよび V _{CCINT} 動作電圧								単位
		1.0V				0.95V				
		-3		-1H		-2		-1		
		最小	最大	最小	最大	最小	最大	最小	最大	
LVDS TX DDR (TX_BITSLICE 4:1、8:1)	HP	300	1600	300	1600	300	1600	300	1400	Mb/s
	HR	300	1250	300	1250	300	1250	300	1250	Mb/s
LVDS TX SDR (TX_BITSLICE 2:1、4:1)	HP	150	800	150	800	150	800	150	700	Mb/s
	HR	150	625	150	625	150	625	150	625	Mb/s
LVDS RX DDR (RX_BITSLICE 1:4、1:8) ⁽²⁾	HP	300	1600 ⁽³⁾	300	1600 ⁽³⁾	300	1600 ⁽³⁾	300	1400 ⁽³⁾	Mb/s
	HR	300	1250	300	1250	300	1250	300	1250	Mb/s
LVDS RX SDR (RX_BITSLICE 1:2、1:4) ⁽²⁾	HP	150	800	150	800	150	800	150	700	Mb/s
	HR	150	625	150	625	150	625	150	625	Mb/s

注記:

- ネイティブ モードは、Vivado Design Suite で入手可能な [High-Speed SelectIO Interface Wizard](#) でサポートされています。
- LVDS レシーバーの性能は通常、最大のパフォーマンスを得るためにダイナミック位相アライメント (DPA) または位相トラッキング アルゴリズムを使用しているかどうかによって異なります。
- 非同期レシーバーの性能は、-3、-2、および -1H スピード グレードで 1300Mb/s に、-1 スピード グレードで 1250Mb/s に制限されます。

 表 25: LVDS ネイティブ モードの 1000BASE-X のサポート⁽¹⁾

説明	I/O バンクのタイプ	スピード グレードおよび V _{CCINT} 動作電圧			
		1.0V		0.95V	
		-3	-1H	-2	-1
1000BASE-X	HP	あり	あり	あり	あり

注記:

- 1000BASE-X サポートは、CSMA/CD Access Method and Physical Layer Specifications (IEEE Std 802.3-2008) の IEEE 規格に基づいています。

表 26 に、Virtex UltraScale FPGA メモリ PHY を使用する場合に適用可能なメモリ規格とその最大データ レートを示します。サポートされるメモリ インターフェイス規格の一覧とその詳細な仕様については、[メモリ インターフェイス](#)を参照してください。メモリ インターフェイスの最終的な性能は、Vivado Design Suite でインプリメントされた完全なデザイン、『UltraScale アーキテクチャ PCB デザイン ユーザー ガイド』(UG583: [英語版](#)、[日本語版](#))に記載されているガイドライン、電氣的解析、およびシステムの特性評価によって判断されます。

表 26: メモリ インターフェイスの最大物理インターフェイス (PHY) レート (HP I/O バンクのみ)

メモリ規格	DRAM タイプ	スピード グレードおよび V _{CCINT} 動作電圧				単位
		1.0V		0.95V		
		-3	-1H	-2	-1	
DDR4	シングル ランク コンポーネント	2400 ⁽¹⁾	2400	2400 ⁽¹⁾	2133	Mb/s
	1 ランク DIMM ⁽²⁾⁽³⁾	2133	2133	2133	1866	Mb/s
	2 ランク DIMM ⁽²⁾⁽⁴⁾	1866	1866	1866	1600	Mb/s
	4 ランク DIMM ⁽²⁾⁽⁵⁾	1333	1333	1333	N/A	Mb/s
DDR3	シングル ランク コンポーネント	2133	2133	2133	1866	Mb/s
	1 ランク DIMM ⁽²⁾⁽³⁾	1866	1866	1866	1600	Mb/s
	2 ランク DIMM ⁽²⁾⁽⁴⁾	1600	1600	1600	1333	Mb/s
	4 ランク DIMM ⁽²⁾⁽⁵⁾	1066	1066	1066	800	Mb/s
DDR3L	シングル ランク コンポーネント	1866	1866	1866	1600	Mb/s
	1 ランク DIMM ⁽²⁾⁽³⁾	1600	1600	1600	1333	Mb/s
	2 ランク DIMM ⁽²⁾⁽⁴⁾	1333	1333	1333	1066	Mb/s
	4 ランク DIMM ⁽²⁾⁽⁵⁾	800	800	800	606	Mb/s
QDRII+ ⁽⁶⁾	シングル ランク コンポーネント	633	600	600	550	MHz
QDRIV-XP	シングル ランク コンポーネント	800	800	800	667	MHz
RLDRAM III	シングル ランク コンポーネント	1066	1066	1066	933	MHz
LPDDR3	シングル ランク コンポーネント	1600	1600	1600	1600	Mb/s

注記:

1. XCVU440 は 2400Mb/s DDR4 メモリのバンクを最大 15 個サポートし、その他すべてのメモリ レートまたはコンフィギュレーションでこれらのバンクがすべて利用できます。
2. DIMM (Dual In-Line Memory Module) は RDIMM、SODIMM、UDIMM、および LRDIMM を含みます。
3. 1 ランク 1 スロット、DDP 2 ランク、LRDIMM 2 または 4 ランク 1 スロットを含みます。
4. 2 ランク 1 スロット、1 ランク 2 スロット、LRDIMM 2 ランク 2 スロットを含みます。
5. 2 ランク 2 スロット、4 ランク 1 スロットを含みます。
6. QDRII+ のパフォーマンス仕様は、バースト長 4 (BL = 4) のインプリメンテーションに対応するものです。

IOB パッド入力、出力、トライステート

表 27 (High Range (HR) IOB) および表 28 (High Performance (HP) IOB) に、各 I/O 規格のパッドからのデータ入力遅延調整、パッドまでのデータ出力遅延、およびトライステート遅延の値を示します。

- $T_{\text{INBUF_DELAY_PAD_I}}$ は、IOB パッドから入力バッファを通り、IOB パッドの I ピンに達するまでの遅延です。遅延値は、SelectIO 入力バッファの機能に依存します。
- $T_{\text{OUTBUF_DELAY_O_PAD}}$ は、O ピンから IOB パッドの出力バッファを通過して IOB パッドに達するまでの遅延です。遅延値は、SelectIO 出力バッファの機能に依存します。
- $T_{\text{OUTBUF_DELAY_TD_PAD}}$ は、トライステートが無効な場合の、T ピンから IOB パッドの出力バッファを通過して IOB パッドに達するまでの遅延です。遅延値は、出力バッファの SelectIO の機能に依存します。HP I/O バンクでは、DCITERMDISABLE ピン使用時の内部 DCI 終端がオンになるまでの時間は常に $T_{\text{OUTBUF_DELAY_TD_PAD}}$ よりも高速です。HR I/O バンクでは、INTERMDISABLE ピン使用時のオンダイ終端がオンになるまでの時間は常に $T_{\text{OUTBUF_DELAY_TD_PAD}}$ よりも高速です。

表 27: IOB High Range (HR) のスイッチ特性

I/O 規格	$T_{\text{INBUF_DELAY_PAD_I}}$				$T_{\text{OUTBUF_DELAY_O_PAD}}$				$T_{\text{OUTBUF_DELAY_TD_PAD}}$				単位
	1.0V		0.95V		1.0V		0.95V		1.0V		0.95V		
	-3	-1H	-2	-1	-3	-1H	-2	-1	-3	-1H	-2	-1	
BLVDS_25	0.46	0.58	0.58	0.64	1.37	1.37	1.37	1.62	1.39	1.40	1.40	1.66	ns
DIFF_HSTL_I_18_F	0.42	0.53	0.53	0.57	0.71	0.71	0.71	0.90	0.82	0.82	0.82	1.06	ns
DIFF_HSTL_I_18_S	0.42	0.53	0.53	0.57	0.83	0.83	0.83	1.02	0.93	0.94	0.94	1.16	ns
DIFF_HSTL_I_F	0.42	0.53	0.53	0.57	0.73	0.73	0.73	0.92	0.90	0.90	0.90	1.14	ns
DIFF_HSTL_I_S	0.42	0.53	0.53	0.57	0.77	0.77	0.77	0.96	0.95	0.98	0.98	1.23	ns
DIFF_HSTL_II_18_F	0.42	0.53	0.53	0.57	0.80	0.80	0.80	0.99	0.95	0.98	0.98	1.23	ns
DIFF_HSTL_II_18_S	0.42	0.53	0.53	0.57	0.83	0.83	0.83	1.03	1.01	1.03	1.03	1.28	ns
DIFF_HSTL_II_F	0.42	0.53	0.53	0.57	0.71	0.71	0.71	0.91	0.87	0.87	0.87	1.11	ns
DIFF_HSTL_II_S	0.42	0.53	0.53	0.57	0.80	0.80	0.80	0.99	0.95	0.96	0.96	1.20	ns
DIFF_HSUL_12_F	0.42	0.53	0.53	0.57	0.73	0.73	0.73	0.92	0.73	0.73	0.73	0.92	ns
DIFF_HSUL_12_S	0.42	0.53	0.53	0.57	0.82	0.82	0.82	1.01	0.82	0.82	0.82	1.01	ns
DIFF_SSTL12_F	0.42	0.53	0.53	0.57	0.70	0.70	0.70	0.89	0.81	0.81	0.81	1.02	ns
DIFF_SSTL12_S	0.42	0.53	0.53	0.57	1.04	1.04	1.04	1.26	1.04	1.04	1.04	1.26	ns
DIFF_SSTL135_F	0.42	0.53	0.53	0.57	0.70	0.70	0.70	0.88	0.86	0.87	0.87	1.09	ns
DIFF_SSTL135_S	0.42	0.53	0.53	0.57	0.77	0.77	0.77	0.96	0.93	0.94	0.94	1.18	ns
DIFF_SSTL135_R_F	0.42	0.53	0.53	0.57	0.72	0.72	0.72	0.91	0.83	0.84	0.84	1.06	ns
DIFF_SSTL135_R_S	0.42	0.53	0.53	0.57	0.80	0.80	0.80	1.00	0.93	0.93	0.93	1.17	ns
DIFF_SSTL15_F	0.42	0.53	0.53	0.57	0.66	0.66	0.66	0.85	0.81	0.82	0.82	1.05	ns
DIFF_SSTL15_S	0.42	0.53	0.53	0.57	0.78	0.78	0.78	0.98	0.96	0.96	0.96	1.20	ns
DIFF_SSTL15_R_F	0.42	0.53	0.53	0.57	0.73	0.73	0.73	0.92	0.86	0.86	0.86	1.09	ns
DIFF_SSTL15_R_S	0.42	0.53	0.53	0.57	0.81	0.81	0.81	1.01	0.93	0.94	0.94	1.18	ns
DIFF_SSTL18_I_F	0.42	0.53	0.53	0.57	0.74	0.74	0.74	0.94	0.92	0.93	0.93	1.18	ns
DIFF_SSTL18_I_S	0.42	0.53	0.53	0.57	0.86	0.86	0.86	1.05	0.86	0.86	0.86	1.05	ns
DIFF_SSTL18_II_F	0.42	0.53	0.53	0.57	0.71	0.71	0.71	0.90	0.87	0.88	0.88	1.11	ns
DIFF_SSTL18_II_S	0.42	0.53	0.53	0.57	0.83	0.83	0.83	1.03	0.99	1.04	1.04	1.29	ns
HSTL_I_18_F	0.52	0.55	0.55	0.59	0.73	0.73	0.73	0.93	0.84	0.84	0.84	1.08	ns
HSTL_I_18_S	0.52	0.55	0.55	0.59	0.85	0.85	0.85	1.05	0.95	0.96	0.96	1.18	ns
HSTL_I_F	0.52	0.55	0.55	0.59	0.75	0.75	0.75	0.94	0.92	0.92	0.92	1.16	ns
HSTL_I_S	0.52	0.55	0.55	0.59	0.79	0.79	0.79	0.98	0.97	1.00	1.00	1.25	ns

表 27: IOB High Range (HR) のスイッチ特性 (続き)

I/O 規格	$T_{INBUF_DELAY_PAD_I}$				$T_{OUTBUF_DELAY_O_PAD}$				$T_{OUTBUF_DELAY_TD_PAD}$				単位
	1.0V		0.95V		1.0V		0.95V		1.0V		0.95V		
	-3	-1H	-2	-1	-3	-1H	-2	-1	-3	-1H	-2	-1	
HSTL_II_18_F	0.52	0.55	0.55	0.59	0.82	0.82	0.82	1.01	0.97	1.00	1.00	1.25	ns
HSTL_II_18_S	0.52	0.55	0.55	0.59	0.85	0.85	0.85	1.05	1.03	1.05	1.05	1.30	ns
HSTL_II_F	0.52	0.55	0.55	0.59	0.73	0.73	0.73	0.93	0.89	0.90	0.90	1.13	ns
HSTL_II_S	0.52	0.55	0.55	0.59	0.82	0.82	0.82	1.01	0.98	0.98	0.98	1.22	ns
HSUL_12_F	0.52	0.55	0.55	0.59	0.75	0.75	0.75	0.94	0.75	0.75	0.75	0.94	ns
HSUL_12_S	0.52	0.55	0.55	0.59	0.84	0.84	0.84	1.04	0.96	0.97	0.97	1.15	ns
LVC MOS12_F_12	0.76	0.95	0.95	0.95	0.95	0.95	0.95	1.16	0.95	0.95	0.95	1.16	ns
LVC MOS12_F_4	0.76	0.95	0.95	0.95	1.13	1.16	1.16	1.39	1.13	1.16	1.16	1.39	ns
LVC MOS12_F_8	0.76	0.95	0.95	0.95	0.97	0.97	0.97	1.19	0.97	0.97	0.97	1.19	ns
LVC MOS12_S_12	0.76	0.95	0.95	0.95	1.06	1.06	1.06	1.28	1.06	1.06	1.06	1.28	ns
LVC MOS12_S_4	0.76	0.95	0.95	0.95	1.27	1.36	1.36	1.60	1.27	1.36	1.36	1.60	ns
LVC MOS12_S_8	0.76	0.95	0.95	0.95	1.10	1.10	1.10	1.32	1.10	1.10	1.10	1.32	ns
LVC MOS15_F_12	0.68	0.82	0.82	0.87	0.96	0.96	0.96	1.18	0.96	0.96	0.96	1.18	ns
LVC MOS15_F_16	0.68	0.82	0.82	0.87	0.94	0.94	0.94	1.15	0.94	0.94	0.94	1.17	ns
LVC MOS15_F_4	0.68	0.82	0.82	0.87	1.15	1.15	1.15	1.38	1.15	1.15	1.15	1.38	ns
LVC MOS15_F_8	0.68	0.82	0.82	0.87	1.02	1.02	1.02	1.24	1.02	1.02	1.02	1.24	ns
LVC MOS15_S_12	0.68	0.82	0.82	0.87	1.07	1.07	1.07	1.29	1.07	1.07	1.07	1.29	ns
LVC MOS15_S_16	0.68	0.82	0.82	0.87	1.04	1.04	1.04	1.26	1.04	1.04	1.04	1.26	ns
LVC MOS15_S_4	0.68	0.82	0.82	0.87	1.28	1.29	1.29	1.53	1.28	1.29	1.29	1.53	ns
LVC MOS15_S_8	0.68	0.82	0.82	0.87	1.11	1.11	1.11	1.34	1.11	1.11	1.11	1.34	ns
LVC MOS18_F_12	0.64	0.76	0.76	0.79	1.04	1.04	1.04	1.25	1.04	1.04	1.04	1.25	ns
LVC MOS18_F_16	0.64	0.76	0.76	0.79	1.00	1.00	1.00	1.21	1.00	1.00	1.00	1.21	ns
LVC MOS18_F_4	0.64	0.76	0.76	0.79	1.17	1.17	1.17	1.41	1.17	1.17	1.17	1.41	ns
LVC MOS18_F_8	0.64	0.76	0.76	0.79	1.10	1.10	1.10	1.33	1.10	1.10	1.10	1.33	ns
LVC MOS18_S_12	0.64	0.76	0.76	0.79	1.11	1.11	1.11	1.34	1.11	1.11	1.11	1.34	ns
LVC MOS18_S_16	0.64	0.76	0.76	0.79	1.11	1.11	1.11	1.34	1.11	1.11	1.11	1.34	ns
LVC MOS18_S_4	0.64	0.76	0.76	0.79	1.32	1.32	1.32	1.58	1.32	1.32	1.32	1.58	ns
LVC MOS18_S_8	0.64	0.76	0.76	0.79	1.18	1.18	1.18	1.38	1.18	1.18	1.18	1.38	ns
LVC MOS25_F_12	0.83	0.85	0.85	0.90	1.54	1.54	1.54	1.81	1.54	1.54	1.54	1.81	ns
LVC MOS25_F_16	0.83	0.85	0.85	0.90	1.56	1.59	1.59	1.88	1.56	1.59	1.59	1.88	ns
LVC MOS25_F_4	0.83	0.85	0.85	0.90	2.24	2.24	2.24	2.56	2.24	2.24	2.24	2.56	ns
LVC MOS25_F_8	0.83	0.85	0.85	0.90	1.67	1.67	1.67	1.95	1.67	1.67	1.67	1.95	ns
LVC MOS25_S_12	0.83	0.85	0.85	0.90	2.05	2.14	2.14	2.47	2.05	2.14	2.14	2.47	ns
LVC MOS25_S_16	0.83	0.85	0.85	0.90	1.84	1.89	1.89	2.19	1.84	1.89	1.89	2.19	ns
LVC MOS25_S_4	0.83	0.85	0.85	0.90	3.23	3.27	3.27	3.68	3.23	3.27	3.27	3.68	ns
LVC MOS25_S_8	0.83	0.85	0.85	0.90	2.11	2.15	2.15	2.47	2.11	2.15	2.15	2.47	ns
LVC MOS33_F_12	0.96	0.97	0.97	1.03	1.98	1.98	1.98	2.24	1.98	1.98	1.98	2.24	ns
LVC MOS33_F_16	0.96	0.97	0.97	1.03	1.79	1.79	1.79	2.09	1.79	1.79	1.79	2.09	ns
LVC MOS33_F_4	0.96	0.97	0.97	1.03	2.34	2.34	2.34	2.63	2.34	2.34	2.34	2.63	ns

表 27: IOB High Range (HR) のスイッチ特性 (続き)

I/O 規格	$T_{INBUF_DELAY_PAD_I}$				$T_{OUTBUF_DELAY_O_PAD}$				$T_{OUTBUF_DELAY_TD_PAD}$				単位
	1.0V		0.95V		1.0V		0.95V		1.0V		0.95V		
	-3	-1H	-2	-1	-3	-1H	-2	-1	-3	-1H	-2	-1	
LVC MOS33_F_8	0.96	0.97	0.97	1.03	2.05	2.05	2.05	2.32	2.05	2.05	2.05	2.32	ns
LVC MOS33_S_12	0.96	0.97	0.97	1.03	2.13	2.13	2.13	2.48	2.13	2.13	2.13	2.48	ns
LVC MOS33_S_16	0.96	0.97	0.97	1.03	2.11	2.11	2.11	2.43	2.11	2.11	2.11	2.43	ns
LVC MOS33_S_4	0.96	0.97	0.97	1.03	3.23	3.23	3.23	3.67	3.23	3.23	3.23	3.67	ns
LVC MOS33_S_8	0.96	0.97	0.97	1.03	2.28	2.28	2.28	2.55	2.66	2.67	2.67	2.78	ns
LVDS_25	0.45	0.58	0.58	0.62	0.80	0.83	0.83	0.95	105.74	105.74	105.74	105.85	ns
LVPECL	0.43	0.57	0.57	0.62	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	ns
LVTTL_F_12	1.04	1.04	1.04	1.05	1.83	1.83	1.83	2.10	1.83	1.83	1.83	2.10	ns
LVTTL_F_16	1.04	1.04	1.04	1.05	1.79	1.79	1.79	2.06	1.79	1.79	1.79	2.06	ns
LVTTL_F_4	1.04	1.04	1.04	1.05	2.34	2.34	2.34	2.63	2.34	2.34	2.34	2.63	ns
LVTTL_F_8	1.04	1.04	1.04	1.05	1.97	1.97	1.97	2.22	1.97	1.97	1.97	2.22	ns
LVTTL_S_12	1.04	1.04	1.04	1.05	1.90	1.90	1.90	2.19	1.96	1.97	1.97	2.19	ns
LVTTL_S_16	1.04	1.04	1.04	1.05	2.07	2.07	2.07	2.40	2.07	2.07	2.07	2.40	ns
LVTTL_S_4	1.04	1.04	1.04	1.05	3.23	3.23	3.23	3.67	3.23	3.23	3.23	3.67	ns
LVTTL_S_8	1.04	1.04	1.04	1.05	2.22	2.22	2.22	2.47	2.22	2.37	2.37	2.50	ns
MINI_LVDS_25	0.45	0.58	0.58	0.62	0.80	0.83	0.83	0.95	105.74	105.74	105.74	105.85	ns
PPDS_25	0.45	0.58	0.58	0.62	0.80	0.83	0.83	0.95	105.74	105.74	105.74	105.85	ns
RSDS_25	0.45	0.58	0.58	0.62	0.80	0.83	0.83	0.95	105.74	105.74	105.74	105.85	ns
SLVS_400_25	0.45	0.58	0.58	0.62	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	ns
SSTL12_F	0.52	0.55	0.55	0.59	0.72	0.72	0.72	0.91	0.83	0.83	0.83	1.04	ns
SSTL12_S	0.52	0.55	0.55	0.59	0.78	0.78	0.78	0.97	0.88	0.88	0.88	1.11	ns
SSTL135_F	0.52	0.55	0.55	0.59	0.72	0.72	0.72	0.90	0.88	0.89	0.89	1.11	ns
SSTL135_S	0.52	0.55	0.55	0.59	0.77	0.77	0.77	0.97	0.94	0.94	0.94	1.18	ns
SSTL135_R_F	0.52	0.55	0.55	0.59	0.74	0.74	0.74	0.93	0.85	0.86	0.86	1.08	ns
SSTL135_R_S	0.52	0.55	0.55	0.59	0.82	0.82	0.82	1.02	0.95	0.96	0.96	1.19	ns
SSTL15_F	0.52	0.55	0.55	0.59	0.68	0.68	0.68	0.87	0.83	0.84	0.84	1.07	ns
SSTL15_S	0.52	0.55	0.55	0.59	0.80	0.80	0.80	1.00	0.98	0.99	0.99	1.23	ns
SSTL15_R_F	0.52	0.55	0.55	0.59	0.75	0.75	0.75	0.94	0.88	0.89	0.89	1.11	ns
SSTL15_R_S	0.52	0.55	0.55	0.59	0.83	0.83	0.83	1.04	0.95	0.96	0.96	1.20	ns
SSTL18_I_F	0.52	0.55	0.55	0.59	0.76	0.76	0.76	0.96	0.94	0.95	0.95	1.21	ns
SSTL18_I_S	0.52	0.55	0.55	0.59	0.88	0.88	0.88	1.08	0.88	0.88	0.88	1.08	ns
SSTL18_II_F	0.52	0.55	0.55	0.59	0.73	0.73	0.73	0.92	0.89	0.90	0.90	1.14	ns
SSTL18_II_S	0.52	0.55	0.55	0.59	0.85	0.85	0.85	1.05	1.01	1.06	1.06	1.32	ns
SUB_LVDS_25	0.45	0.58	0.58	0.62	0.80	0.83	0.83	0.95	105.74	105.74	105.74	105.85	ns
TMDS_33	0.57	0.65	0.65	0.73	0.80	0.83	0.83	0.95	105.74	105.74	105.74	105.85	ns

表 28: IOB High Performance (HP) のスイッチ特性

I/O 規格	$T_{INBUF_DELAY_PAD_I}$				$T_{OUTBUF_DELAY_O_PAD}$				$T_{OUTBUF_DELAY_TD_PAD}$				単位
	1.0V		0.95V		1.0V		0.95V		1.0V		0.95V		
	-3	-1H	-2	-1	-3	-1H	-2	-1	-3	-1H	-2	-1	
DIFF_HSTL_I_12_F	0.43	0.48	0.48	0.55	0.46	0.50	0.50	0.54	0.54	0.62	0.62	0.68	ns
DIFF_HSTL_I_12_M	0.43	0.48	0.48	0.55	0.50	0.55	0.55	0.60	0.60	0.68	0.68	0.76	ns
DIFF_HSTL_I_12_S	0.43	0.48	0.48	0.55	0.56	0.61	0.61	0.67	0.67	0.76	0.76	0.85	ns
DIFF_HSTL_I_18_F	0.43	0.48	0.48	0.55	0.45	0.49	0.49	0.53	0.53	0.61	0.61	0.68	ns
DIFF_HSTL_I_18_M	0.43	0.48	0.48	0.55	0.50	0.55	0.55	0.59	0.59	0.68	0.68	0.76	ns
DIFF_HSTL_I_18_S	0.43	0.48	0.48	0.55	0.56	0.62	0.62	0.67	0.67	0.77	0.77	0.86	ns
DIFF_HSTL_I_DCI_12_F	0.43	0.48	0.48	0.55	0.46	0.50	0.50	0.54	0.54	0.62	0.62	0.68	ns
DIFF_HSTL_I_DCI_12_M	0.43	0.48	0.48	0.55	0.50	0.55	0.55	0.60	0.60	0.68	0.68	0.76	ns
DIFF_HSTL_I_DCI_12_S	0.43	0.48	0.48	0.55	0.56	0.61	0.61	0.67	0.67	0.76	0.76	0.85	ns
DIFF_HSTL_I_DCI_18_F	0.43	0.48	0.48	0.55	0.45	0.49	0.49	0.53	0.53	0.61	0.61	0.68	ns
DIFF_HSTL_I_DCI_18_M	0.43	0.48	0.48	0.55	0.50	0.55	0.55	0.59	0.59	0.68	0.68	0.76	ns
DIFF_HSTL_I_DCI_18_S	0.43	0.48	0.48	0.55	0.56	0.62	0.62	0.67	0.67	0.77	0.77	0.86	ns
DIFF_HSTL_I_DCI_F	0.43	0.48	0.48	0.55	0.46	0.50	0.50	0.54	0.54	0.62	0.62	0.68	ns
DIFF_HSTL_I_DCI_M	0.43	0.48	0.48	0.55	0.50	0.55	0.55	0.60	0.60	0.68	0.68	0.76	ns
DIFF_HSTL_I_DCI_S	0.43	0.48	0.48	0.55	0.56	0.61	0.61	0.67	0.67	0.76	0.76	0.85	ns
DIFF_HSTL_I_F	0.43	0.48	0.48	0.55	0.46	0.50	0.50	0.54	0.54	0.62	0.62	0.68	ns
DIFF_HSTL_I_M	0.43	0.48	0.48	0.55	0.50	0.55	0.55	0.60	0.60	0.68	0.68	0.76	ns
DIFF_HSTL_I_S	0.43	0.48	0.48	0.55	0.56	0.61	0.61	0.67	0.67	0.76	0.76	0.85	ns
DIFF_HSUL_12_DCI_F	0.43	0.48	0.48	0.55	0.46	0.50	0.50	0.54	0.54	0.62	0.62	0.68	ns
DIFF_HSUL_12_DCI_M	0.43	0.48	0.48	0.55	0.50	0.55	0.55	0.60	0.60	0.68	0.68	0.76	ns
DIFF_HSUL_12_DCI_S	0.43	0.48	0.48	0.55	0.56	0.61	0.61	0.67	0.67	0.76	0.76	0.85	ns
DIFF_HSUL_12_F	0.43	0.48	0.48	0.55	0.46	0.50	0.50	0.54	0.54	0.62	0.62	0.68	ns
DIFF_HSUL_12_M	0.43	0.48	0.48	0.55	0.50	0.55	0.55	0.60	0.60	0.68	0.68	0.76	ns
DIFF_HSUL_12_S	0.43	0.48	0.48	0.55	0.56	0.61	0.61	0.67	0.67	0.76	0.76	0.85	ns
DIFF_POD10_DCI_F	0.43	0.48	0.48	0.55	0.46	0.50	0.50	0.55	0.58	0.65	0.65	0.73	ns
DIFF_POD10_DCI_M	0.43	0.48	0.48	0.55	0.52	0.58	0.58	0.63	0.62	0.71	0.71	0.79	ns
DIFF_POD10_DCI_S	0.43	0.48	0.48	0.55	0.61	0.68	0.68	0.74	0.69	0.79	0.79	0.88	ns
DIFF_POD10_F	0.43	0.48	0.48	0.55	0.46	0.50	0.50	0.55	0.58	0.65	0.65	0.73	ns
DIFF_POD10_M	0.43	0.48	0.48	0.55	0.52	0.58	0.58	0.63	0.62	0.71	0.71	0.79	ns
DIFF_POD10_S	0.43	0.48	0.48	0.55	0.61	0.68	0.68	0.74	0.69	0.79	0.79	0.88	ns
DIFF_POD12_DCI_F	0.43	0.48	0.48	0.55	0.46	0.50	0.50	0.55	0.58	0.65	0.65	0.73	ns
DIFF_POD12_DCI_M	0.43	0.48	0.48	0.55	0.52	0.58	0.58	0.63	0.62	0.71	0.71	0.79	ns
DIFF_POD12_DCI_S	0.43	0.48	0.48	0.55	0.61	0.68	0.68	0.74	0.69	0.79	0.79	0.88	ns
DIFF_POD12_F	0.43	0.48	0.48	0.55	0.46	0.50	0.50	0.55	0.58	0.65	0.65	0.73	ns
DIFF_POD12_M	0.43	0.48	0.48	0.55	0.52	0.58	0.58	0.63	0.62	0.71	0.71	0.79	ns
DIFF_POD12_S	0.43	0.48	0.48	0.55	0.61	0.68	0.68	0.74	0.69	0.79	0.79	0.88	ns

表 28: IOB High Performance (HP) のスイッチ特性 (続き)

I/O 規格	$T_{INBUF_DELAY_PAD_I}$				$T_{OUTBUF_DELAY_O_PAD}$				$T_{OUTBUF_DELAY_TD_PAD}$				単位
	1.0V		0.95V		1.0V		0.95V		1.0V		0.95V		
	-3	-1H	-2	-1	-3	-1H	-2	-1	-3	-1H	-2	-1	
DIFF_SSTL12_DCI_F	0.43	0.48	0.48	0.55	0.46	0.50	0.50	0.54	0.54	0.62	0.62	0.68	ns
DIFF_SSTL12_DCI_M	0.43	0.48	0.48	0.55	0.50	0.55	0.55	0.60	0.60	0.68	0.68	0.76	ns
DIFF_SSTL12_DCI_S	0.43	0.48	0.48	0.55	0.56	0.61	0.61	0.67	0.67	0.76	0.76	0.85	ns
DIFF_SSTL12_F	0.43	0.48	0.48	0.55	0.46	0.50	0.50	0.54	0.54	0.62	0.62	0.68	ns
DIFF_SSTL12_M	0.43	0.48	0.48	0.55	0.50	0.55	0.55	0.60	0.60	0.68	0.68	0.76	ns
DIFF_SSTL12_S	0.43	0.48	0.48	0.55	0.56	0.61	0.61	0.67	0.67	0.76	0.76	0.85	ns
DIFF_SSTL135_DCI_F	0.43	0.48	0.48	0.55	0.46	0.50	0.50	0.54	0.54	0.62	0.62	0.69	ns
DIFF_SSTL135_DCI_M	0.43	0.48	0.48	0.55	0.50	0.55	0.55	0.60	0.60	0.68	0.68	0.76	ns
DIFF_SSTL135_DCI_S	0.43	0.48	0.48	0.55	0.56	0.61	0.61	0.67	0.67	0.76	0.76	0.85	ns
DIFF_SSTL135_F	0.43	0.48	0.48	0.55	0.46	0.50	0.50	0.54	0.54	0.62	0.62	0.69	ns
DIFF_SSTL135_M	0.43	0.48	0.48	0.55	0.50	0.55	0.55	0.60	0.60	0.68	0.68	0.76	ns
DIFF_SSTL135_S	0.43	0.48	0.48	0.55	0.56	0.61	0.61	0.67	0.67	0.76	0.76	0.85	ns
DIFF_SSTL15_DCI_F	0.43	0.48	0.48	0.55	0.46	0.50	0.50	0.54	0.54	0.62	0.62	0.68	ns
DIFF_SSTL15_DCI_M	0.43	0.48	0.48	0.55	0.50	0.55	0.55	0.60	0.60	0.68	0.68	0.76	ns
DIFF_SSTL15_DCI_S	0.43	0.48	0.48	0.55	0.56	0.61	0.61	0.67	0.67	0.76	0.76	0.85	ns
DIFF_SSTL15_F	0.43	0.48	0.48	0.55	0.46	0.50	0.50	0.54	0.54	0.62	0.62	0.68	ns
DIFF_SSTL15_M	0.43	0.48	0.48	0.55	0.50	0.55	0.55	0.60	0.60	0.68	0.68	0.76	ns
DIFF_SSTL15_S	0.43	0.48	0.48	0.55	0.56	0.61	0.61	0.67	0.67	0.76	0.76	0.85	ns
DIFF_SSTL18_I_DCI_F	0.43	0.48	0.48	0.55	0.45	0.49	0.49	0.53	0.53	0.61	0.61	0.68	ns
DIFF_SSTL18_I_DCI_M	0.43	0.48	0.48	0.55	0.50	0.55	0.55	0.59	0.59	0.68	0.68	0.76	ns
DIFF_SSTL18_I_DCI_S	0.43	0.48	0.48	0.55	0.56	0.62	0.62	0.67	0.67	0.77	0.77	0.86	ns
DIFF_SSTL18_I_F	0.43	0.48	0.48	0.55	0.45	0.49	0.49	0.53	0.53	0.61	0.61	0.68	ns
DIFF_SSTL18_I_M	0.43	0.48	0.48	0.55	0.50	0.55	0.55	0.59	0.59	0.68	0.68	0.76	ns
DIFF_SSTL18_I_S	0.43	0.48	0.48	0.55	0.56	0.62	0.62	0.67	0.67	0.77	0.77	0.86	ns
HSLVDCI_15_F	0.43	0.46	0.46	0.52	0.48	0.53	0.53	0.56	0.57	0.64	0.64	0.71	ns
HSLVDCI_15_M	0.43	0.46	0.46	0.52	0.53	0.57	0.57	0.62	0.62	0.71	0.71	0.79	ns
HSLVDCI_15_S	0.43	0.46	0.46	0.52	0.58	0.64	0.64	0.69	0.70	0.79	0.79	0.88	ns
HSLVDCI_18_F	0.43	0.46	0.46	0.52	0.48	0.53	0.53	0.57	0.57	0.65	0.65	0.71	ns
HSLVDCI_18_M	0.43	0.46	0.46	0.52	0.52	0.57	0.57	0.62	0.62	0.71	0.71	0.79	ns
HSLVDCI_18_S	0.43	0.46	0.46	0.52	0.58	0.64	0.64	0.69	0.70	0.80	0.80	0.90	ns
HSTL_I_12_F	0.43	0.46	0.46	0.52	0.48	0.52	0.52	0.56	0.56	0.63	0.63	0.70	ns
HSTL_I_12_M	0.43	0.46	0.46	0.52	0.52	0.57	0.57	0.61	0.61	0.70	0.70	0.78	ns
HSTL_I_12_S	0.43	0.46	0.46	0.52	0.57	0.63	0.63	0.68	0.69	0.78	0.78	0.87	ns
HSTL_I_18_F	0.43	0.46	0.46	0.52	0.47	0.51	0.51	0.55	0.55	0.63	0.63	0.70	ns
HSTL_I_18_M	0.43	0.46	0.46	0.52	0.52	0.57	0.57	0.61	0.61	0.70	0.70	0.78	ns
HSTL_I_18_S	0.43	0.46	0.46	0.52	0.58	0.63	0.63	0.69	0.69	0.78	0.78	0.88	ns

表 28: IOB High Performance (HP) のスイッチ特性 (続き)

I/O 規格	$T_{INBUF_DELAY_PAD_I}$				$T_{OUTBUF_DELAY_O_PAD}$				$T_{OUTBUF_DELAY_TD_PAD}$				単位
	1.0V		0.95V		1.0V		0.95V		1.0V		0.95V		
	-3	-1H	-2	-1	-3	-1H	-2	-1	-3	-1H	-2	-1	
HSTL_I_DCI_12_F	0.43	0.46	0.46	0.52	0.48	0.52	0.52	0.56	0.56	0.63	0.63	0.70	ns
HSTL_I_DCI_12_M	0.43	0.46	0.46	0.52	0.52	0.57	0.57	0.61	0.61	0.70	0.70	0.78	ns
HSTL_I_DCI_12_S	0.43	0.46	0.46	0.52	0.57	0.63	0.63	0.68	0.69	0.78	0.78	0.87	ns
HSTL_I_DCI_18_F	0.43	0.46	0.46	0.52	0.47	0.51	0.51	0.55	0.55	0.63	0.63	0.70	ns
HSTL_I_DCI_18_M	0.43	0.46	0.46	0.52	0.52	0.57	0.57	0.61	0.61	0.70	0.70	0.78	ns
HSTL_I_DCI_18_S	0.43	0.46	0.46	0.52	0.58	0.63	0.63	0.69	0.69	0.78	0.78	0.88	ns
HSTL_I_DCI_F	0.43	0.46	0.46	0.52	0.47	0.52	0.52	0.56	0.56	0.63	0.63	0.70	ns
HSTL_I_DCI_M	0.43	0.46	0.46	0.52	0.52	0.57	0.57	0.61	0.61	0.70	0.70	0.78	ns
HSTL_I_DCI_S	0.43	0.46	0.46	0.52	0.57	0.63	0.63	0.68	0.69	0.78	0.78	0.87	ns
HSTL_I_F	0.43	0.46	0.46	0.52	0.47	0.52	0.52	0.56	0.56	0.63	0.63	0.70	ns
HSTL_I_M	0.43	0.46	0.46	0.52	0.52	0.57	0.57	0.61	0.61	0.70	0.70	0.78	ns
HSTL_I_S	0.43	0.46	0.46	0.52	0.57	0.63	0.63	0.68	0.69	0.78	0.78	0.87	ns
HSUL_12_DCI_F	0.43	0.46	0.46	0.52	0.48	0.52	0.52	0.56	0.56	0.63	0.63	0.70	ns
HSUL_12_DCI_M	0.43	0.46	0.46	0.52	0.52	0.57	0.57	0.61	0.61	0.70	0.70	0.78	ns
HSUL_12_DCI_S	0.43	0.46	0.46	0.52	0.57	0.63	0.63	0.68	0.69	0.78	0.78	0.87	ns
HSUL_12_F	0.43	0.46	0.46	0.52	0.48	0.52	0.52	0.56	0.56	0.63	0.63	0.70	ns
HSUL_12_M	0.43	0.46	0.46	0.52	0.52	0.57	0.57	0.61	0.61	0.70	0.70	0.78	ns
HSUL_12_S	0.43	0.46	0.46	0.52	0.57	0.63	0.63	0.68	0.69	0.78	0.78	0.87	ns
LVC MOS12_F_2	0.56	0.66	0.66	0.74	0.67	0.73	0.73	0.79	0.67	0.73	0.73	0.79	ns
LVC MOS12_F_4	0.56	0.66	0.66	0.74	0.63	0.68	0.68	0.73	0.63	0.68	0.68	0.73	ns
LVC MOS12_F_6	0.56	0.66	0.66	0.74	0.59	0.64	0.64	0.69	0.59	0.65	0.65	0.72	ns
LVC MOS12_F_8	0.56	0.66	0.66	0.74	0.57	0.63	0.63	0.67	0.59	0.66	0.66	0.72	ns
LVC MOS12_M_2	0.56	0.66	0.66	0.74	0.72	0.79	0.79	0.85	0.72	0.79	0.79	0.85	ns
LVC MOS12_M_4	0.56	0.66	0.66	0.74	0.66	0.71	0.71	0.77	0.66	0.71	0.71	0.77	ns
LVC MOS12_M_6	0.56	0.66	0.66	0.74	0.62	0.67	0.67	0.72	0.62	0.69	0.69	0.75	ns
LVC MOS12_M_8	0.56	0.66	0.66	0.74	0.62	0.67	0.67	0.72	0.64	0.71	0.71	0.78	ns
LVC MOS12_S_2	0.56	0.66	0.66	0.74	0.77	0.89	0.89	0.96	0.77	0.89	0.89	0.96	ns
LVC MOS12_S_4	0.56	0.66	0.66	0.74	0.68	0.74	0.74	0.79	0.68	0.74	0.74	0.79	ns
LVC MOS12_S_6	0.56	0.66	0.66	0.74	0.66	0.72	0.72	0.78	0.66	0.72	0.72	0.79	ns
LVC MOS12_S_8	0.56	0.66	0.66	0.74	0.66	0.72	0.72	0.77	0.67	0.74	0.74	0.82	ns
LVC MOS15_F_12	0.45	0.52	0.52	0.58	0.61	0.66	0.66	0.71	0.66	0.73	0.73	0.81	ns
LVC MOS15_F_2	0.45	0.52	0.52	0.58	0.73	0.77	0.77	0.83	0.73	0.77	0.77	0.83	ns
LVC MOS15_F_4	0.45	0.52	0.52	0.58	0.69	0.73	0.73	0.78	0.69	0.73	0.73	0.78	ns
LVC MOS15_F_6	0.45	0.52	0.52	0.58	0.63	0.68	0.68	0.73	0.63	0.70	0.70	0.77	ns
LVC MOS15_F_8	0.45	0.52	0.52	0.58	0.61	0.66	0.66	0.72	0.63	0.71	0.71	0.78	ns
LVC MOS15_M_12	0.45	0.52	0.52	0.58	0.63	0.69	0.69	0.75	0.67	0.77	0.77	0.85	ns

表 28: IOB High Performance (HP) のスイッチ特性 (続き)

I/O 規格	$T_{INBUF_DELAY_PAD_I}$				$T_{OUTBUF_DELAY_O_PAD}$				$T_{OUTBUF_DELAY_TD_PAD}$				単位
	1.0V		0.95V		1.0V		0.95V		1.0V		0.95V		
	-3	-1H	-2	-1	-3	-1H	-2	-1	-3	-1H	-2	-1	
LVC MOS15_M_2	0.45	0.52	0.52	0.58	0.77	0.80	0.80	0.86	0.77	0.80	0.80	0.86	ns
LVC MOS15_M_4	0.45	0.52	0.52	0.58	0.72	0.76	0.76	0.82	0.72	0.76	0.76	0.82	ns
LVC MOS15_M_6	0.45	0.52	0.52	0.58	0.67	0.72	0.72	0.78	0.67	0.74	0.74	0.82	ns
LVC MOS15_M_8	0.45	0.52	0.52	0.58	0.65	0.71	0.71	0.76	0.65	0.76	0.76	0.83	ns
LVC MOS15_S_12	0.45	0.52	0.52	0.58	0.65	0.70	0.70	0.75	0.67	0.75	0.75	0.83	ns
LVC MOS15_S_2	0.45	0.52	0.52	0.58	0.78	0.85	0.85	0.91	0.78	0.85	0.85	0.91	ns
LVC MOS15_S_4	0.45	0.52	0.52	0.58	0.74	0.78	0.78	0.84	0.74	0.78	0.78	0.84	ns
LVC MOS15_S_6	0.45	0.52	0.52	0.58	0.72	0.76	0.76	0.82	0.72	0.76	0.76	0.84	ns
LVC MOS15_S_8	0.45	0.52	0.52	0.58	0.68	0.73	0.73	0.79	0.68	0.75	0.75	0.83	ns
LVC MOS18_F_12	0.43	0.49	0.49	0.54	0.67	0.72	0.72	0.78	0.67	0.81	0.81	0.90	ns
LVC MOS18_F_2	0.43	0.49	0.49	0.54	0.94	1.07	1.07	1.15	0.94	1.07	1.07	1.15	ns
LVC MOS18_F_4	0.43	0.49	0.49	0.54	0.78	0.82	0.82	0.89	0.78	0.82	0.82	0.89	ns
LVC MOS18_F_6	0.43	0.49	0.49	0.54	0.72	0.77	0.77	0.83	0.72	0.79	0.79	0.88	ns
LVC MOS18_F_8	0.43	0.49	0.49	0.54	0.70	0.75	0.75	0.81	0.72	0.81	0.81	0.89	ns
LVC MOS18_M_12	0.43	0.49	0.49	0.54	0.70	0.76	0.76	0.81	0.74	0.83	0.83	0.92	ns
LVC MOS18_M_2	0.43	0.49	0.49	0.54	0.99	1.10	1.10	1.19	0.99	1.10	1.10	1.19	ns
LVC MOS18_M_4	0.43	0.49	0.49	0.54	0.82	0.86	0.86	0.92	0.82	0.86	0.86	0.92	ns
LVC MOS18_M_6	0.43	0.49	0.49	0.54	0.75	0.80	0.80	0.87	0.75	0.81	0.81	0.90	ns
LVC MOS18_M_8	0.43	0.49	0.49	0.54	0.73	0.78	0.78	0.85	0.73	0.83	0.83	0.92	ns
LVC MOS18_S_12	0.43	0.49	0.49	0.54	0.74	0.78	0.78	0.84	0.76	0.83	0.83	0.92	ns
LVC MOS18_S_2	0.43	0.49	0.49	0.54	1.05	1.16	1.16	1.25	1.05	1.16	1.16	1.25	ns
LVC MOS18_S_4	0.43	0.49	0.49	0.54	0.83	0.86	0.86	0.93	0.83	0.86	0.86	0.93	ns
LVC MOS18_S_6	0.43	0.49	0.49	0.54	0.79	0.82	0.82	0.89	0.79	0.82	0.82	0.90	ns
LVC MOS18_S_8	0.43	0.49	0.49	0.54	0.75	0.80	0.80	0.86	0.75	0.82	0.82	0.90	ns
LVDCI_15_F	0.45	0.52	0.52	0.58	0.48	0.53	0.53	0.56	0.57	0.64	0.64	0.71	ns
LVDCI_15_M	0.45	0.52	0.52	0.58	0.53	0.57	0.57	0.62	0.62	0.71	0.71	0.79	ns
LVDCI_15_S	0.45	0.52	0.52	0.58	0.58	0.64	0.64	0.69	0.70	0.79	0.79	0.88	ns
LVDCI_18_F	0.43	0.49	0.49	0.54	0.48	0.53	0.53	0.57	0.57	0.65	0.65	0.71	ns
LVDCI_18_M	0.43	0.49	0.49	0.54	0.52	0.57	0.57	0.62	0.62	0.71	0.71	0.79	ns
LVDCI_18_S	0.43	0.49	0.49	0.54	0.58	0.64	0.64	0.69	0.70	0.80	0.80	0.90	ns
LVDS	0.42	0.46	0.46	0.51	0.57	0.67	0.67	0.72	890.24	890.26	890.26	890.28	ns
POD10_DCI_F	0.43	0.46	0.46	0.52	0.48	0.52	0.52	0.56	0.59	0.67	0.67	0.74	ns
POD10_DCI_M	0.43	0.46	0.46	0.52	0.54	0.60	0.60	0.65	0.64	0.73	0.73	0.81	ns
POD10_DCI_S	0.43	0.46	0.46	0.52	0.63	0.69	0.69	0.76	0.71	0.81	0.81	0.89	ns
POD10_F	0.43	0.46	0.46	0.52	0.48	0.52	0.52	0.56	0.59	0.67	0.67	0.74	ns
POD10_M	0.43	0.46	0.46	0.52	0.54	0.60	0.60	0.65	0.64	0.73	0.73	0.81	ns

表 28: IOB High Performance (HP) のスイッチ特性 (続き)

I/O 規格	$T_{INBUF_DELAY_PAD_I}$				$T_{OUTBUF_DELAY_O_PAD}$				$T_{OUTBUF_DELAY_TD_PAD}$				単位
	1.0V		0.95V		1.0V		0.95V		1.0V		0.95V		
	-3	-1H	-2	-1	-3	-1H	-2	-1	-3	-1H	-2	-1	
POD10_S	0.43	0.46	0.46	0.52	0.63	0.69	0.69	0.76	0.71	0.81	0.81	0.89	ns
POD12_DCI_F	0.43	0.46	0.46	0.52	0.48	0.52	0.52	0.56	0.59	0.67	0.67	0.74	ns
POD12_DCI_M	0.43	0.46	0.46	0.52	0.54	0.60	0.60	0.65	0.64	0.73	0.73	0.81	ns
POD12_DCI_S	0.43	0.46	0.46	0.52	0.63	0.69	0.69	0.76	0.71	0.81	0.81	0.89	ns
POD12_F	0.43	0.46	0.46	0.52	0.48	0.52	0.52	0.56	0.59	0.67	0.67	0.74	ns
POD12_M	0.43	0.46	0.46	0.52	0.54	0.60	0.60	0.65	0.64	0.73	0.73	0.81	ns
POD12_S	0.43	0.46	0.46	0.52	0.63	0.69	0.69	0.76	0.71	0.81	0.81	0.89	ns
SLVS_400_18	0.42	0.46	0.46	0.51	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	ns
SSTL12_DCI_F	0.43	0.46	0.46	0.52	0.48	0.52	0.52	0.56	0.56	0.63	0.63	0.70	ns
SSTL12_DCI_M	0.43	0.46	0.46	0.52	0.52	0.57	0.57	0.61	0.61	0.70	0.70	0.78	ns
SSTL12_DCI_S	0.43	0.46	0.46	0.52	0.57	0.63	0.63	0.68	0.69	0.78	0.78	0.87	ns
SSTL12_F	0.43	0.46	0.46	0.52	0.48	0.52	0.52	0.56	0.56	0.63	0.63	0.70	ns
SSTL12_M	0.43	0.46	0.46	0.52	0.52	0.57	0.57	0.61	0.61	0.70	0.70	0.78	ns
SSTL12_S	0.43	0.46	0.46	0.52	0.57	0.63	0.63	0.68	0.69	0.78	0.78	0.87	ns
SSTL135_DCI_F	0.43	0.46	0.46	0.52	0.48	0.52	0.52	0.56	0.56	0.64	0.64	0.70	ns
SSTL135_DCI_M	0.43	0.46	0.46	0.52	0.52	0.57	0.57	0.61	0.61	0.70	0.70	0.78	ns
SSTL135_DCI_S	0.43	0.46	0.46	0.52	0.57	0.63	0.63	0.68	0.69	0.78	0.78	0.87	ns
SSTL135_F	0.43	0.46	0.46	0.52	0.48	0.52	0.52	0.56	0.56	0.64	0.64	0.70	ns
SSTL135_M	0.43	0.46	0.46	0.52	0.52	0.57	0.57	0.61	0.61	0.70	0.70	0.78	ns
SSTL135_S	0.43	0.46	0.46	0.52	0.57	0.63	0.63	0.68	0.69	0.78	0.78	0.87	ns
SSTL15_DCI_F	0.43	0.46	0.46	0.52	0.47	0.52	0.52	0.56	0.56	0.63	0.63	0.70	ns
SSTL15_DCI_M	0.43	0.46	0.46	0.52	0.52	0.57	0.57	0.61	0.61	0.70	0.70	0.78	ns
SSTL15_DCI_S	0.43	0.46	0.46	0.52	0.57	0.63	0.63	0.68	0.69	0.78	0.78	0.87	ns
SSTL15_F	0.43	0.46	0.46	0.52	0.47	0.52	0.52	0.56	0.56	0.63	0.63	0.70	ns
SSTL15_M	0.43	0.46	0.46	0.52	0.52	0.57	0.57	0.61	0.61	0.70	0.70	0.78	ns
SSTL15_S	0.43	0.46	0.46	0.52	0.57	0.63	0.63	0.68	0.69	0.78	0.78	0.87	ns
SSTL18_I_DCI_F	0.43	0.46	0.46	0.52	0.47	0.51	0.51	0.55	0.55	0.63	0.63	0.70	ns
SSTL18_I_DCI_M	0.43	0.46	0.46	0.52	0.52	0.57	0.57	0.61	0.61	0.70	0.70	0.78	ns
SSTL18_I_DCI_S	0.43	0.46	0.46	0.52	0.58	0.63	0.63	0.69	0.69	0.78	0.78	0.88	ns
SSTL18_I_F	0.43	0.46	0.46	0.52	0.47	0.51	0.51	0.55	0.55	0.63	0.63	0.70	ns
SSTL18_I_M	0.43	0.46	0.46	0.52	0.52	0.57	0.57	0.61	0.61	0.70	0.70	0.78	ns
SSTL18_I_S	0.43	0.46	0.46	0.52	0.58	0.63	0.63	0.69	0.69	0.78	0.78	0.88	ns
SUB_LVDS	0.42	0.46	0.46	0.51	0.57	0.67	0.67	0.72	890.24	890.26	890.26	890.28	ns

表 29 に、 $T_{\text{OUTBUF_DELAY_TE_PAD}}$ および $T_{\text{INBUF_DELAY_IBUFDIS_O}}$ の値を示します。 $T_{\text{OUTBUF_DELAY_TE_PAD}}$ は、ハイインピーダンスステートのようにトライステートが有効な場合の、T ピンから IOB パッドの出力バッファを通して IOB パッドに達するまでの遅延です。 $T_{\text{INBUF_DELAY_IBUFDIS_O}}$ は、IBUFDISABLE から O 出力までの IOB 遅延です。HP I/O バンクでは、DCITERMDISABLE ピン使用時の内部 DCI 終端がオフになるまでの時間は常に $T_{\text{OUTBUF_DELAY_TE_PAD}}$ よりも高速です。HR I/O バンクでは、INTERMDISABLE ピン使用時の内部 IN_TERM 終端がオフになるまでの時間は常に $T_{\text{OUTBUF_DELAY_TE_PAD}}$ よりも高速です。

表 29: IOB トライステート出力のスイッチ特性

シンボル	説明	スピード グレードおよび V_{CCINT} 動作電圧				単位
		1.0V		0.95V		
		-3	-1H	-2	-1	
$T_{\text{OUTBUF_DELAY_TE_PAD}}^{(1)}$	HR I/O バンクでの T 入力からパッドのハイインピーダンス	1.37	1.52	1.52	1.69	ns
	HP I/O バンクでの T 入力からパッドのハイインピーダンス	0.62	0.71	0.71	0.78	ns
$T_{\text{INBUF_DELAY_IBUFDIS_O}}$	HR I/O バンクでの IBUFDISABLE から O 出力までの IBUF ターンオン時間	0.47	0.65	0.65	0.68	ns
	HP I/O バンクでの IBUFDISABLE から O 出力までの IBUF ターンオン時間	1.06	1.21	1.21	1.49	ns

注記:

- $T_{\text{OUTBUF_DELAY_TE_PAD}}$ 値は、シングルエンド I/O 規格に適用できます。完全な差動規格の場合、値はより大きいものになります。ユーザーのコンフィギュレーションにおける最も正確なタイミング値を求めるには、Vivado タイミングレポートを使用してください。

I/O 規格での調整計測方法

入力遅延の計測

表 30 に、入力遅延の計測に使用するテスト セットアップ パラメーターを示します。

表 30: 入力遅延の計測方法

説明	I/O 規格の属性	$V_L^{(1)(2)}$	$V_H^{(1)(2)}$	$V_{\text{MEAS}}^{(1)(4)(6)}$	$V_{\text{REF}}^{(1)(3)(5)}$
LVC MOS、1.2V	LVC MOS12	0.1	1.1	0.6	—
LVC MOS、LVDCI、HSLVDCI、1.5V	LVC MOS15、LVDCI_15、HSLVDCI_15	0.1	1.4	0.75	—
LVC MOS、LVDCI、HSLVDCI、1.8V	LVC MOS18、LVDCI_18、HSLVDCI_18	0.1	1.7	0.9	—
LVC MOS、2.5V	LVC MOS25	0.1	2.4	1.25	—
LVC MOS、3.3V	LVC MOS33	0.1	3.2	1.65	—
LVTTL、3.3V	LVTTL	0.1	3.2	1.65	—
HSTL (高速トランシーバー ロジック)、クラス I、1.2V	HSTL_I_12	$V_{\text{REF}} - 0.5$	$V_{\text{REF}} + 0.5$	V_{REF}	0.60
HSTL、クラス I および II、1.5V	HSTL_I、HSTL_II	$V_{\text{REF}} - 0.65$	$V_{\text{REF}} + 0.65$	V_{REF}	0.75
HSTL、クラス I および II、1.8V	HSTL_I_18、HSTL_II_18	$V_{\text{REF}} - 0.8$	$V_{\text{REF}} + 0.8$	V_{REF}	0.90
HSUL (高速非終端ロジック)、1.2V	HSUL_12	$V_{\text{REF}} - 0.5$	$V_{\text{REF}} + 0.5$	V_{REF}	0.60
SSTL (スタブ直列終端ロジック)、1.2V	SSTL12	$V_{\text{REF}} - 0.5$	$V_{\text{REF}} + 0.5$	V_{REF}	0.60
SSTL、1.35V	SSTL135、SSTL135_R	$V_{\text{REF}} - 0.575$	$V_{\text{REF}} + 0.575$	V_{REF}	0.675
SSTL、1.5V	SSTL15、SSTL15_R	$V_{\text{REF}} - 0.65$	$V_{\text{REF}} + 0.65$	V_{REF}	0.75

表 30: 入力遅延の計測方法 (続き)

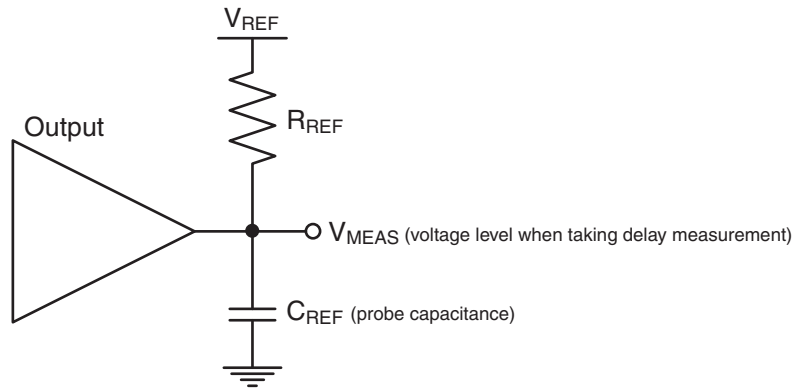
説明	I/O 規格の属性	$V_L^{(1)(2)}$	$V_H^{(1)(2)}$	$V_{MEAS}^{(1)(4)(6)}$	$V_{REF}^{(1)(3)(5)}$
SSTL、クラス I および II、1.8V	SSTL18_I、SSTL18_II	$V_{REF} - 0.8$	$V_{REF} + 0.8$	V_{REF}	0.90
POD10、1.0V	POD10	$V_{REF} - 0.6$	$V_{REF} + 0.6$	V_{REF}	0.70
POD12、1.2V	POD12	$V_{REF} - 0.74$	$V_{REF} + 0.74$	V_{REF}	0.84
DIFF_HSTL、クラス I、1.2V	DIFF_HSTL_I_12	$0.6 - 0.125$	$0.6 + 0.125$	$0^{(6)}$	—
DIFF_HSTL、クラス I および II、1.5V	DIFF_HSTL_I、 DIFF_HSTL_II	$0.75 - 0.125$	$0.75 + 0.125$	$0^{(6)}$	—
DIFF_HSTL、クラス I および II、1.8V	DIFF_HSTL_I_18、 DIFF_HSTL_II_18	$0.9 - 0.125$	$0.9 + 0.125$	$0^{(6)}$	—
DIFF_HSUL、1.2V	DIFF_HSUL_12	$0.6 - 0.125$	$0.6 + 0.125$	$0^{(6)}$	—
DIFF_SSTL、1.2V	DIFF_SSTL12	$0.6 - 0.125$	$0.6 + 0.125$	$0^{(6)}$	—
DIFF_SSTL135/DIFF_SSTL135_R、1.35V	DIFF_SSTL135、 DIFF_SSTL135_R	$0.675 - 0.125$	$0.675 + 0.125$	$0^{(6)}$	—
DIFF_SSTL15/DIFF_SSTL15_R、1.5V	DIFF_SSTL15、 DIFF_SSTL15_R	$0.75 - 0.125$	$0.75 + 0.125$	$0^{(6)}$	—
DIFF_SSTL18_I/DIFF_SSTL18_II、1.8V	DIFF_SSTL18_I、 DIFF_SSTL18_II	$0.9 - 0.125$	$0.9 + 0.125$	$0^{(6)}$	—
DIFF_POD10、1.0V	DIFF_POD10	$0.70 - 0.125$	$0.70 + 0.125$	$0^{(6)}$	—
DIFF_POD12、1.2V	DIFF_POD12	$0.84 - 0.125$	$0.84 + 0.125$	$0^{(6)}$	—
LVDS (低電圧差動信号)、1.8V	LVDS	$0.9 - 0.125$	$0.9 + 0.125$	$0^{(6)}$	—
LVDS_25、2.5V	LVDS_25	$1.25 - 0.125$	$1.25 + 0.125$	$0^{(6)}$	—
SUB_LVDS、1.8V	SUB_LVDS	$0.9 - 0.125$	$0.9 + 0.125$	$0^{(6)}$	—
SLVS、1.8V	SLVS_400_18	$0.9 - 0.125$	$0.9 + 0.125$	$0^{(6)}$	—
SLVS、2.5V	SLVS_400_25	$1.25 - 0.125$	$1.25 + 0.125$	$0^{(6)}$	—
LVPECL、2.5	LVPECL	$1.25 - 0.125$	$1.25 + 0.125$	$0^{(6)}$	—
BLVDS_25、2.5V	BLVDS_25	$1.25 - 0.125$	$1.25 + 0.125$	$0^{(6)}$	—
MINI_LVDS_25、2.5V	MINI_LVDS_25	$1.25 - 0.125$	$1.25 + 0.125$	$0^{(6)}$	—
PPDS_25	PPDS_25	$1.25 - 0.125$	$1.25 + 0.125$	$0^{(6)}$	—
RSDS_25	RSDS_25	$1.25 - 0.125$	$1.25 + 0.125$	$0^{(6)}$	—
TMDS_33	TMDS_33	$3 - 0.125$	$3 + 0.125$	$0^{(6)}$	—

注記:

- LVDCI の入力遅延計測方法のパラメーターは、同じ電圧の LVCMOS 規格と共通です。HSLVDCI の入力遅延計測方法のパラメーターは、同じ電圧の HSTL_II 規格と共通です。その他すべての DCI 規格のパラメーターは、それぞれ対応する non-DCI 規格と共通です。
- 入力波形は V_L と V_H 間で切り替わります。
- 標準、最小、最大それぞれの V_{REF} 値が計測されます。レポートされる遅延は、これら計測値のワースト ケースを反映します。記載されている V_{REF} 値は標準値です。
- 計測を開始する入力電圧レベルです。
- IBIS モデルで使用される、および/または図 2 に示す V_{REF}/V_{MEAS} パラメーターとは無関係の入力基準電圧です。
- 記載されている値は差動入力電圧です。

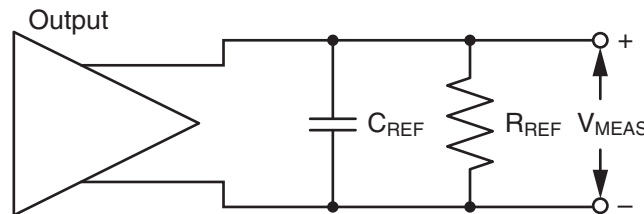
出力遅延の計測

出力遅延は、短い出力トレースで計測されます。すべてのテストで標準の終端を使用しました。トレースの伝搬遅延は個別に特性評価され、最終的な計測値から差し引かれるため、[図 1](#) および [図 2](#) に示す一般的なテスト セットアップには含まれていません。



DS893_01_051415

図 1: シングルエンドのテスト セットアップ



DS893_02_051415

図 2: 差動のテスト セットアップ

V_{REF} 、 R_{REF} 、 C_{REF} 、および V_{MEAS} パラメーターによって、各 I/O 規格のテスト条件が完全に設定されます。アプリケーションにおける伝搬遅延は、次の手順に従って IBIS シミュレーションを実行すると最も正確に見積もることができます。

1. [表 31](#) の値を用いて一般的なテスト セットアップに使用される出力ドライバーをシミュレーションします。
2. V_{MEAS} までの時間を記録します。
3. 負荷を示すために適切な IBIS モデルまたは容量値を用いて実際の PCB トレースと負荷に通常使用される出力ドライバーをシミュレーションします。
4. V_{MEAS} までの時間を記録します。
5. [手順 2](#) と [手順 4](#) の結果を比較します。遅延の増加または減少から PCB トレースの実際の伝搬遅延がわかります。

表 31: 出力遅延の計測方法

説明	I/O 規格の属性	R _{REF} (Ω)	C _{REF} ⁽¹⁾ (pF)	V _{MEAS} (V)	V _{REF} (V)
LVC MOS、1.2V	LVC MOS12	1M	0	0.6	0
LVC MOS、1.5V	LVC MOS15	1M	0	0.75	0
LVC MOS、1.8V	LVC MOS18	1M	0	0.9	0
LVC MOS、2.5V	LVC MOS25	1M	0	1.25	0
LVC MOS、3.3V	LVC MOS33	1M	0	1.65	0
LV TTL、3.3V	LV TTL	1M	0	1.65	0
LVDCI/HSLVDCI、1.5V	LVDCI_15、HSLVDCI_15	50	0	V _{REF}	0.75
LVDCI/HSLVDCI、1.8V	LVDCI_18、HSLVDCI_18	50	0	V _{REF}	0.9
HSTL (高速トランシーバー ロジック)、クラス I、1.2V	HSTL_I_12	50	0	V _{REF}	0.6
HSTL、クラス I、1.5V	HSTL_I	50	0	V _{REF}	0.75
HSTL、クラス II、1.5V	HSTL_II	25	0	V _{REF}	0.75
HSTL、クラス I、1.8V	HSTL_I_18	50	0	V _{REF}	0.9
HSTL、クラス II、1.8V	HSTL_II_18	25	0	V _{REF}	0.9
HSUL (高速非終端ロジック)、クラス I、1.2V	HSUL_12	50	0	V _{REF}	0.6
SSTL12、1.2V	SSTL12	50	0	V _{REF}	0.6
SSTL135/SSTL135_R、1.35V	SSTL135、SSTL135_R	50	0	V _{REF}	0.675
SSTL15/SSTL15_R、1.5V	SSTL15、SSTL15_R	50	0	V _{REF}	0.75
SSTL (スタブ直列終端ロジック)、クラス I および II、1.8V	SSTL18_I、SSTL18_II	50	0	V _{REF}	0.9
POD10、1.0V	POD10	50	0	V _{REF}	1.0
POD12、1.2V	POD12	50	0	V _{REF}	1.2
DIFF_HSTL、クラス I、1.2V	DIFF_HSTL_I_12	50	0	V _{REF}	0.6
DIFF_HSTL、クラス I および II、1.5V	DIFF_HSTL_I、DIFF_HSTL_II	50	0	V _{REF}	0.75
DIFF_HSTL、クラス I および II、1.8V	DIFF_HSTL_I_18、DIFF_HSTL_II_18	50	0	V _{REF}	0.9
DIFF_HSUL_12、1.2V	DIFF_HSUL_12	50	0	V _{REF}	0.6
DIFF_SSTL12、1.2V	DIFF_SSTL12	50	0	V _{REF}	0.6
DIFF_SSTL135/DIFF_SSTL135_R、1.35V	DIFF_SSTL135、DIFF_SSTL135_R	50	0	V _{REF}	0.675
DIFF_SSTL15/DIFF_SSTL15_R、1.5V	DIFF_SSTL15、DIFF_SSTL15_R	50	0	V _{REF}	0.75
DIFF_SSTL18、クラス I および II、1.8V	DIFF_SSTL18_I、DIFF_SSTL18_II	50	0	V _{REF}	0.9
DIFF_POD10、1.0V	DIFF_POD10	50	0	V _{REF}	1.0
DIFF_POD12、1.2V	DIFF_POD12	50	0	V _{REF}	1.2
LVDS (低電圧差動信号)、1.8V	LVDS	100	0	0 ⁽²⁾	0
LVDS、2.5V	LVDS_25	100	0	0 ⁽²⁾	0
BLVDS (バス LVDS)、2.5V	BLVDS_25	100	0	0 ⁽²⁾	0
mini LVDS、2.5V	MINI_LVDS_25	100	0	0 ⁽²⁾	0
PPDS_25	PPDS_25	100	0	0 ⁽²⁾	0
RS DS_25	RS DS_25	100	0	0 ⁽²⁾	0
SUB_LVDS	SUB_LVDS	100	0	0 ⁽²⁾	0
TMDS_33	TMDS_33	50	0	0 ⁽²⁾	3.3

注記:

1. C_{REF} はプローブの容量を示し、通常は 0pF です。
2. 記載されている値は差動出力電圧です。

ブロック RAM および FIFO のスイッチ特性

表 32: ブロック RAM および FIFO のスイッチ特性

シンボル	説明	スピード グレードおよび V _{CCINT} 動作電圧				単位
		1.0V		0.95V		
		-3	-1H	-2	-1	
最大周波数						
F _{MAX_WF_NC}	ブロック RAM (WRITE_FIRST および NO_CHANGE モード)	660	585	585	525	MHz
F _{MAX_RF}	ブロック RAM (READ_FIRST モード)	575	510	510	460	MHz
F _{MAX_FIFO}	ECC を使用しない場合のすべてのモードの FIFO	660	585	585	525	MHz
F _{MAX_ECC}	ECC コンフィギュレーションのブロック RAM および FIFO (パイプラインなし)	530	450	450	390	MHz
	ECC コンフィギュレーションのブロック RAM および FIFO (パイプラインあり) と WRITE_FIRST/NO_CHANGE モードのブロック RAM NO_CHANGE モード	660	585	585	525	MHz
	ECC コンフィギュレーション、READ_FIRST モードの ブロック RAM (パイプラインあり)	575	510	510	460	MHz
F _{MAX_ADDREN_RDADDRCHANGE}	アドレス イネーブルおよび読み出しアドレス変更/比較 がオンの場合のブロック RAM	575	510	510	460	MHz
T _{PW_WF_NC} ⁽¹⁾	Write First および No Change モードのブロック RAM。 クロック High/Low パルス幅	758	855	855	952	ps、最小
T _{PW_RF} ⁽¹⁾	Read First モードのブロック RAM クロック High/Low パルス幅	870	980	980	1087	ps、最小
ブロック RAM および FIFO の Clock-to-Out 遅延						
T _{RCKO_DO}	クロック CLK から DOUT 出力までの遅延 (出力レジスタなし)	1.13	1.44	1.44	1.64	ns、最大
T _{RCKO_DO_REG}	クロック CLK から DOUT 出力までの遅延 (出力レジスタあり)	0.37	0.44	0.44	0.49	ns、最大

注記:

- 高周波数でのパルス幅の要件を満たすため、MMCM および PLL DUTY_CYCLE 属性を 50% に設定する必要があります。

入力/出力遅延のスイッチ特性

表 33: 入力/出力遅延のスイッチ特性

シンボル	説明	スピード グレードおよび V_{CCINT} 動作電圧				単位
		1.0V		0.95V		
		-3	-1H	-2	-1	
F_{REFCLK}	IDELAYCTRL の基準クロック周波数 (コンポーネント モード)	200 ~ 800				MHz
	BITSlice_CONTROL を REFCLK で使用した場合の基準クロックの周波数 (ネイティブ モード、RX_BITSlice のみ)	200 ~ 800				MHz
	BITSlice_CONTROL を PLL_CLK で使用した場合の基準クロックの周波数 (ネイティブ モード) ⁽¹⁾	200 ~ 2400	200 ~ 2400	200 ~ 2400	200 ~ 2133	MHz
T_{MINPER_CLK}	IODELAY CLK の最小周期	2.740	2.740	2.740	3.160	ns
T_{MINPER_RST}	最小リセット パルス幅	52.00				ns
$T_{IDELAY_RESOLUTION}/$ $T_{ODELAY_RESOLUTION}$	IDELAY/ODELAY チェーン精度	2.5 ~ 15				ps

注記:

- PLL の設定により、許容データ レートの最小値が制限されることがあります。たとえば、CLKOUTPHY_MODE = VCO_HALF と設定した PLL を使用する場合、最小周波数は $PLL_F_{VCOMIN}/2$ となります。

DSP48 スライス of スイッチ特性

表 34: DSP48 スライス of スイッチ特性

シンボル	説明	スピード グレードおよび V_{CCINT} 動作電圧				単位
		1.0V		0.95V		
		-3	-1H	-2	-1	
最大周波数						
F_{MAX}	すべてのレジスタを使用	741	661	661	594	MHz
F_{MAX_PATDET}	パターン検出器を使用	687	581	581	512	MHz
$F_{MAX_MULT_NOMREG}$	2つのレジスタ付き乗算器 (MREG なし)	462	429	429	361	MHz
$F_{MAX_MULT_NOMREG_PATDET}$	2つのレジスタ付き乗算器 (MREG なし、パターン検出あり)	428	387	387	326	MHz
$F_{MAX_PREADD_NOADREG}$	ADREG なし	468	429	429	358	MHz
$F_{MAX_NOPIPELINEREG}$	パイプライン レジスタなし (MREG、ADREG)	335	312	312	260	MHz
$F_{MAX_NOPIPELINEREG_PATDET}$	パイプライン レジスタなし (MREG、ADREG) (パターン検出あり)	316	286	286	238	MHz

クロック バッファおよびネットワーク

表 35: クロック バッファのスイッチ特性

シンボル	説明	スピード グレードおよび V _{CCINT} 動作電圧				単位
		1.0V		0.95V		
		-3	-1H	-2	-1	
グローバル クロックのスイッチ特性 (BUFGCTRL を含む)						
F _{MAX}	グローバル クロック ツリー (BUFG) の最大周波数	850	725	725	630	MHz
入力分周機能付きグローバル クロック バッファ (BUFGCE_DIV)						
F _{MAX}	入力分周機能付きグローバル クロック バッファ (BUFGCE_DIV) の最大周波数	850	725	725	630	MHz
クロック イネーブル付きグローバル クロック バッファ (BUFGCE)						
F _{MAX}	クロック イネーブル付きグローバル クロック バッファ (BUFGCE) の最大周波数	850	725	725	630	MHz
クロック イネーブル付きリーフ クロック バッファ (BUFCE_LEAF)						
F _{MAX}	クロック イネーブル付きリーフ クロック バッファ (BUFCE_LEAF) の最大周波数	850	725	725	630	MHz
クロック イネーブルおよびクロック入力分周機能付き GTH/GTY クロック バッファ (BUFG_GT)						
F _{MAX}	クロック イネーブルおよびクロック入力分周機能付きシリアル トランシーバー クロック バッファの最大周波数	512	512	512	512	MHz

MMCM のスイッチ特性

表 36: MMCM のスイッチ特性

シンボル	説明	スピード グレードおよび V _{CCINT} 動作電圧				単位
		1.0V		0.95V		
		-3	-1H	-2	-1	
MMCM_F _{INMAX}	最大入力クロック周波数	1066	933	933	800	MHz
MMCM_F _{INMIN}	最小入力クロック周波数	10	10	10	10	MHz
MMCM_F _{INJITTER}	最大入力クロック周期ジッター	クロック入力周期の 20% 以内または最大 1ns				
MMCM_F _{INDUTY}	入力デューティ サイクル範囲: 10 ~ 49MHz	25-75				%
	入力デューティ サイクル範囲: 50 ~ 199MHz	30-70				%
	入力デューティ サイクル範囲: 200 ~ 399MHz	35-65				%
	入力デューティ サイクル範囲: 400 ~ 499MHz	40-60				%
	入力デューティ サイクル範囲: >500MHz	45-55				%
MMCM_F _{MIN_PSCLK}	最小可変位相シフト クロック周波数	0.01	0.01	0.01	0.01	MHz
MMCM_F _{MAX_PSCLK}	最大可変位相シフト クロック周波数	550	500	500	450	MHz
MMCM_F _{VCOMIN}	最小 MMCM VCO 周波数	600	600	600	600	MHz
MMCM_F _{VCOMAX}	最大 MMCM VCO 周波数	1600	1440	1440	1200	MHz
MMCM_F _{BANDWIDTH}	標準 Low MMCM 帯域幅 ⁽¹⁾	1.00	1.00	1.00	1.00	MHz
	標準 High MMCM 帯域幅 ⁽¹⁾	4.00	4.00	4.00	4.00	MHz
MMCM_T _{STATPHAOFFSET}	MMCM 出力のスタティック位相オフセット ⁽²⁾	0.12	0.12	0.12	0.12	ns
MMCM_T _{OUTJITTER}	MMCM 出力ジッター	注記 3				
MMCM_T _{OUTDUTY}	MMCM 出力クロックのデューティ サイクル精度 ⁽⁴⁾	0.165	0.20	0.20	0.20	ns
MMCM_T _{LOCKMAX}	MMCM_F _{PFDMIN} 周波数が 20MHz を超える場合の MMCM 最大ロック時間	100	100	100	100	μs
	MMCM_F _{PFDMIN} 周波数が 10MHz ~ 20MHz の場合の MMCM 最大ロック時間	200	200	200	200	μs
MMCM_F _{OUTMAX}	MMCM 最大出力周波数	850	725	725	630	MHz
MMCM_F _{OUTMIN}	MMCM 最小出力周波数 ⁽⁴⁾⁽⁵⁾	4.69	4.69	4.69	4.69	MHz
MMCM_T _{EXTFDVAR}	外部クロック フィードバックの変動	クロック入力周期の 20% 以内または最大 1ns				
MMCM_RST _{MINPULSE}	最小リセット パルス幅	5.00	5.00	5.00	5.00	ns
MMCM_F _{PFDMAX}	PFD (位相周波数検出器) での最大周波数	550	500	500	450	MHz
MMCM_F _{PFDMIN}	PFD (位相周波数検出器) での最小周波数	10	10	10	10	MHz
MMCM_T _{FBDELAY}	フィードバック パスでの最大遅延	最大 5ns または 1 クロック サイクル				
MMCM_F _{DRPCLK_MAX}	最大 DRP クロック周波数	200	200	200	200	MHz

注記:

- MMCM では通常の拡散スペクトラム入力クロックがフィルターされません。これは、通常これらの入力帯域幅フィルターの周波数よりもはるかに低い値のためです。
- スタティック オフセットは、同一の位相を持つ任意の MMCM 出力間で計測されています。
- このパラメータの値は、クロッキング ウィザードから取得できます。
- グローバル クロック バッファを含みます。
- デューティ サイクルが 50% の場合に F_{VCO}/128 として算出した値です。

PLL のスイッチ仕様

 表 37: PLL の特性⁽¹⁾

シンボル	説明	スピード グレードおよび V _{CCINT} 動作電圧				単位
		1.0V		0.95V		
		-3	-1H	-2	-1	
PLL_F _{INMAX}	最大入力クロック周波数	1066	933	933	800	MHz
PLL_F _{INMIN}	最小入力クロック周波数	70	70	70	70	MHz
PLL_F _{INJITTER}	最大入力クロック周期ジッター	クロック入力周期の 20% 以内または最大 1ns				
PLL_F _{INDUTY}	入力デューティ サイクル範囲: 70 ~ 399MHz	35-65				%
	入力デューティ サイクル範囲: 400 ~ 499MHz	40-60				%
	入力デューティ サイクル範囲: >500MHz	45-55				%
PLL_F _{VCOMIN}	最小 PLL VCO 周波数	600	600	600	600	MHz
PLL_F _{VCOMAX}	最大 PLL VCO 周波数	1335	1335	1335	1200	MHz
PLL_T _{STATPHAOFFSET}	PLL 出力のスタティック位相オフセット ⁽²⁾	0.12	0.12	0.12	0.12	ns
PLL_T _{OUTJITTER}	PLL 出力ジッター	注記 3				
PLL_T _{OUTDUTY}	PLL CLKOUT0/CLKOUT0B/CLKOUT1/CLKOUT1B のデューティ サイクル精度 ⁽⁴⁾	0.165	0.20	0.20	0.20	ns
PLL_T _{LOCKMAX}	PLL 最大ロック時間	100				μs
PLL_F _{OUTMAX}	CLKOUT0/CLKOUT0B/CLKOUT1/CLKOUT1B での PLL 最大出力周波数	850	725	725	630	MHz
	CLKOUTPHY での PLL 最大出力周波数	2670	2670	2670	2400	MHz
PLL_F _{OUTMIN}	CLKOUT0/CLKOUT0B/CLKOUT1/CLKOUT1B での PLL 最小出力周波数 ⁽⁵⁾	4.69	4.69	4.69	4.69	MHz
	CLKOUTPHY での PLL 最小出力周波数	2 x VCO モード: 1200 1 x VCO モード: 600 0.5 x VCO モード: 300				MHz
PLL_RST _{MINPULSE}	最小リセット パルス幅	5.00	5.00	5.00	5.00	ns
PLL_F _{PFDMAX}	PFD (位相周波数検出器) での最大周波数	667.5	667.5	667.5	600	MHz
PLL_F _{PFDMIN}	PFD (位相周波数検出器) での最小周波数	70	70	70	70	MHz
PLL_F _{BANDWIDTH}	標準 PLL 帯域幅	15	15	15	15	MHz
PLL_F _{DRPCLK_MAX}	最大 DRP クロック周波数	200	200	200	200	MHz

注記:

- PLL では通常の拡散スペクトラム入力クロックがフィルターされません。これは、通常これらの入力グループ フィルターの周波数よりもはるかに低い値のためです。
- スタティック オフセットは、同一の位相を持つ任意の PLL 出力間で計測されています。
- このパラメーターの値は、クロッキング ウィザードから取得できます。
- グローバル クロック バッファを含みます。
- デューティ サイクルが 50% の場合に F_{VCO}/128 として算出した値です。

デバイスの Pin-to-Pin 出力パラメータのガイドライン

表 38 ~ 表 41 に示す Pin-to-Pin の値は、デバイス中央でのクロック ルート配置に基づいています。選択したルート配置が異なると、実際の Pin-to-Pin 値も変わってきます。実際の Pin-to-Pin 値は、Vivado Design Suite のタイミング レポートを確認してください。

表 38: グローバル クロック入力から出力までの遅延 (MMCM/PLL なし)、(クロック領域近辺)

シンボル	説明	デバイス	スピード グレードおよび V_{CCINT} 動作電圧				単位
			1.0V		0.95V		
			-3	-1H	-2	-1	
SSTL15 グローバル クロック入力から出力までの遅延 (出力フリップフロップ使用、スルー レート = Fast、MMCM/PLL なし)							
T_{ICKOF}	グローバル クロック入力と出力フリップフロップ間 (MMCM/PLL なし)、(クロック領域近辺)	XCVU065	5.04	5.82	5.82	6.83	ns
		XCVU080	5.27	6.09	6.09	7.13	ns
		XCVU095	5.27	6.09	6.09	7.13	ns
		XCVU125	5.04	5.82	5.82	6.86	ns
		XCVU160	5.04	5.82	5.82	6.86	ns
		XCVU190	5.04	5.82	5.82	6.86	ns
		XCVU440	6.14	N/A	7.11	8.38	ns

注記:

- 1つのグローバル クロック入力で、アクセス可能なカラムにある垂直クロック ラインが1本駆動され、アクセス可能な I/O および CLB フリップフロップのクロックがすべて、1つの SLR 内のグローバル クロック ネットで駆動されている場合の値を示しています。

表 39: グローバル クロック入力から出力までの遅延 (MMCM/PLL なし)、(クロック領域から離れている)

シンボル	説明	デバイス	スピード グレードおよび V_{CCINT} 動作電圧				単位
			1.0V		0.95V		
			-3	-1H	-2	-1	
SSTL15 グローバル クロック入力から出力までの遅延 (出力フリップフロップ使用、スルー レート = Fast、MMCM/PLL なし)							
T_{ICKOF_FAR}	グローバル クロック入力と出力フリップフロップ間 (MMCM/PLL なし)、(クロック領域から離れている)	XCVU065	5.48	6.35	6.35	7.44	ns
		XCVU080	5.77	6.67	6.67	7.69	ns
		XCVU095	5.77	6.67	6.67	7.69	ns
		XCVU125	5.48	6.35	6.35	7.51	ns
		XCVU160	5.48	6.35	6.35	7.51	ns
		XCVU190	5.48	6.35	6.35	7.51	ns
		XCVU440	6.48	N/A	7.49	8.85	ns

注記:

- 1つのグローバル クロック入力で、アクセス可能なカラムにある垂直クロック ラインが1本駆動され、アクセス可能な I/O および CLB フリップフロップのクロックがすべて、1つの SLR 内のグローバル クロック ネットで駆動されている場合の値を示しています。

表 40: グローバル クロック入力から出力までの遅延 (MMCM あり)

シンボル	説明	デバイス	スピード グレードおよび V _{CCINT} 動作電圧				単位
			1.0V		0.95V		
			-3	-1H	-2	-1	
SSTL15 グローバル クロック入力から出力までの遅延 (出力フリップフロップ使用、スルー レート = Fast、MMCM あり)							
T _{TICKOFFMMCMCC}	グローバル クロック入力と出力フリップフロップ間 (MMCM あり)	XCVU065	1.36	1.61	1.61	1.93	ns
		XCVU080	1.36	1.59	1.59	1.85	ns
		XCVU095	1.36	1.59	1.59	1.85	ns
		XCVU125	1.36	1.61	1.61	1.94	ns
		XCVU160	1.36	1.61	1.61	1.94	ns
		XCVU190	1.36	1.61	1.61	1.94	ns
		XCVU440	1.37	N/A	1.62	1.88	ns

注記:

- 1つのグローバル クロック入力で、アクセス可能なカラムにある垂直クロック ラインが1本駆動され、アクセス可能な I/O および CLB フリップフロップのクロックがすべて、1つの SLR 内のグローバル クロック ネットで駆動されている場合の値を示しています。
- MMCM 出力ジッターはタイミング算出に含まれています。

表 41: グローバル クロック入力から出力までの遅延 (PLL あり)

シンボル	説明	デバイス	スピード グレードおよび V _{CCINT} 動作電圧				単位
			1.0V		0.95V		
			-3	-1H	-2	-1	
SSTL15 グローバル クロック入力から出力までの遅延 (出力フリップフロップ使用、スルー レート = Fast、PLL あり)							
T _{TICKOFF_PLL_CC}	グローバル クロック入力と出力フリップフロップ間 (PLL あり)	XCVU065	4.70	5.38	5.38	6.23	ns
		XCVU080	4.99	5.70	5.70	6.49	ns
		XCVU095	4.99	5.70	5.70	6.49	ns
		XCVU125	4.70	5.38	5.38	6.31	ns
		XCVU160	4.70	5.38	5.38	6.31	ns
		XCVU190	4.70	5.38	5.38	6.31	ns
		XCVU440	5.70	N/A	6.53	7.65	ns

注記:

- 1つのグローバル クロック入力で、アクセス可能なカラムにある垂直クロック ラインが1本駆動され、アクセス可能な I/O および CLB フリップフロップのクロックがすべて、1つの SLR 内のグローバル クロック ネットで駆動されている場合の値を示しています。
- PLL の出力ジッターはタイミング算出に含まれています。

表 42: ソース同期出力特性 (コンポーネント モード)

シンボル	説明	スピード グレードおよび V _{CCINT} 動作電圧				単位
		1.0V		0.95V		
		-3	-1H	-2	-1	
T _{OUTPUT_LOGIC_DELAY_VARIATION}	バンク内でコンポーネント モードの出力ロジック (ODDRE1、OSERDESE3) を使用する場合の送信バスにおける遅延の不一致	100				ps

デバイスの Pin-to-Pin 入力パラメータのガイドライン

表 43 および表 44 に示す Pin-to-Pin の値は、デバイス中央でのクロック ルート配置に基づいています。選択したルート配置が異なると、実際の Pin-to-Pin 値も変わってきます。実際の Pin-to-Pin 値は、Vivado Design Suite のタイミング レポートを確認してください。

表 43: グローバル クロック入力のセットアップおよびホールド (MMCM あり)

シンボル	説明	デバイス	スピード グレードおよび V _{CCINT} 動作電圧				単位	
			1.0V		0.95V			
			-3	-1H	-2	-1		
SSTL15 規格を使用した、グローバル クロック入力信号に対する入力セットアップ/ホールド タイム ⁽¹⁾⁽²⁾⁽³⁾								
T _{PSMMCMCC_VU065}	グローバル クロック入力と入力フリップフロップ (またはラッチ) 間 (MMCM あり)	セットアップ	XCVU065	2.36	2.48	2.38	2.67	ns
T _{PHMMCMCC_VU065}		ホールド		-0.25	-0.25	-0.25	-0.25	ns
T _{PSMMCMCC_VU080}		セットアップ	XCVU080	2.22	2.45	2.25	2.55	ns
T _{PHMMCMCC_VU080}		ホールド		-0.47	-0.47	-0.47	-0.47	ns
T _{PSMMCMCC_VU095}		セットアップ	XCVU095	2.22	2.45	2.25	2.55	ns
T _{PHMMCMCC_VU095}		ホールド		-0.47	-0.47	-0.47	-0.47	ns
T _{PSMMCMCC_VU125}		セットアップ	XCVU125	2.21	2.48	2.23	2.66	ns
T _{PHMMCMCC_VU125}		ホールド		-0.13	-0.13	-0.13	-0.13	ns
T _{PSMMCMCC_VU160}		セットアップ	XCVU160	2.21	2.48	2.23	2.66	ns
T _{PHMMCMCC_VU160}		ホールド		-0.12	-0.12	-0.12	-0.12	ns
T _{PSMMCMCC_VU190}		セットアップ	XCVU190	2.21	2.48	2.23	2.66	ns
T _{PHMMCMCC_VU190}		ホールド		-0.13	-0.13	-0.13	-0.13	ns
T _{PSMMCMCC_VU440}		セットアップ	XCVU440	2.31	N/A	2.32	2.86	ns
T _{PHMMCMCC_VU440}		ホールド		-0.07	N/A	-0.07	-0.07	ns

注記:

1. セットアップおよびホールド タイムは、ワースト ケースの条件下 (プロセス、電圧、温度) で計測されています。セットアップ タイムは、プロセス、温度変化、および電圧変化が最も緩やかな条件下のグローバル クロック入力信号に対して、ホールド タイムは、プロセス、温度変化、および電圧変化が最も急な条件下のグローバル クロック入力信号に対して計測されています。
2. 1 つのグローバル クロック入力で、アクセス可能なカラムにある垂直クロック ラインが 1 本駆動され、アクセス可能な I/O および CLB フリップフロップのクロックがすべて、1 つの SLR 内のグローバル クロック ネットで駆動されている場合の値を示しています。
3. 各信号規格の使用によって発生するデューティ サイクルのずれは、IBIS を使用して確認してください。

表 44: グローバル クロック入力のセットアップおよびホールド (PLL あり)

シンボル	説明	デバイス	スピード グレードおよび V _{CCINT} 動作電圧				単位	
			1.0V		0.95V			
			-3	-1H	-2	-1		
SSTL15 規格を使用した、グローバル クロック入力信号に対する入力セットアップ/ホールド タイム ⁽¹⁾⁽²⁾⁽³⁾								
T _{PSPLLCC_VU065}	グローバル クロック入力と入力フリップフロップ (またはラッチ) 間 (PLL あり)	セットアップ	XCVU065	-0.70	-0.70	-0.70	-0.70	ns
T _{PHPLLCC_VU065}		ホールド		2.03	2.27	2.27	2.63	ns
T _{PSPLLCC_VU080}		セットアップ	XCVU080	-0.94	-0.94	-0.94	-0.94	ns
T _{PHPLLCC_VU080}		ホールド		2.14	2.36	2.36	2.71	ns
T _{PSPLLCC_VU095}		セットアップ	XCVU095	-0.94	-0.94	-0.94	-0.94	ns
T _{PHPLLCC_VU095}		ホールド		2.14	2.36	2.36	2.71	ns
T _{PSPLLCC_VU125}		セットアップ	XCVU125	-0.67	-0.67	-0.67	-0.67	ns
T _{PHPLLCC_VU125}		ホールド		2.03	2.27	2.27	2.64	ns
T _{PSPLLCC_VU160}		セットアップ	XCVU160	-0.67	-0.67	-0.67	-0.67	ns
T _{PHPLLCC_VU160}		ホールド		2.03	2.27	2.27	2.64	ns
T _{PSPLLCC_VU190}		セットアップ	XCVU190	-0.67	-0.67	-0.67	-0.67	ns
T _{PHPLLCC_VU190}		ホールド		2.03	2.27	2.27	2.64	ns
T _{PSPLLCC_VU440}		セットアップ	XCVU440	-1.16	N/A	-1.16	-1.16	ns
T _{PHPLLCC_VU440}		ホールド		3.03	N/A	3.44	3.99	ns

注記:

1. セットアップおよびホールド タイムは、ワースト ケースの条件下 (プロセス、電圧、温度) で計測されています。セットアップ タイムは、プロセス、温度変化、および電圧変化が最も緩やかな条件下のグローバル クロック入力信号に対して、ホールド タイムは、プロセス、温度変化、および電圧変化が最も急な条件下のグローバル クロック入力信号に対して計測されています。
2. 1つのグローバル クロック入力で、アクセス可能なカラムにある垂直クロック ラインが 1 本駆動され、アクセス可能な I/O および CLB フリップフロップのクロックがすべて、1つの SLR 内のグローバル クロック ネットで駆動されている場合の値を示しています。
3. 各信号規格の使用によって発生するデューティ サイクルのずれは、IBIS を使用して確認してください。

表 45: サンプリング ウィンドウ

シンボル	説明	スピード グレードおよび V_{CCINT} 動作電圧				単位
		1.0V		0.95V		
		-3	-1H	-2	-1	
$T_{SAMP_BUFG}^{(1)}$	さまざまな電圧、温度、プロセスでの Virtex UltraScale FPGA DDR 入力レジスタの総サンプリング エラー	510	610	610	610	ps
$T_{SAMP_NATIVE_DPA}$	ダイナミック位相調整を使用する場合の RX_BITSLICE の受信サンプリング エラー	100	100	100	125	ps
$T_{SAMP_NATIVE_BISC}$	ビルトインセルフキャリブレーション (BISC) を使用する場合の RX_BITSLICE の受信サンプリング エラー	60	60	60	85	ps

注記:

- 特性評価では、MMCM を使用して DDR 入力レジスタの動作エッジをキャプチャしています。計測には、次が含まれます。CLK0 MMCM ジッター、MMCM 精度 (位相オフセット)、MMCM 位相シフト精度が含まれます。ただし、パッケージまたはクロック ツリー スキューは含まれません。この表にあるパラメータを用いてコンポーネント モードでのサンプリング ウィンドウを算出する際の詳細は、『SelectIO インターフェイス コンポーネント プリミティブを使用する設計』(XAPP1324: [英語版](#)、[日本語版](#)) を参照してください。

表 46: ダイナミック位相調整アプリケーションにおける入力ロジックの特性 (コンポーネント モード)

シンボル	説明	スピード グレードおよび V_{CCINT} 動作電圧				単位
		1.0V		0.95V		
		-3	-1H	-2	-1	
$T_{INPUT_LOGIC_UNCERTAINTY}$	入力ロジック (入力レジスタ、IDDRE1 または ISERDESE3) に対するセットアップ/ホールドおよびパターン依存のジッターが考慮されています。	40				ps
T_{CAL_ERROR}	IDELAY の精度に基づく量子化の影響に関連したキャリブレーション エラー最適性能を実現するには、各入力ピンに対してキャリブレーションを実行する必要があります。	24				ps

パッケージパラメーターのガイドライン

ここでは、クロックトランスミッターおよびレシーバーにおけるデータ有効ウィンドウのタイミング算出に必要な値を示します。

表 47: パッケージスキュー

シンボル	説明	デバイス	パッケージ	値	単位
PKGSKEW	パッケージスキュー	XCVU065	FFVC1517	193	ps
		XCVU080	FFVC1517	181	ps
			FFVD1517	113	ps
			FFVB1760	128	ps
			FFVA2104	201	ps
			FFVB2104	191	ps
			XCVU095	FFVC1517	181
		FFVD1517		113	ps
		FFVB1760		128	ps
		FFVA2104		201	ps
		FFVB2104		191	ps
		FFVC2104		245	ps
		XCVU125	FLVD1517	130	ps
			FLVB1760	168	ps
			FLVA2104	173	ps
			FLVB2104	194	ps
			FLVC2104	242	ps
		XCVU160	FLGB2104	226	ps
			FLGC2104	268	ps
		XCVU190	FLGB2104	226	ps
			FLGC2104	268	ps
			FLGA2577	161	ps
		XCVU440	FLGB2377	291	ps
			FLGA2892	310	ps

注記:

- これらの値はパッケージにある任意の 2 つの SelectIO リソース間のワースト ケース スキューで、ダイパッドからボールの最短遅延と最長遅延の差を示します。
- これらのデバイスとパッケージの組み合わせに関するパッケージ遅延情報もあり、この情報を使用してパッケージのスキューを削減できます。

GTH トランシーバーの仕様

GTH トランシーバーの DC 入力および出力レベル

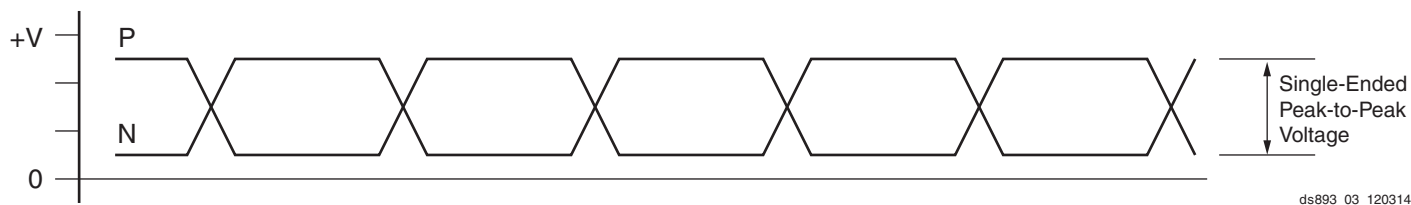
表 48 に、Virtex UltraScale FPGA の GTH トランシーバーの DC 仕様を示します。詳細は、『UltraScale アーキテクチャ GTH トランシーバー ユーザー ガイド』(UG576: 英語版、日本語版) を参照してください。

表 48: GTH トランシーバーの DC 仕様

シンボル	DC パラメーター	条件	最小	標準	最大	単位
DV _{PPIN}	Peak-to-Peak 差動入力電圧 (外部 AC カップリング)	>10.3125Gb/s	150	—	1250	mV
		6.6Gb/s ~ 10.3125Gb/s	150	—	1250	mV
		≤ 6.6Gb/s	150	—	2000	mV
V _{IN}	シングルエンド入力電圧。グラウンドを基準電位とするピンで計測された電圧	V _{MGTAVTT} = 1.2V (DC カップリング)	-400	—	V _{MGTAVTT}	mV
V _{CMIN}	入力同相電圧	V _{MGTAVTT} = 1.2V (DC カップリング)	—	2/3 V _{MGTAVTT}	—	mV
DV _{PPOUT}	Peak-to-Peak 差動出力電圧 ⁽¹⁾	トランスミッターの出力範囲は 1100 に設定	800	—	—	mV
V _{CMOUTDC}	出力同相電圧: DC カップリング (式に基づく)	リモート RX が GND 終端される場合	$V_{MGTAVTT}/2 - DV_{PPOUT}/4$			mV
		リモート RX の終端がフローティング状態の場合	$V_{MGTAVTT} - DV_{PPOUT}/2$			mV
		リモート RX が V _{RX_TERM} ⁽²⁾ に終端される場合	$V_{MGTAVTT} - \frac{DV_{PPOUT}}{4} - \left(\frac{V_{MGTAVTT} - V_{RX_TERM}}{2}\right)$			mV
V _{CMOUTAC}	出力同相電圧: AC カップリング (式に基づく)		$V_{MGTAVTT} - DV_{PPOUT}/2$			mV
R _{IN}	差動入力抵抗		—	100	—	Ω
R _{OUT}	差動出力抵抗		—	100	—	Ω
T _{OSKEW}	トランスミッター差動出力間 (TXP および TXN) の内部ペア スキュー (すべてのパッケージ)		—	—	5	ps
C _{EXT}	外部 AC カップリングのキャパシタの推奨値 ⁽³⁾		—	100	—	nF

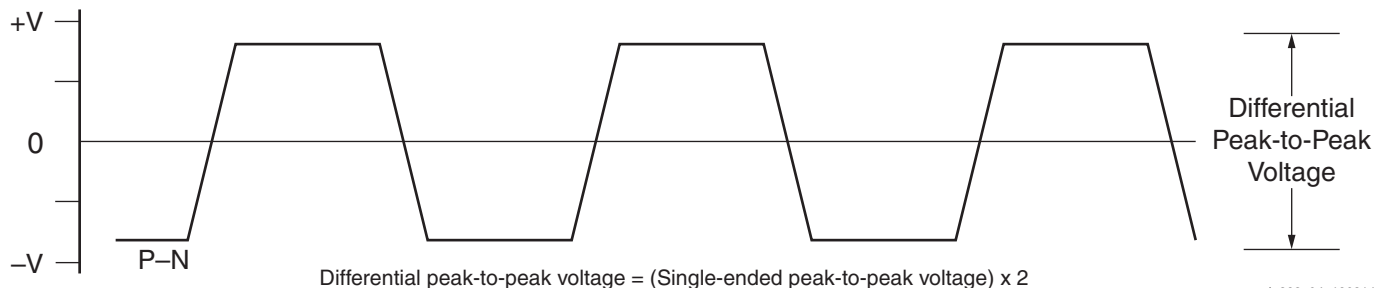
注記:

- 出力幅およびプリエンファシス レベルは、『UltraScale アーキテクチャ GTH トランシーバー ユーザー ガイド』(UG576: 英語版、日本語版) で説明している属性を使用してプログラムでき、その結果はこの表に示す値よりも小さくできる可能性があります。
- V_{RX_TERM} はリモート RX の終端電圧です。
- 特定のプロトコルおよび規格に準拠するため、必要に応じてこれらの範囲外の値を使用する場合があります。



ds893_03_120314

図 3: シングルエンドの電圧幅



ds893_04_120314

図 4: 差動出力の電圧幅

表 49 に、Virtex UltraScale FPGA の GTH トランシーバーのクロック入力の DC 仕様を示します。詳細は、『UltraScale アーキテクチャ GTH トランシーバー ユーザー ガイド』(UG576: [英語版](#)、[日本語版](#)) を参照してください。

表 49: GTH トランシーバーのクロック入力の DC 仕様

シンボル	DC パラメーター	最小	標準	最大	単位
V_{IDIFF}	Peak-to-Peak 差動入力電圧	250	—	2000	mV
R_{IN}	差動入力抵抗	—	100	—	Ω
C_{EXT}	外部 AC カップリングのキャパシタ要件	—	10	—	nF

表 50: GTH トランシーバーのクロック出力の仕様

シンボル	説明	条件	最小	標準	最大	単位
V_{OL}	P および N の最小出力電圧	P 信号と N 信号間で $R_T = 100\Omega$	—	400	—	mV
V_{OH}	P および N の最大出力電圧	P 信号と N 信号間で $R_T = 100\Omega$	—	760	—	mV
V_{DDOUT}	差動出力電圧: (P-N)、P = High (N-P)、N = High	P 信号と N 信号間で $R_T = 100\Omega$	—	± 360	—	mV
V_{CMOUT}	同相電圧	P 信号と N 信号間で $R_T = 100\Omega$	—	580	—	mV

GTH トランシーバーのスイッチ特性

詳細は、『UltraScale アーキテクチャ GTH トランシーバー ユーザー ガイド』(UG576: [英語版](#)、[日本語版](#)) を参照してください。

表 51: GTH トランシーバーのパフォーマンス値

シンボル	説明	出力 分周値	スピード グレードおよび V _{CCINT} 動作電圧								単位
			1.0V				0.95V				
			-3		-1H		-2		-1		
F _{GTHMAX}	GTH の最大ライン レート		16.375		16.375		16.375		12.5		Gb/s
F _{GTHMIN}	GTH の最小ライン レート		0.5		0.5		0.5		0.5		Gb/s
			最小	最大	最小	最大	最小	最大	最小	最大	
F _{GTHCRANGE}	CPLL ライン レート 範囲 ⁽¹⁾	1	4.0	12.5	4.0	12.5	4.0	12.5	4.0	8.5	Gb/s
		2	2.0	6.25	2.0	6.25	2.0	6.25	2.0	4.25	Gb/s
		4	1.0	3.125	1.0	3.125	1.0	3.125	1.0	2.125	Gb/s
		8	0.5	1.5625	0.5	1.5625	0.5	1.5625	0.5	1.0625	Gb/s
		16	N/A								Gb/s
			最小	最大	最小	最大	最小	最大	最小	最大	
F _{GTHQRANGE1}	QPLL0 ライン レート 範囲 ⁽²⁾	1	9.8	16.375	9.8	16.375	9.8	16.375	9.8	12.5	Gb/s
		2	4.9	8.1875	4.9	8.1875	4.9	8.1875	4.9	8.1875	Gb/s
		4	2.45	4.0938	2.45	4.0938	2.45	4.0938	2.45	4.0938	Gb/s
		8	1.225	2.0469	1.225	2.0469	1.225	2.0469	1.225	2.0469	Gb/s
		16	0.6125	1.0234	0.6125	1.0234	0.6125	1.0234	0.6125	1.0234	Gb/s
			最小	最大	最小	最大	最小	最大	最小	最大	
F _{GTHQRANGE2}	QPLL1 ライン レート 範囲 ⁽³⁾	1	8.0	13.0	8.0	13.0	8.0	13.0	8.0	12.5	Gb/s
		2	4.0	6.5	4.0	6.5	4.0	6.5	4.0	6.5	Gb/s
		4	2.0	3.25	2.0	3.25	2.0	3.25	2.0	3.25	Gb/s
		8	1.0	1.625	1.0	1.625	1.0	1.625	1.0	1.625	Gb/s
		16	0.5	0.8125	0.5	0.8125	0.5	0.8125	0.5	0.8125	Gb/s
			最小	最大	最小	最大	最小	最大	最小	最大	
F _{CPLL} RANGE	CPLL 周波数範囲		2.0	6.25	2.0	6.25	2.0	6.25	2.0	4.25	GHz
F _{QPLL0} RANGE	QPLL0 周波数範囲		9.8	16.375	9.8	16.375	9.8	16.375	9.8	16.375	GHz
F _{QPLL1} RANGE	QPLL1 周波数範囲		8.0	13.0	8.0	13.0	8.0	13.0	8.0	13.0	GHz

注記:

1. 表に示す値は、数式 $(2 \times \text{CPLL_Frequency}) / \text{Output_Divider}$ を用いて計算された丸め込み値です。
2. 表に示す値は、数式 $(\text{QPLL0_Frequency}) / \text{Output_Divider}$ を用いて計算された丸め込み値です。
3. 表に示す値は、数式 $(\text{QPLL1_Frequency}) / \text{Output_Divider}$ を用いて計算された丸め込み値です。

表 52: GTH トランシーバーのダイナミック リコンフィギュレーション ポート (DRP) のスイッチ特性

シンボル	説明	すべてのデバイス	単位
F _{GTHDRPCLK}	GTHDRPCLK 最大周波数	250	MHz

表 53: GTH トランシーバーの基準クロックのスイッチ特性

シンボル	説明	条件	最小	標準	最大	単位
F_{GCLK}	基準クロックの周波数範囲		60	—	820	MHz
T_{RCLK}	基準クロックの立ち上がり時間	20% – 80%	—	200	—	ps
T_{FCLK}	基準クロックの立ち下がり時間	80% – 20%	—	200	—	ps
T_{DCREF}	基準クロックのデューティ サイクル	トランシーバーの PLL のみ	40	50	60	%

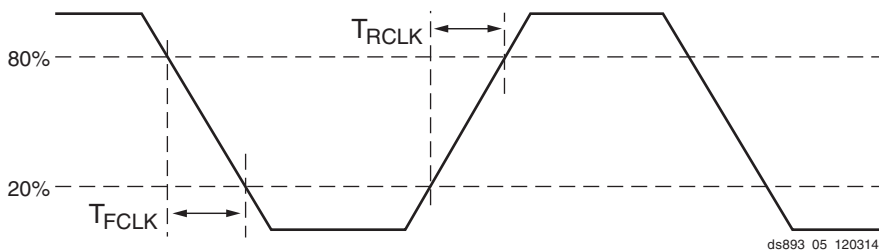


図 5: 基準クロックのタイミングパラメーター

表 54: GTH トランシーバーの基準クロック セレクト位相ノイズ マスク

シンボル	説明	オフセット 周波数	最小	標準	最大	単位
$QPLL_{REFCLKMASK}^{(1)(2)}$	QPLL0/QPLL1 基準クロック セレクト位相ノイズ マスク、REFCLK 周波数 = 312.5MHz	10kHz	—	—	-105	dBc/Hz
		100kHz	—	—	-124	
		1MHz	—	—	-130	
$CPLL_{REFCLKMASK}^{(1)(2)}$	CPLL 基準クロック セレクト位相ノイズ マスク、REFCLK 周波数 = 312.5MHz	10kHz	—	—	-105	dBc/Hz
		100kHz	—	—	-124	
		1MHz	—	—	-130	
		50MHz	—	—	-140	

注記:

1. 基準クロック周波数が 312.5MHz 以外の場合、位相ノイズ マスクの値を $20 \times \log(N/312.5)$ で調整する必要があります。この場合、N は新しい基準クロック周波数 (MHz) です。
2. この基準クロック位相ノイズ マスクは、PCIe などのサポートされるプロトコルに指定された基準クロック位相ノイズ マスクの代替として使用されます。

表 55: GTH トランシーバー PLL/ロック タイムの適用

シンボル	説明	条件	最小	標準	最大	単位
T_{LOCK}	PLL が最初にロックするまでの時間		—	—	1	ms
T_{DLOCK}	DFE (判定帰還型イコライザー) に必要なクロック リカバリの位相取得および適用時間	PLL が基準クロックにロックされた後、クロック データ リカバリ (CDR) が入力 of データにロックされるのに必要な時間	—	50,000	37×10^6	UI
	DFE が無効の場合、低消費電力モード (LPM) に必要なクロック リカバリの位相取得および適用時間		—	50,000	2.3×10^6	UI

表 56: GTH トランシーバーのユーザー クロックのスイッチ特性⁽¹⁾

シンボル	説明	データ幅の条件 (ビット)		スピード グレードおよび V _{CCINT} 動作電圧				単位
				1.0V		0.95V		
		内部ロジック	インターコネクトロジック	-3	-1H	-2	-1	
F _{TXOUTPMA}	OUTCLKPMA から生じる TXOUTCLK 最大周波数			511.719	511.719	511.719	390.625	MHz
F _{RXOUTPMA}	OUTCLKPMA から生じる RXOUTCLK 最大周波数			511.719	511.719	511.719	390.625	MHz
F _{TXOUTPROGDIV}	TXPROGDIVCLK から生じる TXOUTCLK 最大周波数			511.719	511.719	511.719	511.719	MHz
F _{RXOUTPROGDIV}	RXPROGDIVCLK から生じる RXOUTCLK 最大周波数			511.719	511.719	511.719	511.719	MHz
F _{TXIN}	TXUSRCLK 最大周波数	16	16, 32	511.719	511.719	511.719	390.625	MHz
		32	32, 64	511.719	511.719	511.719	390.625	MHz
		20	20, 40	409.375	409.375	409.375	312.500	MHz
		40	40, 80	409.375	409.375	409.375	312.500	MHz
F _{RXIN}	RXUSRCLK 最大周波数	16	16, 32	511.719	511.719	511.719	390.625	MHz
		32	32, 64	511.719	511.719	511.719	390.625	MHz
		20	20, 40	409.375	409.375	409.375	312.500	MHz
		40	40, 80	409.375	409.375	409.375	312.500	MHz
F _{TXIN2}	TXUSRCLK2 最大周波数	16	16	511.719	511.719	511.719	390.625	MHz
		16, 32	32	511.719	511.719	511.719	390.625	MHz
		32	64	255.860	255.860	255.860	195.313	MHz
		20	20	409.375	409.375	409.375	312.500	MHz
		20, 40	40	409.375	409.375	409.375	312.500	MHz
		40	80	204.688	204.688	204.688	156.250	MHz
F _{RXIN2}	RXUSRCLK2 最大周波数	16	16	511.719	511.719	511.719	390.625	MHz
		16, 32	32	511.719	511.719	511.719	390.625	MHz
		32	64	255.860	255.860	255.860	195.313	MHz
		20	20	409.375	409.375	409.375	312.500	MHz
		20, 40	40	409.375	409.375	409.375	312.500	MHz
		40	80	204.688	204.688	204.688	156.250	MHz

注記:

1. クロックは、『UltraScale アーキテクチャ GTH トランシーバー ユーザー ガイド』(UG576: [英語版](#)、[日本語版](#)) に記載の方法でインプリメントする必要があります。

表 57: GTH トランシーバーのトランスミッターのスイッチ特性

シンボル	説明	条件	最小	標準	最大	単位
F_{GTHTX}	シリアルデータレート範囲		0.500	—	F_{GTHMAX}	Gb/s
T_{RTX}	TX 立ち上がり時間	20% – 80%	—	21	—	ps
T_{FTX}	TX 立ち下がり時間	80% – 20%	—	21	—	ps
T_{LLSKEW}	TX Lane-to-Lane スキュー (1)		—	—	500	ps
$V_{TXOVBVDPP}$	電氣的アイドルの振幅		—	—	15	mV
$T_{TXOVBTRANSITION}$	電氣的アイドルの送信時間		—	—	140	ns
$T_{J16.3_QPLL}$	総ジッター (2)(4)	16.3Gb/s	—	—	0.28	UI
$D_{J16.3_QPLL}$	確定的なジッター (2)(4)		—	—	0.17	UI
T_{J15_QPLL}	総ジッター (2)(4)	15.0Gb/s	—	—	0.28	UI
D_{J15_QPLL}	確定的なジッター (2)(4)		—	—	0.17	UI
$T_{J14.1_QPLL}$	総ジッター (2)(4)	14.1Gb/s	—	—	0.28	UI
$D_{J14.1_QPLL}$	確定的なジッター (2)(4)		—	—	0.17	UI
$T_{J14.025_QPLL}$	総ジッター (2)(4)	14.025Gb/s	—	—	0.28	UI
$D_{J14.025_QPLL}$	確定的なジッター (2)(4)		—	—	0.17	UI
$T_{J13.1_QPLL}$	総ジッター (2)(4)	13.1Gb/s	—	—	0.28	UI
$D_{J13.1_QPLL}$	確定的なジッター (2)(4)		—	—	0.17	UI
$T_{J12.5_QPLL}$	総ジッター (2)(4)	12.5Gb/s	—	—	0.28	UI
$D_{J12.5_QPLL}$	確定的なジッター (2)(4)		—	—	0.17	UI
$T_{J12.5_CPLL}$	総ジッター (3)(4)	12.5Gb/s	—	—	0.33	UI
$D_{J12.5_CPLL}$	確定的なジッター (3)(4)		—	—	0.17	UI
$T_{J11.3_QPLL}$	総ジッター (2)(4)	11.3Gb/s	—	—	0.28	UI
$D_{J11.3_QPLL}$	確定的なジッター (2)(4)		—	—	0.17	UI
$T_{J10.3_QPLL}$	総ジッター (2)(4)	10.3Gb/s	—	—	0.28	UI
$D_{J10.3_QPLL}$	確定的なジッター (2)(4)		—	—	0.17	UI
$T_{J10.3_CPLL}$	総ジッター (3)(4)	10.3Gb/s	—	—	0.33	UI
$D_{J10.3_CPLL}$	確定的なジッター (3)(4)		—	—	0.17	UI
$T_{J9.8_QPLL}$	総ジッター (2)(4)	9.8Gb/s	—	—	0.28	UI
$D_{J9.8_QPLL}$	確定的なジッター (2)(4)		—	—	0.17	UI
$T_{J9.8_CPLL}$	総ジッター (3)(4)	9.8Gb/s	—	—	0.33	UI
$D_{J9.8_CPLL}$	確定的なジッター (3)(4)		—	—	0.17	UI
$T_{J8.0_CPLL}$	総ジッター (3)(4)	8.0Gb/s	—	—	0.32	UI
$D_{J8.0_CPLL}$	確定的なジッター (3)(4)		—	—	0.17	UI
$T_{J6.6_CPLL}$	総ジッター (3)(4)	6.6Gb/s	—	—	0.30	UI
$D_{J6.6_CPLL}$	確定的なジッター (3)(4)		—	—	0.15	UI
$T_{J5.0}$	総ジッター (3)(4)	5.0Gb/s	—	—	0.30	UI
$D_{J5.0}$	確定的なジッター (3)(4)		—	—	0.15	UI
$T_{J4.25}$	総ジッター (3)(4)	4.25Gb/s	—	—	0.30	UI
$D_{J4.25}$	確定的なジッター (3)(4)		—	—	0.15	UI

表 57: GTH トランシーバーのトランスミッターのスイッチ特性 (続き)

シンボル	説明	条件	最小	標準	最大	単位
T _{J4.0L}	総ジッター (3)(4)	4.0Gb/s ⁽⁵⁾	—	—	0.32	UI
D _{J4.0L}	確定的なジッター (3)(4)		—	—	0.16	UI
T _{J3.2}	総ジッター (3)(4)	3.2Gb/s ⁽⁶⁾	—	—	0.20	UI
D _{J3.2}	確定的なジッター (3)(4)		—	—	0.10	UI
T _{J2.5}	総ジッター (3)(4)	2.5Gb/s ⁽⁷⁾	—	—	0.20	UI
D _{J2.5}	確定的なジッター (3)(4)		—	—	0.10	UI
T _{J1.25}	総ジッター (3)(4)	1.25Gb/s ⁽⁸⁾	—	—	0.15	UI
D _{J1.25}	確定的なジッター (3)(4)		—	—	0.06	UI
T _{J500}	総ジッター (3)(4)	500Mb/s ⁽⁹⁾	—	—	0.10	UI
D _{J500}	確定的なジッター (3)(4)		—	—	0.03	UI

注記:

- 最大 4 個の GTH クワッドにある最大ライン レートのトランシーバーをすべて有効にして TX 位相アライメントを設定し、同じ REFCLK 入力を使用した場合の値です。
- QPLL_FBDIV = 40 かつ内部データ幅が 40 ビットの場合の値です。これらの値は、プロトコル特定の準拠の確定のための値ではありません。
- CPLL_FBDIV = 2 かつ内部データ幅が 40 ビットの場合の値です。これらの値は、プロトコル特定の準拠の確定のための値ではありません。
- すべてのジッター値は、BER (Bit Error Ratio) が 10⁻¹² の場合に基づいています。
- CPLL 周波数 2.0GHz、TXOUT_DIV = 1 を使用した場合の値です。
- CPLL 周波数 3.2GHz、TXOUT_DIV = 2 を使用した場合の値です。
- CPLL 周波数 2.5GHz、TXOUT_DIV = 2 を使用した場合の値です。
- CPLL 周波数 2.5GHz、TXOUT_DIV = 4 を使用した場合の値です。
- CPLL 周波数 2.0GHz、TXOUT_DIV = 4 を使用した場合の値です。

表 58: GTH トランシーバーのレシーバーのスイッチ特性

シンボル	説明	条件	最小	標準	最大	単位
F _{GTHRX}	シリアル データ レート		0.500	—	F _{GTHMAX}	Gb/s
T _{RXELECIDLE}	RXELECIDLE がデータ損失または復元に応答するための時間		—	10	—	ns
R _{XOOBVDPP}	OOB 検出しきい値 Peak-to-Peak		60	—	150	mV
R _{XSSST}	レシーバー スペクトラム拡散のトラッキング ⁽¹⁾	33kHz で変調	-5000	—	0	ppm
R _{XRL}	ラン レングス (CID)		—	—	256	UI
R _{XPPMTOL}	データ/REFCLK PPM オフセット 耐性	ビット レート ≤ 6.6Gb/s	-1250	—	1250	ppm
		ビット レート > 6.6Gb/s および ≤ 8.0Gb/s	-700	—	700	ppm
		ビット レート > 8.0Gb/s	-200	—	200	ppm
SJ ジッター耐性⁽²⁾						
J _{T_SJ16.3}	正弦波ジッター (QPLL) ⁽³⁾	16.3Gb/s	0.30	—	—	UI
J _{T_SJ15}	正弦波ジッター (QPLL) ⁽³⁾	15.0Gb/s	0.30	—	—	UI
J _{T_SJ14.1}	正弦波ジッター (QPLL) ⁽³⁾	14.1Gb/s	0.30	—	—	UI
J _{T_SJ13.1}	正弦波ジッター (QPLL) ⁽³⁾	13.1Gb/s	0.30	—	—	UI
J _{T_SJ12.5}	正弦波ジッター (QPLL) ⁽³⁾	12.5Gb/s	0.30	—	—	UI
J _{T_SJ11.3}	正弦波ジッター (QPLL) ⁽³⁾	11.3Gb/s	0.30	—	—	UI
J _{T_SJ10.3_QPLL}	正弦波ジッター (QPLL) ⁽³⁾	10.3Gb/s	0.30	—	—	UI

表 58: GTH トランシーバーのレシーバーのスイッチ特性 (続き)

シンボル	説明	条件	最小	標準	最大	単位
$J_{T_SJ10.3_CPLL}$	正弦波ジッター (CPLL) ⁽³⁾	10.3Gb/s	0.30	—	—	UI
$J_{T_SJ9.8}$	正弦波ジッター (QPLL) ⁽³⁾	9.8Gb/s	0.30	—	—	UI
$J_{T_SJ8.0_QPLL}$	正弦波ジッター (QPLL) ⁽³⁾	8.0Gb/s	0.44	—	—	UI
$J_{T_SJ8.0_CPLL}$	正弦波ジッター (CPLL) ⁽³⁾	8.0Gb/s	0.42	—	—	UI
$J_{T_SJ6.6_CPLL}$	正弦波ジッター (CPLL) ⁽³⁾	6.6Gb/s	0.44	—	—	UI
$J_{T_SJ5.0}$	正弦波ジッター (CPLL) ⁽³⁾	5.0Gb/s	0.44	—	—	UI
$J_{T_SJ4.25}$	正弦波ジッター (CPLL) ⁽³⁾	4.25Gb/s	0.44	—	—	UI
$J_{T_SJ4.0L}$	正弦波ジッター (CPLL) ⁽³⁾	4.0Gb/s ⁽⁴⁾	0.45	—	—	UI
$J_{T_SJ3.75}$	正弦波ジッター (CPLL) ⁽³⁾	3.75Gb/s	0.44	—	—	UI
$J_{T_SJ3.2}$	正弦波ジッター (CPLL) ⁽³⁾	3.2Gb/s ⁽⁵⁾	0.45	—	—	UI
$J_{T_SJ2.5}$	正弦波ジッター (CPLL) ⁽³⁾	2.5Gb/s ⁽⁶⁾	0.50	—	—	UI
$J_{T_SJ1.25}$	正弦波ジッター (CPLL) ⁽³⁾	1.25Gb/s ⁽⁷⁾	0.50	—	—	UI
J_{T_SJ500}	正弦波ジッター (CPLL) ⁽³⁾	500Mb/s	0.40	—	—	UI
負荷がある場合の SJ ジッター耐性⁽²⁾						
$J_{T_TJSE3.2}$	負荷がある場合の総ジッター ⁽⁸⁾	3.2Gb/s	0.70	—	—	UI
$J_{T_TJSE6.6}$		6.6Gb/s	0.70	—	—	UI
$J_{T_SJSE3.2}$	負荷がある場合の正弦波ジッター ⁽⁸⁾	3.2Gb/s	0.10	—	—	UI
$J_{T_SJSE6.6}$		6.6Gb/s	0.10	—	—	UI

注記:

- RXOUT_DIV = 1、2、および 4 を使用する場合の値です。
- すべてのジッター値は、BER (Bit Error Ratio) が 10^{-12} の場合に基づいています。
- 挿入した正弦波ジッターの周波数は 10MHz です。
- CPLL 周波数 2.0GHz、RXOUT_DIV = 1 を使用した場合の値です。
- CPLL 周波数 3.2GHz、RXOUT_DIV = 2 を使用した場合の値です。
- CPLL 周波数 2.5GHz、RXOUT_DIV = 2 を使用した場合の値です。
- CPLL 周波数 2.5GHz、RXOUT_DIV = 4 を使用した場合の値です。
- RX イコライザーが有効の場合の複合ジッターです。DFE は無効です。

GTH トランシーバーの電氣的仕様への準拠性

『UltraScale アーキテクチャ GTH トランシーバー ユーザー ガイド』(UG576: [英語版](#)、[日本語版](#)) には、表 59 に示すプロトコルに準拠する、推奨使用モードに関する記述が含まれます。トランシーバー ウィザードは、これらのユース ケースやプロトコル特定の特性向けに推奨する設定値を提供します。

表 59: GTH トランシーバー プロトコルの一覧

プロトコル	規格	シリアル レート (Gb/s)	電氣的仕様への準拠性
CAUI-10	IEEE 802.3-2012	10.3125	準拠する
nPPI	IEEE 802.3-2012	10.3125	準拠する
10GBASE-KR	IEEE 802.3-2012	10.3125	準拠する
SFP+	SFF-8431 (SR および LR)	9.95328 ~ 11.10	準拠する
XFP	INF-8077i、リビジョン 4.5	10.3125	準拠する
RXAUI	CEI-6G-SR	6.25	準拠する
5.0G Ethernet	IEEE 802.3bx (PAR)	5.0	準拠する
QSGMII	QSGMII v1.2 (Cisco Systems、ENG-46158)	5.0	準拠する
XAUI	IEEE 802.3-2012	3.125	準拠する
2.5G Ethernet	IEEE 802.3bx (PAR)	2.5	準拠する
1000BASE-X	IEEE 802.3-2012	1.25	準拠する
OTU2	ITU G.8251	10.709225	準拠する
OTU4 (OTL4.10)	OIF-CEI-11G-SR	11.180997	準拠する
OC-3/12/48/192	GR-253-CORE	0.1555 ~ 9.956	準拠する
Interlaken	OIF-CEI-6G、OIF-CEI-11G-SR	4.25 ~ 12.5	準拠する
PCIe Gen1、2、3	PCI Express Base 3.0	2.5、5.0、8.0	準拠する
UHD-SDI ⁽¹⁾	SMPTE ST-2081 6G、SMPTE St-2082 12G	6 および 12	準拠する
SDI ⁽¹⁾	SMPTE 424M-2006	0.27 ~ 2.97	準拠する
Hybrid Memory Cube (HMC)	HMC-15G-SR	12.5、15.0	準拠する
CPRI	CPRI_v_6_1_2014-07-01	0.6144 ~ 12.165	準拠する
HDMI ⁽²⁾	HDMI 2.0	すべて	準拠する
Passive Optical Network (PON)	10G-EPON、1G-EPON、NG-PON2、XG-PON、および 2.5G-PON	0.155 ~ 10.3125	準拠する
JESD204a/b	OIF-CEI-6G、OIF-CEI-11G	3.125 ~ 12.5	準拠する
Serial RapidIO (SRIO)	RapidIO Specification 3.1	1.25 ~ 10.3125	準拠する
DisplayPort (ソースのみ)	DP 1.2B CTS	1.62 ~ 5.4	準拠する
Fibre Channel	FC-PI-4	1.0625 ~ 14.025	準拠する
SATA Gen1、2、3	Serial ATA Revision 3.0 Specification	1.5、3.0、6.0	準拠する
SAS Gen1、2、3	T10/BSR INCITS 519	3.0、6.0、12.0	準拠する
SFI-5	OIF-SFI5-01.0	0.625 ~ 12.5	準拠する

注記:

- SDI プロトコルに準拠するには外部回路が必要です。
- HDMI プロトコルに準拠するには外部回路が必要です。

GTH トランシーバー プロトコルのジッターの特性

表 60 ~ 表 65 に、『UltraScale アーキテクチャ GTH トランシーバー ユーザー ガイド』(UG576: [英語版](#)、[日本語版](#)) に記載の、プロトコル 特定の特性を最適に使用するために推奨する設定値を示します。

表 60: ギガビット イーサネット プロトコルの特性 (GTH トランシーバー)

説明	ライン レート (Mb/s)	最小	最大	単位
ギガビット イーサネット トランスミッターのジッター生成				
トランスミッターの総ジッター (T _{TJ})	1250	—	0.24	UI
ギガビット イーサネット レシーバーの高周波ジッター許容値				
レシーバーの総ジッター許容値	1250	0.749	—	UI

表 61: XAUI プロトコルの特性 (GTH トランシーバー)

説明	ライン レート (Mb/s)	最小	最大	単位
XAUI トランスミッターのジッター生成				
トランスミッターの総ジッター (T _{TJ})	3125	—	0.35	UI
XAUI レシーバーの高周波ジッター許容値				
レシーバーの総ジッター許容値	3125	0.65	—	UI

表 62: PCI Express プロトコルの特性 (GTH トランシーバー)⁽¹⁾

規格	説明	条件	ライン レート (Mb/s)	最小	最大	単位
PCI Express トランスミッターのジッター生成						
PCI Express Gen 1	トランスミッターの総ジッター		2500	—	0.25	UI
PCI Express Gen 2	トランスミッターの総ジッター		5000	—	0.25	UI
PCI Express Gen 3 ⁽²⁾	トランスミッターの総ジッター (相関関係なし)		8000	—	31.25	ps
	トランスミッターの確定的なジッター (相関関係なし)			—	12	ps
PCI Express レシーバーの高周波ジッター許容値						
PCI Express Gen 1	レシーバーの総ジッター許容値		2500	0.65	—	UI
PCI Express Gen 2 ⁽²⁾	レシーバーに内在するタイミング エラー		5000	0.40	—	UI
	レシーバーに内在する確定的なタイミング エラー			0.30	—	UI
PCI Express Gen 3 ⁽²⁾	レシーバーの正弦波ジッター許容値	0.03MHz ~ 1.0MHz	8000	1.00	—	UI
		1.0MHz ~ 10MHz		注記 3	—	UI
		10MHz ~ 100MHz		0.10	—	UI

注記:

- Card Electromechanical (CEM) に基づいてテストされています。
- 一般的な REFCLK を使用した場合の値です。
- 1MHz ~ 10MHz では、正弦波ジッターの最小ロール オフ (20dB/decade の傾き) です。

表 63: CEI-6G および CEI-11G プロトコルの特性 (GTH トランシーバー)

説明	ライン レート (Mb/s)	インターフェイス	最小	最大	単位
CEI-6G トランスミッターのジッター生成					
トランスミッターの総ジッター ⁽¹⁾	4976 ~ 6375	CEI-6G-SR	—	0.3	UI
		CEI-6G-LR	—	0.3	UI
CEI-6G レシーバーの高周波ジッター許容値					
レシーバーの総ジッター許容値 ⁽¹⁾	4976 ~ 6375	CEI-6G-SR	0.6	—	UI
		CEI-6G-LR	0.95	—	UI
CEI-11G トランスミッターのジッター生成					
トランスミッターの総ジッター ⁽²⁾	9950 ~ 11100	CEI-11G-SR	—	0.3	UI
		CEI-11G-LR/MR	—	0.3	UI
CEI-11G レシーバーの高周波ジッター許容値					
レシーバーの総ジッター許容値 ⁽²⁾	9950 ~ 11100	CEI-11G-SR	0.65	—	UI
		CEI-11G-MR	0.65	—	UI
		CEI-11G-LR	0.825	—	UI

注記:

- 390.625MHz の基準クロックを使用し、最も一般的な 6250Mb/s のライン レートでテストされています。
- 155.46875MHz の基準クロックを使用する 9950Mb/s のライン レート、および 173.4375MHz の基準クロックを使用する 11100Mb/s のライン レートでテストされています。

表 64: SFP+ プロトコルの特性 (GTH トランシーバー)

説明	ライン レート (Mb/s)	最小	最大	単位
SFP+ トランスミッターのジッター生成				
トランスミッターの総ジッター	9830.40 ⁽¹⁾	—	0.28	UI
	9953.00			
	10312.50			
	10518.75			
	11100.00			
SFP+ レシーバーの高周波ジッター許容値				
レシーバーの総ジッター許容値	9830.40 ⁽¹⁾	0.7	—	UI
	9953.00			
	10312.50			
	10518.75			
	11100.00			

注記:

- SFP+ を介した CPRI アプリケーションで使用されるライン レートです。

表 65: CPRI プロトコルの特性 (GTH トランシーバー)

説明	ライン レート (Mb/s)	最小	最大	単位
CPRI トランスミッターのジッター生成				
トランスミッターの総ジッター	614.4	—	0.35	UI
	1228.8	—	0.35	UI
	2457.6	—	0.35	UI
	3072.0	—	0.35	UI
	4915.2	—	0.3	UI
	6144.0	—	0.3	UI
	9830.4	—	注記 1	UI
CPRI レシーバーの周波数ジッター許容値				
レシーバーの総ジッター許容値	614.4	0.65	—	UI
	1228.8	0.65	—	UI
	2457.6	0.65	—	UI
	3072.0	0.65	—	UI
	4915.2	0.95	—	UI
	6144.0	0.95	—	UI
	9830.4	注記 1	—	UI

注記:

1. SFP+ 仕様に基づいてテストされています (表 64 参照)。

GTY トランシーバーの仕様

GTY トランシーバーの DC 入力および出力レベル

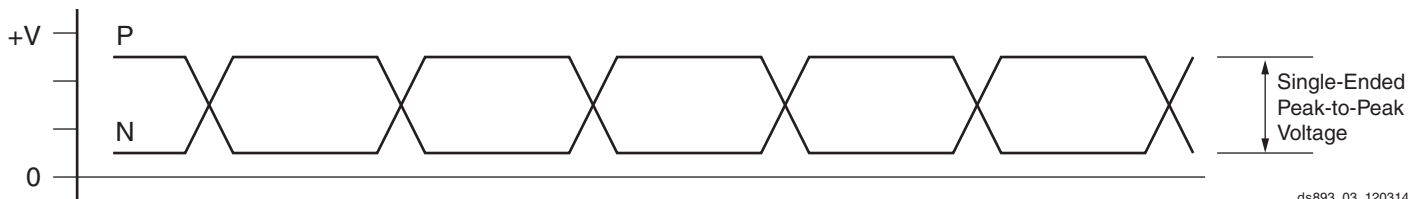
表 66 に、Virtex UltraScale FPGA の GTY トランシーバーの DC 仕様を示します。詳細は、[高速シリアル](#)を参照してください。

表 66: GTY トランシーバーの DC 仕様

シンボル	DC パラメーター	条件	最小	標準	最大	単位
DV _{PPIN}	Peak-to-Peak 差動入力電圧 (外部 AC カップリング)	>10.3125Gb/s	150	—	1250	mV
		6.6Gb/s ~ 10.3125Gb/s	150	—	1250	mV
		≤ 6.6Gb/s	150	—	2000	mV
V _{IN}	シングルエンド入力電圧。グラウンドを基準電位とするピンで計測された電圧	V _{MGTAVTT} = 1.2V (DC カップリング)	-400	—	V _{MGTAVTT}	mV
V _{CMIN}	入力同相電圧	V _{MGTAVTT} = 1.2V (DC カップリング)	—	2/3 V _{MGTAVTT}	—	mV
DV _{PPOUT}	Peak-to-Peak 差動出力電圧 ⁽¹⁾	トランスミッターの出力範囲は 0x1F に設定	800	—	—	mV
V _{CMOUTDC}	出力同相電圧: DC カップリング (式に基づく)	リモート RX が GND 終端される場合	$V_{MGTAVTT}/2 - D_{VPPOUT}/4$			mV
		リモート RX の終端がフローティング状態の場合	$V_{MGTAVTT} - D_{VPPOUT}/2$			mV
		リモート RX が V _{RX_TERM} ⁽²⁾ に終端される場合	$V_{MGTAVTT} - \frac{D_{VPPOUT}}{4} - \left(\frac{V_{MGTAVTT} - V_{RX_TERM}}{2}\right)$			mV
V _{CMOUTAC}	出力同相電圧: AC カップリング	式に基づく	$V_{MGTAVTT} - D_{VPPOUT}/2$			mV
R _{IN}	差動入力抵抗		—	100	—	Ω
R _{OUT}	差動出力抵抗		—	100	—	Ω
T _{OSKEW}	トランスミッター差動出力間 (TXP および TXN) の内部ペア スキュー		—	—	5	ps
C _{EXT}	外部 AC カップリングのキャパシタの推奨値 ⁽³⁾		—	100	—	nF

注記:

- 出力幅およびプリエンファシス レベルは、GTY トランシーバーの属性を使用してプログラムでき、その結果はこの表に示す値よりも小さくできる可能性があります。
- V_{RX_TERM} はリモート RX の終端電圧です。
- 特定のプロトコルおよび規格に準拠するため、必要に応じてこれらの範囲外の値を使用する場合があります。



ds893_03_120314

図 6: シングルエンドの電圧幅

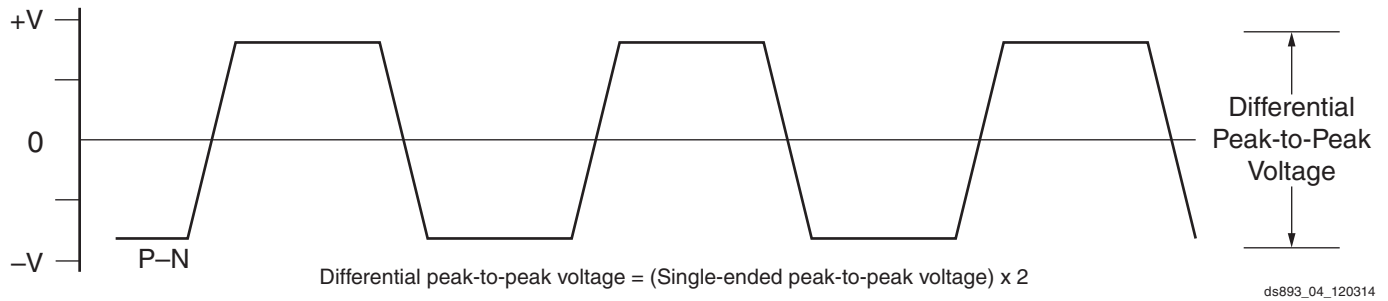


図 7: 差動出力の電圧幅

表 67 に、Virtex UltraScale FPGA の GTY トランシーバーのクロック入力の DC 仕様を示します。詳細は、[高速シリアル](#)を参照してください。

表 67: GTY トランシーバーのクロック入力の DC 仕様

シンボル	DC パラメーター	最小	標準	最大	単位
V_{IDIFF}	Peak-to-Peak 差動入力電圧	250	—	2000	mV
R_{IN}	差動入力抵抗	—	100	—	Ω
C_{EXT}	外部 AC カップリングのキャパシタ要件	—	10	—	nF

表 68: GTY トランシーバーのクロック出力の仕様

シンボル	説明	条件	最小	標準	最大	単位
V_{OL}	P および N の最小出力電圧	P 信号と N 信号間で $R_T = 100\Omega$	—	400	—	mV
V_{OH}	P および N の最大出力電圧	P 信号と N 信号間で $R_T = 100\Omega$	—	760	—	mV
V_{DDOUT}	差動出力電圧 (P-N)、P = High (N-P)、N = High	P 信号と N 信号間で $R_T = 100\Omega$	—	± 360	—	mV
V_{CMOUT}	同相電圧	P 信号と N 信号間で $R_T = 100\Omega$	—	580	—	mV

GTY トランシーバーのスイッチ特性

詳細は、[高速シリアル](#)を参照してください。

表 69: GTY トランシーバーのパフォーマンス値

シンボル	説明	出力分周値	スピード グレードおよび V _{CCINT} 動作電圧								単位
			1.0V				0.95V				
			-3		-1H		-2		-1		
F _{GTYSMAX}	GTY の最大ライン レート		30.5		25.8		28.21		12.5		Gb/s
F _{GTYSMIN}	GTY の最小ライン レート		0.5		0.5		0.5		0.5		Gb/s
			最小	最大	最小	最大	最小	最大	最小	最大	
F _{GTYSRANGE}	CPLL ライン レート 範囲 ⁽¹⁾	1	4.0	12.5	4.0	12.5	4.0	12.5	4.0	8.5	Gb/s
		2	2.0	6.25	2.0	6.25	2.0	6.25	2.0	4.25	Gb/s
		4	1.0	3.125	1.0	3.125	1.0	3.125	1.0	2.125	Gb/s
		8	0.5	1.5625	0.5	1.5625	0.5	1.5625	0.5	1.0625	Gb/s
		16	N/A								Gb/s
		32	N/A								Gb/s
			最小	最大	最小	最大	最小	最大	最小	最大	
F _{GTYSRANGE1}	QPLL0 ライン レート 範囲	1 ⁽²⁾	19.6	30.5 ⁽³⁾	19.6	25.8	19.6	28.21	N/A	N/A	Gb/s
		1 ⁽⁴⁾	9.8	16.375	9.8	16.375	9.8	16.375	9.8	12.5	Gb/s
		2 ⁽⁴⁾	4.9	8.1875	4.9	8.1875	4.9	8.1875	4.9	8.1875	Gb/s
		4 ⁽⁴⁾	2.45	4.09375	2.45	4.09375	2.45	4.09375	2.45	4.09375	Gb/s
		8 ⁽⁴⁾	1.225	2.04688	1.225	2.04688	1.225	2.04688	1.225	2.04688	Gb/s
		16 ⁽⁴⁾	0.6125	1.02344	0.6125	1.02344	0.6125	1.02344	0.6125	1.02344	Gb/s
			最小	最大	最小	最大	最小	最大	最小	最大	
F _{GTYSRANGE2}	QPLL1 ライン レート 範囲	1 ⁽⁵⁾	16.0	26.0	16.0	26.0	16.0	26.0	N/A	N/A	Gb/s
		1 ⁽⁶⁾	8.0	13.0	8.0	13.0	8.0	13.0	8.0	12.5	Gb/s
		2 ⁽⁶⁾	4.0	6.5	4.0	6.5	4.0	6.5	4.0	6.5	Gb/s
		4 ⁽⁶⁾	2.0	3.25	2.0	3.25	2.0	3.25	2.0	3.25	Gb/s
		8 ⁽⁶⁾	1.0	1.625	1.0	1.625	1.0	1.625	1.0	1.625	Gb/s
		16 ⁽⁶⁾	0.5	0.8125	0.5	0.8125	0.5	0.8125	0.5	0.8125	Gb/s
			最小	最大	最小	最大	最小	最大	最小	最大	
F _{CPLLRANGE}	CPLL 周波数範囲		2.0	6.25	2.0	6.25	2.0	6.25	2.0	4.25	GHz
F _{QPLL0RANGE}	QPLL0 周波数範囲		9.8	16.375	9.8	16.375	9.8	16.375	9.8	16.375	GHz
F _{QPLL1RANGE}	QPLL1 周波数範囲		8.0	13.0	8.0	13.0	8.0	13.0	8.0	13.0	GHz

注記:

- 表に示す値は、数式 $(2 \times \text{CPLL_Frequency}) / \text{Output_Divider}$ を用いて計算された丸め込み値です。
- 表に示す値は、数式 $(2 \times \text{QPLL0_Frequency}) / \text{Output_Divider}$ を用いて計算された丸め込み値です。これらは、16.375Gb/s を越えるライン レート向けの値です。
- この値は F_{GTYSMAX} によって制限されます。
- 表に示す値は、数式 $(\text{QPLL0_Frequency}) / \text{Output_Divider}$ を用いて計算された丸め込み値です。
- 表に示す値は、数式 $(2 \times \text{QPLL1_Frequency}) / \text{Output_Divider}$ を用いて計算された丸め込み値です。これらは、16.375Gb/s を越えるライン レート向けの値です。
- 表に示す値は、数式 $(\text{QPLL1_Frequency}) / \text{Output_Divider}$ を用いて計算された丸め込み値です。

表 70: GTY トランシーバーのダイナミック リコンフィギュレーション ポート (DRP) のスイッチ特性

シンボル	説明	すべてのデバイス	単位
$F_{GTYDRPCLK}$	GTYDRPCLK 最大周波数	250	MHz

表 71: GTY トランシーバーの基準クロックのスイッチ特性

シンボル	説明	条件	最小	標準	最大	単位
F_{GCLK}	基準クロックの周波数範囲		60	—	820	MHz
T_{RCLK}	基準クロックの立ち上がり時間	20% – 80%	—	200	—	ps
T_{FCLK}	基準クロックの立ち下がり時間	80% – 20%	—	200	—	ps
T_{DCREF}	基準クロックのデューティ サイクル	トランシーバーの PLL のみ	40	50	60	%

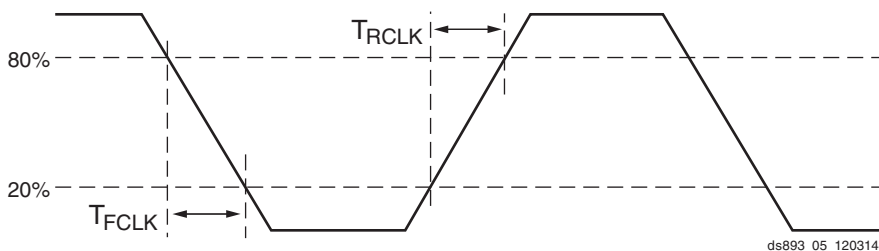


図 8: 基準クロックのタイミングパラメーター

 表 72: GTY トランシーバーの基準クロック オシレーター セレクト位相ノイズマスク⁽¹⁾

シンボル	説明	オフセット周波数	最小	標準	最大	単位
$QPLL_{REFCLKMASK}$	QPLL0/QPLL1 基準クロック セレクト位相ノイズマスク、REFCLK 周波数 = 156.25MHz	10kHz	—	—	-112	dBc/Hz
		100kHz	—	—	-128	
		1MHz	—	—	-145	
	QPLL0/QPLL1 基準クロック セレクト位相ノイズマスク、REFCLK 周波数 = 312.5MHz	10kHz	—	—	-103	dBc/Hz
		100kHz	—	—	-123	
		1MHz	—	—	-143	
QPLL0/QPLL1 基準クロック セレクト位相ノイズマスク、REFCLK 周波数 = 625MHz	10kHz	—	—	-98	dBc/Hz	
	100kHz	—	—	-117		
	1MHz	—	—	-140		
$CPLL_{REFCLKMASK}$	CPLL 基準クロック セレクト位相ノイズマスク、REFCLK 周波数 = 156.25MHz	10kHz	—	—	-112	dBc/Hz
		100kHz	—	—	-128	
		1MHz	—	—	-145	
		50MHz	—	—	-145	
	CPLL 基準クロック セレクト位相ノイズマスク、REFCLK 周波数 = 312.5MHz	10kHz	—	—	-103	dBc/Hz
		100kHz	—	—	-123	
		1MHz	—	—	-143	
		50MHz	—	—	-145	
	CPLL 基準クロック セレクト位相ノイズマスク、REFCLK 周波数 = 625MHz	10kHz	—	—	-98	dBc/Hz
100kHz		—	—	-117		
1MHz		—	—	-140		
50MHz		—	—	-144		

注記:

1. この表に記載されていない基準クロック周波数の場合、基準クロック周波数の近似値の位相ノイズマスクを使用してください。

表 73: GTY トランシーバー PLL/ロック タイムの適用

シンボル	説明	条件	最小	標準	最大	単位
T_{LOCK}	PLL が最初にロックするまでの時間		—	—	1	ms
T_{DLOCK}	DFE (判定帰還型イコライザー) に必要なクロック リカバリの位相取得および適用時間	PLL が基準クロックにロックされた後、クロック データ リカバリ (CDR) が入力 のデータにロックされるのに必要な時間	—	50,000	37×10^6	UI
	DFE が無効の場合、低消費電力モード (LPM) に必要なクロック リカバリの位相取得および適用時間		—	50,000	2.3×10^6	UI

 表 74: GTY トランシーバーのユーザー クロックのスイッチ特性⁽¹⁾

シンボル	説明	データ幅の条件 (ビット)		スピード グレードおよび V_{CCINT} 動作電圧				単位
				1.0V		0.95V		
		内部ロジック	インターコネクトロジック	-3	-1H	-2	-1	
$F_{TXOUTPMA}$	OUTCLKPMA から生じる TXOUTCLK 最大周波数			511.719	511.719	511.719	390.625	MHz
$F_{RXOUTPMA}$	OUTCLKPMA から生じる RXOUTCLK 最大周波数			511.719	511.719	511.719	390.625	MHz
$F_{TXOUTPROGDIV}$	TXPROGDIVCLK から生じる TXOUTCLK 最大周波数			511.719	511.719	511.719	511.719	MHz
$F_{RXOUTPROGDIV}$	RXPROGDIVCLK から生じる RXOUTCLK 最大周波数			511.719	511.719	511.719	511.719	MHz
F_{TXIN}	TXUSRCLK 最大周波数	16	16、32	511.719	402.832	511.719	390.625	MHz
		32	32、64	511.719	402.832	511.719	390.625	MHz
		64	64、128	476.563	402.832	440.781	195.313	MHz
		20	20、40	409.375	322.266	409.375	312.500	MHz
		40	40、80	409.375	322.266	409.375	312.500	MHz
		80	80、160	381.250	322.266	352.625	156.250	MHz
F_{RXIN}	RXUSRCLK 最大周波数	16	16、32	511.719	402.832	511.719	390.625	MHz
		32	32、64	511.719	402.832	511.719	390.625	MHz
		64	64、128	476.563	402.832	440.781	195.313	MHz
		20	20、40	409.375	322.266	409.375	312.500	MHz
		40	40、80	409.375	322.266	409.375	312.500	MHz
		80	80、160	381.250	322.266	352.625	156.250	MHz

表 74: GTY トランシーバーのユーザー クロックのスイッチ特性⁽¹⁾

シンボル	説明	データ幅の条件 (ビット)		スピード グレードおよび V _{CCINT} 動作電圧				単位
				1.0V		0.95V		
		内部ロジック	インターコネクトロジック	-3	-1H	-2	-1	
F _{TXIN2}	TXUSRCLK2 最大周波数	16	16	511.719	402.832	511.719	390.625	MHz
		16	32	511.719	201.416	511.719	390.625	MHz
		32	32	511.719	402.832	511.719	390.625	MHz
		32	64	476.563	201.416	440.781	195.313	MHz
		64	64	476.563	402.832	440.781	195.313	MHz
		64	128	238.281	201.416	220.391	97.656	MHz
		20	20	409.375	322.266	409.375	312.500	MHz
		20	40	409.375	161.133	409.375	312.500	MHz
		40	40	409.375	322.266	409.375	312.500	MHz
		40	80	381.250	161.133	352.625	156.250	MHz
		80	80	381.250	322.266	352.625	156.250	MHz
		80	160	190.625	161.133	176.313	78.125	MHz
F _{RXIN2}	RXUSRCLK2 最大周波数	16	16	511.719	402.832	511.719	390.625	MHz
		16	32	511.719	201.416	511.719	390.625	MHz
		32	32	511.719	402.832	511.719	390.625	MHz
		32	64	476.563	201.416	440.781	195.313	MHz
		64	64	476.563	402.832	440.781	195.313	MHz
		64	128	238.281	201.416	220.391	97.656	MHz
		20	20	409.375	322.266	409.375	312.500	MHz
		20	40	409.375	161.133	409.375	312.500	MHz
		40	40	409.375	322.266	409.375	312.500	MHz
		40	80	381.250	161.133	352.625	156.250	MHz
		80	80	381.250	322.266	352.625	156.250	MHz
		80	160	190.625	161.133	176.313	78.125	MHz

注記:

1. クロックは、『UltraScale アーキテクチャ GTY トランシーバー ユーザー ガイド』(UG578: [英語版](#)、[日本語版](#)) に記載の方法でインプリメントする必要があります。

表 75: GTY トランシーバーのトランスミッターのスイッチ特性

シンボル	説明	条件	最小	標準	最大	単位
F _{GTYTX}	シリアルデータレート範囲		0.500	—	F _{GTYMAX}	Gb/s
T _{RTX}	TX 立ち上がり時間	20% – 80%	—	21	—	ps
T _{FTX}	TX 立ち下がり時間	80% – 20%	—	21	—	ps
T _{LLSKEW}	TX Lane-to-Lane スキュー (1)		—	—	500	ps
V _{TXOVBVDP}	電氣的アイドルの振幅		—	—	15	mV
T _{TXOVBTRANSITION}	電氣的アイドルの送信時間		—	—	140	ns
T _{J30.5_QPLL}	総ジッター (2)(4)	30.5Gb/s	—	—	0.32	UI
D _{J30.5_QPLL}	確定的なジッター (2)(4)		—	—	0.17	UI
T _{J28.2_QPLL}	総ジッター (2)(4)	28.2Gb/s	—	—	0.30	UI
D _{J28.2_QPLL}	確定的なジッター (2)(4)		—	—	0.17	UI
T _{J25.78_QPLL}	総ジッター (2)(4)	25.78Gb/s	—	—	0.30	UI
D _{J25.78_QPLL}	確定的なジッター (2)(4)		—	—	0.17	UI
T _{J16.3_QPLL}	総ジッター (2)(4)	16.3Gb/s	—	—	0.28	UI
D _{J16.3_QPLL}	確定的なジッター (2)(4)		—	—	0.17	UI
T _{J15_QPLL}	総ジッター (2)(4)	15.0Gb/s	—	—	0.28	UI
D _{J15_QPLL}	確定的なジッター (2)(4)		—	—	0.17	UI
T _{J14.1_QPLL}	総ジッター (2)(4)	14.1Gb/s	—	—	0.28	UI
D _{J14.1_QPLL}	確定的なジッター (2)(4)		—	—	0.17	UI
T _{J14.025_QPLL}	総ジッター (2)(4)	14.025Gb/s	—	—	0.28	UI
D _{J14.025_QPLL}	確定的なジッター (2)(4)		—	—	0.17	UI
T _{J13.1_QPLL}	総ジッター (2)(4)	13.1Gb/s	—	—	0.28	UI
D _{J13.1_QPLL}	確定的なジッター (2)(4)		—	—	0.17	UI
T _{J12.5_QPLL}	総ジッター (2)(4)	12.5Gb/s	—	—	0.28	UI
D _{J12.5_QPLL}	確定的なジッター (2)(4)		—	—	0.17	UI
T _{J12.5_CPLL}	総ジッター (3)(4)	12.5Gb/s	—	—	0.33	UI
D _{J12.5_CPLL}	確定的なジッター (3)(4)		—	—	0.17	UI
T _{J11.3_QPLL}	総ジッター (2)(4)	11.3Gb/s	—	—	0.28	UI
D _{J11.3_QPLL}	確定的なジッター (2)(4)		—	—	0.17	UI
T _{J10.3_QPLL}	総ジッター (2)(4)	10.3125Gb/s	—	—	0.28	UI
D _{J10.3_QPLL}	確定的なジッター (2)(4)		—	—	0.17	UI
T _{J10.3_CPLL}	総ジッター (3)(4)	10.3125Gb/s	—	—	0.33	UI
D _{J10.3_CPLL}	確定的なジッター (3)(4)		—	—	0.17	UI
T _{J9.953_QPLL}	総ジッター (2)(4)	9.953Gb/s	—	—	0.28	UI
D _{J9.953_QPLL}	確定的なジッター (2)(4)		—	—	0.17	UI
T _{J9.8_QPLL}	総ジッター (2)(4)	9.8Gb/s	—	—	0.28	UI
D _{J9.8_QPLL}	確定的なジッター (2)(4)		—	—	0.17	UI
T _{J8.0_QPLL}	総ジッター (2)(4)	8.0Gb/s	—	—	0.28	UI
D _{J8.0_QPLL}	確定的なジッター (2)(4)		—	—	0.17	UI

表 75: GTY トランシーバーのトランスミッターのスイッチ特性 (続き)

シンボル	説明	条件	最小	標準	最大	単位
T _{J8.0_CPLL}	総ジッター (3)(4)	8.0Gb/s	—	—	0.32	UI
D _{J8.0_CPLL}	確定的なジッター (3)(4)		—	—	0.17	UI
T _{J6.6_CPLL}	総ジッター (3)(4)	6.6Gb/s	—	—	0.30	UI
D _{J6.6_CPLL}	確定的なジッター (3)(4)		—	—	0.15	UI
T _{J5.0}	総ジッター (3)(4)	5.0Gb/s	—	—	0.30	UI
D _{J5.0}	確定的なジッター (3)(4)		—	—	0.15	UI
T _{J4.25}	総ジッター (3)(4)	4.25Gb/s	—	—	0.30	UI
D _{J4.25}	確定的なジッター (3)(4)		—	—	0.15	UI
T _{J4.00L}	総ジッター (3)(4)	4.00Gb/s	—	—	0.32	UI
D _{J4.00L}	確定的なジッター (3)(4)		—	—	0.16	UI
T _{J3.75}	総ジッター (3)(4)	3.75Gb/s	—	—	0.20	UI
D _{J3.75}	確定的なジッター (3)(4)		—	—	0.10	UI
T _{J3.20}	総ジッター (3)(4)	3.20Gb/s ⁽⁵⁾	—	—	0.20	UI
D _{J3.20}	確定的なジッター (3)(4)		—	—	0.10	UI
T _{J2.5}	総ジッター (3)(4)	2.5Gb/s ⁽⁶⁾	—	—	0.20	UI
D _{J2.5}	確定的なジッター (3)(4)		—	—	0.10	UI
T _{J1.25}	総ジッター (3)(4)	1.25Gb/s ⁽⁷⁾	—	—	0.15	UI
D _{J1.25}	確定的なジッター (3)(4)		—	—	0.05	UI
T _{J500}	総ジッター (3)(4)	500Mb/s	—	—	0.10	UI
D _{J500}	確定的なジッター (3)(4)		—	—	0.05	UI

注記:

- 最大 4 個の GTY クワッドにある最大ライン レートの トランシーバーをすべて有効にして TX 位相アライメントを設定し、同じ REFCLK 入力を使用した場合の値です。
- QPLL_FBDIV = 40 かつ内部データ幅が 20 ビットの場合の値です。これらの値は、プロトコル特定の準拠の確定のための値ではありません。
- CPLL_FBDIV = 2 かつ内部データ幅が 20 ビットの場合の値です。これらの値は、プロトコル特定の準拠の確定のための値ではありません。
- すべてのジッター値は、BER (Bit Error Ratio) が 10⁻¹² の場合に基づいています。
- CPLL 周波数 3.2GHz、TXOUT_DIV = 2 を使用した場合の値です。
- CPLL 周波数 2.5GHz、TXOUT_DIV = 2 を使用した場合の値です。
- CPLL 周波数 2.5GHz、TXOUT_DIV = 4 を使用した場合の値です。

表 76: GTY トランシーバーのレシーバーのスイッチ特性

シンボル	説明	条件	最小	標準	最大	単位
F_{GTYRX}	シリアル データ レート		0.500	—	F_{GTYMAX}	Gb/s
$T_{RXELECIDLE}$	RXELECIDLE がデータ損失または復元に応答するための時間		—	10	—	ns
$R_{XOOBVDPP}$	OOB 検出しきい値 Peak-to-Peak		60	—	150	mV
R_{XSST}	レシーバー スペクトラム拡散のトラッキング ⁽¹⁾	33kHz で変調	-5000	—	0	ppm
R_{XRL}	ラン レングス (CID)		—	—	256	UI
$R_{XPPMTOL}$	データ/REFCLK PPM オフセット 耐性	ビット レート $\leq 6.6\text{Gb/s}$	-1250	—	1250	ppm
		ビット レート $> 6.6\text{Gb/s}$ および $\leq 8.0\text{Gb/s}$	-700	—	700	ppm
		ビット レート $> 8.0\text{Gb/s}$	-200	—	200	ppm
SJ ジッター耐性⁽²⁾						
$J_{T_SJ30.5}$	正弦波ジッター (QPLL) ⁽³⁾	30.5Gb/s	0.20	—	—	UI
$J_{T_SJ28.2}$	正弦波ジッター (QPLL) ⁽³⁾	28.2Gb/s	0.25	—	—	UI
$J_{T_SJ25.78}$	正弦波ジッター (QPLL) ⁽³⁾	25.78Gb/s	0.25	—	—	UI
$J_{T_SJ16.375}$	正弦波ジッター (QPLL) ⁽³⁾	16.375Gb/s	0.30	—	—	UI
J_{T_SJ15}	正弦波ジッター (QPLL) ⁽³⁾	15.0Gb/s	0.30	—	—	UI
$J_{T_SJ14.1}$	正弦波ジッター (QPLL) ⁽³⁾	14.1Gb/s	0.30	—	—	UI
$J_{T_SJ13.1}$	正弦波ジッター (QPLL) ⁽³⁾	13.1Gb/s	0.30	—	—	UI
$J_{T_SJ12.5_QPLL}$	正弦波ジッター (QPLL) ⁽³⁾	12.5Gb/s	0.30	—	—	UI
$J_{T_SJ12.5_CPLL}$	正弦波ジッター (QPLL) ⁽³⁾	12.5Gb/s	0.30	—	—	UI
$J_{T_SJ11.3_QPLL}$	正弦波ジッター (QPLL) ⁽³⁾	11.3Gb/s	0.30	—	—	UI
$J_{T_SJ10.32_QPLL}$	正弦波ジッター (QPLL) ⁽³⁾	10.32Gb/s	0.30	—	—	UI
$J_{T_SJ10.32_CPLL}$	正弦波ジッター (CPLL) ⁽³⁾	10.32Gb/s	0.30	—	—	UI
$J_{T_SJ9.8}$	正弦波ジッター (QPLL) ⁽³⁾	9.8Gb/s	0.30	—	—	UI
$J_{T_SJ8.0_QPLL}$	正弦波ジッター (QPLL) ⁽³⁾	8.0Gb/s	0.44	—	—	UI
$J_{T_SJ8.0_CPLL}$	正弦波ジッター (CPLL) ⁽³⁾	8.0Gb/s	0.42	—	—	UI
$J_{T_SJ6.6_CPLL}$	正弦波ジッター (CPLL) ⁽³⁾	6.6Gb/s	0.44	—	—	UI
$J_{T_SJ5.0}$	正弦波ジッター (CPLL) ⁽³⁾	5.0Gb/s	0.44	—	—	UI
$J_{T_SJ4.25}$	正弦波ジッター (CPLL) ⁽³⁾	4.25Gb/s	0.44	—	—	UI
$J_{T_SJ4.00L}$	正弦波ジッター (CPLL) ⁽³⁾	4.0Gb/s	0.45	—	—	UI
$J_{T_SJ3.75}$	正弦波ジッター (CPLL) ⁽³⁾	3.75Gb/s	0.45	—	—	UI
$J_{T_SJ3.20}$	正弦波ジッター (CPLL) ⁽³⁾	3.2Gb/s ⁽⁴⁾	0.45	—	—	UI
$J_{T_SJ2.5}$	正弦波ジッター (CPLL) ⁽³⁾	2.5Gb/s ⁽⁵⁾	0.50	—	—	UI
$J_{T_SJ1.25}$	正弦波ジッター (CPLL) ⁽³⁾	1.25Gb/s ⁽⁶⁾	0.50	—	—	UI
J_{T_SJ500}	正弦波ジッター (CPLL) ⁽³⁾	500Mb/s	0.50	—	—	UI
負荷がある場合の SJ ジッター耐性⁽²⁾						
$J_{T_TJSE3.2}$	負荷がある場合の総ジッター ⁽⁷⁾	3.2Gb/s	0.7	—	—	UI
$J_{T_TJSE6.6}$		6.6Gb/s	0.7	—	—	UI

表 76: GTY トランシーバーのレシーバーのスイッチ特性 (続き)

シンボル	説明	条件	最小	標準	最大	単位
$J_{T_SJSE3.2}$	負荷がある場合の正弦波ジッター (7)	3.2Gb/s	0.7	—	—	UI
$J_{T_SJSE6.6}$		6.6Gb/s	0.7	—	—	UI

注記:

1. RXOUT_DIV = 1、2、および 4 を使用する場合の値です。
2. すべてのジッター値は、BER (Bit Error Ratio) が 10^{-12} の場合に基づいています。
3. 挿入した正弦波ジッターの周波数は 80MHz です。
4. CPLL 周波数 3.2GHz、RXOUT_DIV = 2 を使用した場合の値です。
5. CPLL 周波数 2.5GHz、RXOUT_DIV = 2 を使用した場合の値です。
6. CPLL 周波数 2.5GHz、RXOUT_DIV = 4 を使用した場合の値です。
7. RX イコライザーが有効の場合の複合ジッターです。DFE は無効です。

トランシーバーの電氣的仕様への準拠性

『UltraScale アーキテクチャ GTY トランシーバー ユーザー ガイド』(UG578: [英語版](#)、[日本語版](#)) には、表 77 に示すプロトコルに準拠する、推奨使用モードに関する記述が含まれます。トランシーバー ウィザードは、これらのユース ケースやプロトコル特定の特性向けに推奨する設定値を提供します。

表 77: GTY トランシーバー プロトコルの一覧

プロトコル	規格	シリアル レート (Gb/s)	電氣的仕様への準拠性
CAUI-4	IEEE 802.3-2012	25.78125	準拠する
28Gb/s Backplane	CEI-25G-LR	25 ~ 28.05	準拠する
Interlaken	OIF-CEI-6G、OIF-CEI-11GSR、OIF-CEI-28G-MR	4.25 ~ 25.78125	準拠する
100GBASE-KR4	IEEE 802.3bj-2014、CEI-25G-LR	25.78125	準拠する ⁽¹⁾
OTU4 (OTL4.4)	OIF-CEI-28G-VSR	27.952493	準拠する
CAUI-10	IEEE 802.3-2012	10.3125	準拠する
nPPI	IEEE 802.3-2012	10.3125	準拠する
10GBASE-KR	IEEE 802.3-2012	10.3125	準拠する
SFP+	SFF-8431 (SR および LR)	9.95328 ~ 11.10	準拠する
XFP	INF-8077i、Revision 4.5	10.3125	準拠する
RXAUI	CEI-6G-SR	6.25	準拠する
XAUI	IEEE 802.3-2012	3.125	準拠する
1000BASE-X	IEEE 802.3-2012	1.25	準拠する
OTU2	ITU G.8251	10.709225	準拠する
OTU4 (OTL4.10)	OIF-CEI-11G-SR	11.180997	準拠する
OC-3/12/48/192	GR-253-CORE	0.1555 ~ 9.956	準拠する
PCIe Gen1、2、3	PCI Express Base 3.0	2.5、5.0、8.0	準拠する
SDI	SMPTE 424M-2006	0.27 ~ 2.97	準拠する
Hybrid Memory Cube (HMC)	HMC-15G-SR	12.5、15.0	準拠する
CPRI	CPRI_v_6_1_2014-07-01	0.6144 ~ 12.165	準拠する
Passive Optical Network (PON)	10G-EPON、1G-EPON、NG-PON2、XG-PON、および 2.5G-PON	0.155 ~ 10.3125	準拠する
JESD204a/b	OIF-CEI-6G、OIF-CEI-11G	3.125 ~ 12.5	準拠する
Serial RapidIO (SRIO)	RapidIO Specification 3.1	1.25 ~ 10.3125	準拠する
DisplayPort (Source のみ)	DP 1.2B CTS	1.62 ~ 5.4	準拠する
Fibre Channel	FC-PI-4	1.0625 ~ 14.025	準拠する
SATA Gen1、2、3	Serial ATA Revision 3.0 Specification	1.5、3.0、6.0	準拠する
SAS Gen1、2、3	T10/BSR INCITS 519	3.0、6.0、12.0	準拠する
SFI-5	OIF-SFI5-01.0	0.625 ~ 12.5	準拠する

注記:

1. ナイキスト周波数で 25dB の損失、FEC なし

GTY トランシーバー プロトコルのジッターの特性

表 78 ~ 表 82 に、『UltraScale アーキテクチャ GTY トランシーバー ユーザー ガイド』(UG578: [英語版](#)、[日本語版](#)) に記載の、プロトコル 特定の特性を最適に使用するために推奨する設定値を示します。

表 78: ギガビット イーサネット プロトコルの特性 (GTY トランシーバー)

説明	ライン レート (Mb/s)	最小	最大	単位
ギガビット イーサネット トランスミッターのジッター生成				
トランスミッターの総ジッター (T_TJ)	1250	—	0.24	UI
ギガビット イーサネット レシーバーの高周波ジッター許容値				
レシーバーの総ジッター許容値	1250	0.749	—	UI

表 79: XAUI プロトコルの特性 (GTY トランシーバー)

説明	ライン レート (Mb/s)	最小	最大	単位
XAUI トランスミッターのジッター生成				
トランスミッターの総ジッター (T_TJ)	3125	—	0.35	UI
XAUI レシーバーの高周波ジッター許容値				
レシーバーの総ジッター許容値	3125	0.65	—	UI

表 80: CEI-6G および CEI-11G プロトコルの特性 (GTY トランシーバー)

説明	ライン レート (Mb/s)	インターフェイス	最小	最大	単位
CEI-6G トランスミッターのジッター生成					
トランスミッターの総ジッター ⁽¹⁾	4976 ~ 6375	CEI-6G-SR	—	0.3	UI
		CEI-6G-LR	—	0.3	UI
CEI-6G レシーバーの高周波ジッター許容値					
レシーバーの総ジッター許容値 ⁽¹⁾	4976 ~ 6375	CEI-6G-SR	0.6	—	UI
		CEI-6G-LR	0.95	—	UI
CEI-11G トランスミッターのジッター生成					
トランスミッターの総ジッター ⁽²⁾	9950 ~ 11100	CEI-11G-SR	—	0.3	UI
		CEI-11G-LR/MR	—	0.3	UI
CEI-11G レシーバーの高周波ジッター許容値					
レシーバーの総ジッター許容値 ⁽²⁾	9950 ~ 11100	CEI-11G-SR	0.65	—	UI
		CEI-11G-MR	0.65	—	UI
		CEI-11G-LR	0.825	—	UI

注記:

- 390.625MHz の基準クロックを使用し、最も一般的な 6250Mb/s のライン レートでテストされています。
- 155.46875MHz の基準クロックを使用する 9950Mb/s のライン レート、および 173.4375MHz の基準クロックを使用する 11100Mb/s のライン レートでテストされています。

表 81: SFP+ プロトコルの特性 (GTY トランシーバー)

説明	ライン レート (Mb/s)	最小	最大	単位
SFP+ トランスミッターのジッター生成				
トランスミッターの総ジッター	9830.40 ⁽¹⁾	—	0.28	UI
	9953.00			
	10312.50			
	10518.75			
	11100.00			
SFP+ レシーバーの高周波ジッター許容値				
レシーバーの総ジッター許容値	9830.40 ⁽¹⁾	0.7	—	UI
	9953.00			
	10312.50			
	10518.75			
	11100.00			

注記:

1. SFP+ を介した CPRI アプリケーションで使用されるライン レートです。

表 82: CPRI プロトコルの特性 (GTY トランシーバー)

説明	ライン レート (Mb/s)	最小	最大	単位
CPRI トランスミッターのジッター生成				
トランスミッターの総ジッター	614.4	—	0.35	UI
	1228.8	—	0.35	UI
	2457.6	—	0.35	UI
	3072.0	—	0.35	UI
	4915.2	—	0.3	UI
	6144.0	—	0.3	UI
	9830.4	—	注記 1	UI
CPRI レシーバーの周波数ジッター許容値				
レシーバーの総ジッター許容値	614.4	0.65	—	UI
	1228.8	0.65	—	UI
	2457.6	0.65	—	UI
	3072.0	0.65	—	UI
	4915.2	0.95	—	UI
	6144.0	0.95	—	UI
	9830.4	注記 1	—	UI

注記:

1. SFP+ 仕様に基づいてテストされています (表 81 参照)。

Interlaken 用統合インターフェイスブロック

Interlaken 用統合インターフェイスブロックを使用したソリューションに関する資料および詳細は、[UltraScale Interlaken](#) から入手できます。『UltraScale アーキテクチャおよび製品データシート: 概要』(DS890: [英語版](#)、[日本語版](#)) に、このブロックを含む Virtex UltraScale FPGA がリストされています。

表 83: Interlaken デザインの最大パフォーマンス

シンボル	説明	スピード グレードおよび V _{CCINT} 動作電圧								単位
		1.0V				0.95V				
		-3		-1H		-2		-1		
F _{RX_SERDES_CLK}	受信シリアライザー/デシリアライザー クロック	402.84		402.84		402.84		195.32		MHz
F _{TX_SERDES_CLK}	送信シリアライザー/デシリアライザー クロック	402.84		402.84		402.84		195.32		MHz
F _{DRP_CLK}	ダイナミック リコンフィギュレーション ポート クロック	250.00		250.00		250.00		250.00		MHz
		最小	最大	最小	最大	最小	最大	最小	最大	
F _{CORE_CLK}	Interlaken コア クロック	300.00 ⁽¹⁾	429.69	300.00 ⁽¹⁾	429.69	300.00 ⁽¹⁾	429.69	300.00	322.27	MHz
		412.50 ⁽²⁾		412.50 ⁽²⁾		412.50 ⁽²⁾				
F _{LBUS_CLK}	Interlaken ローカルバス クロック	300.00	349.52	300.00	349.52	300.00	349.52	300.00	322.27	MHz

注記:

- 12 x 12.5G Interlaken コンフィギュレーションの場合、CORE_CLK の最小値は 300MHz です。
- 6 x 25.78125G Interlaken コンフィギュレーションの場合、CORE_CLK の最小値は 412.5MHz です。6 x 25.78125G コンフィギュレーションは、レーンロジック専用モードではサポートされていません。

100G Ethernet MAC および PCS 用統合インターフェイスブロック

100Gb/s イーサネット用統合ブロックを使用したソリューションに関する資料および詳細は、[UltraScale+ Integrated 100G Ethernet MAC/PCS](#) から入手できます。

表 84: 100G イーサネット デザインの最大パフォーマンス

シンボル	説明	スピード グレードおよび V _{CCINT} 動作電圧				単位
		1.0V		0.95V		
		-3	-1H	-2	-1	
F _{TX_CLK}	送信クロック	322.27	322.27	322.27	322.27	MHz
F _{RX_CLK}	受信クロック	322.27	322.27	322.27	322.27	MHz
F _{RX_SERDES_CLK}	受信シリアライザー/デシリアライザー クロック	322.27	322.27	322.27	322.27	MHz
F _{DRP_CLK}	ダイナミック リコンフィギュレーション ポート クロック	250.00	250.00	250.00	250.00	MHz

PCI Express デザイン用統合インターフェイス ブロック

PCI Express デザインのソリューションに関する資料および詳細は、[PCI Express](#) から入手できます。

表 85: PCI Express デザインの最大パフォーマンス

シンボル	説明	スピード グレードおよび V_{CCINT} 動作電圧				単位
		1.0V		0.95V		
		-3	-1H	-2	-1	
$F_{PIPECLK}$	パイプ クロックの最大周波数	250.00	250.00	250.00	250.00	MHz
$F_{CORECLK}$	コア クロックの最大周波数	500.00	500.00 ⁽¹⁾	500.00	500.00 ⁽¹⁾	MHz
$F_{USERCLK}$	ユーザー クロックの最大周波数	250.00	250.00	250.00	250.00	MHz
F_{DRPCLK}	DRP クロックの最大周波数	250.00	250.00	250.00	250.00	MHz

注記:

1. PCI Express x8 Gen3 動作は -2 および -3 スピード グレードでサポートされています。-1 スピード グレードでの x8 Gen 3 動作の詳細は、『UltraScale Devices Gen3 Integrated Block for PCI Express LogiCORE IP 製品ガイド』(PG156: [英語版](#)、[日本語版](#)) を参照してください。

システム モニターの仕様

表 86: SYSMON の仕様

パラメーター	シンボル	コメント/条件	最小	標準	最大	単位
$V_{CCADC} = 1.8V \pm 3\%$ 、 $V_{REFP} = 1.25V$ 、 $V_{REFN} = 0V$ 、 $ADCCLK = 5.2MHz$ 、 $T_j = -40^\circ C \sim 100^\circ C$ 、標準値 $T_j = 40^\circ C$						
ADC の精度 ⁽¹⁾						
精度			10	—	—	ビット
積分非直線性 ⁽²⁾	INL		—	—	± 2	LSB
差動非直線性	DNL	コードの欠落なし、単調であることを保証	—	—	± 1	LSB
オフセット エラー		オフセット キャリブレーションは有効	—	—	± 2	LSB
ゲイン エラー			—	—	± 0.4	%
サンプル レート			—	—	0.2	MS/s
RMS コード ノイズ		外部基準電圧 1.25V	—	—	1	LSB
		オンチップ基準電圧	—	1	—	LSB
拡張温度における ADC の精度						
精度		($T_j = -55^\circ C \sim 125^\circ C$)	10	—	—	ビット
積分非直線性	INL	($T_j = -55^\circ C \sim 125^\circ C$)	—	—	± 2	LSB
差動非直線性	DNL	コードの欠落なし、単調であることを保証 ($T_j = -55^\circ C \sim 125^\circ C$)	—	—	± 1	
アナログ入力 ⁽²⁾						
ADC 入力範囲		単極動作	0	—	1	V
		双極動作	-0.5	—	+0.5	V
		単極同相範囲 (FS 入力)	0	—	+0.5	V
		双極同相範囲 (FS 入力)	+0.5	—	+0.6	V
外部チャンネル入力の範囲 (最大)		これらの範囲内に設定されたチャンネルは隣接するチャンネルの計測値に影響を与えない	-0.1	—	V_{CCADC}	V

表 86: SYSMON の仕様 (続き)

パラメーター	シンボル	コメント/条件	最小	標準	最大	単位
オンチップ センサーの精度						
温度センサー エラー (1)		$T_j = -40^\circ\text{C} \sim 100^\circ\text{C}$ (外部 REF を使用)	—	—	± 4	$^\circ\text{C}$
		$T_j = -55^\circ\text{C} \sim 125^\circ\text{C}$ (外部 REF を使用)	—	—	± 4.5	$^\circ\text{C}$
		$T_j = -40^\circ\text{C} \sim 100^\circ\text{C}$ (内部 REF を使用)	—	—	± 5	$^\circ\text{C}$
		$T_j = -55^\circ\text{C} \sim 125^\circ\text{C}$ (内部 REF を使用)	—	—	± 6.5	$^\circ\text{C}$
電源センサー エラー (3)		$T_j = -40^\circ\text{C} \sim 100^\circ\text{C}$ (外部 REF を使用)	—	—	± 1	%
		$T_j = -55^\circ\text{C} \sim 125^\circ\text{C}$ (外部 REF を使用)	—	—	± 2	%
		$T_j = -40^\circ\text{C} \sim 100^\circ\text{C}$ (内部 REF を使用)	—	—	± 1.5	%
		$T_j = -55^\circ\text{C} \sim 125^\circ\text{C}$ (内部 REF を使用)	—	—	± 2.5	%
変換レート (4)						
変換時間 - 連続	t_{CONV}	ADCCLK サイクル数	26	—	32	サイクル
変換時間 — イベント	t_{CONV}	ADCCLK サイクル数	—	—	21	サイクル
DRP クロック周波数	DCLK	DRP クロック周波数	8	—	250	MHz
ADC クロック周波数	ADCCLK	DCLK からの派生クロック	1	—	5.2	MHz
DCLK デューティ サイクル			40	—	60	%
SYSMON の基準電圧 (5)						
外部基準電圧	V_{REFP}	外部の基準電源電圧	1.20	1.25	1.30	V
オンチップ基準電圧		V_{REFP} ピンを AGND に接続、 スピード グレード -2 および -3 $T_j = -40^\circ\text{C} \sim 100^\circ\text{C}$	1.2375	1.25	1.2625	V
		V_{REFP} ピンを AGND に接続、 -1 スピード グレード $T_j = -40^\circ\text{C} \sim 100^\circ\text{C}$	1.23125	1.25	1.26875	V
		V_{REFP} ピンを AGND に接続、 $T_j = -55^\circ\text{C} \sim 125^\circ\text{C}$	1.225	1.25	1.275	V

注記:

- ADC オフセット エラーは、ADC の自動オフセット キャリブレーション機能を有効にするとなくなります。この機能が有効な場合に指定されている値です。
- 詳細は、『UltraScale アーキテクチャ システム モニター ユーザー ガイド』(UG580: 英語版、日本語版) の「アナログ入力」セクションを参照してください。
- 電源センサー オフセットおよびゲイン エラーは、自動オフセットおよびゲイン キャリブレーション機能を有効にするとなくなります。この機能が有効な場合に指定されている値です。
- 詳細は、『UltraScale アーキテクチャ システム モニター ユーザー ガイド』(UG580: 英語版、日本語版) の「セトリング時間の調整」セクションを参照してください。
- 基準電圧が $V_{\text{REFP}} = 1.25\text{V}$ および $V_{\text{REFN}} = 0\text{V}$ の標準電圧以外の場合、理想的な伝達関数からのずれが生じます。また、内部センサーの温度や電源などの計測値にも影響を与えます。外付けレシオメトリックタイプアプリケーションでは、電源電圧および基準電圧の変動は $\pm 4\%$ まで許容されます。

I2C インターフェイス

表 87: 高速モードの I2C インターフェイスのスイッチ特性 (1)

シンボル	説明	最小	標準	最大	単位
T_{DCFCLK}	SCL デューティ サイクル	—	50	—	%
T_{FCKO}	SDAO の Clock-to-Out 遅延	—	—	900	ns
T_{FDCK}	SDAI セットアップ タイム	100	—	—	ns
F_{FCLK}	SCL クロック周波数	—	—	400	kHz

注記:

- LVC MOS33、Slow スルー レート、8mA 駆動電流、15pF 負荷をテスト条件としています。

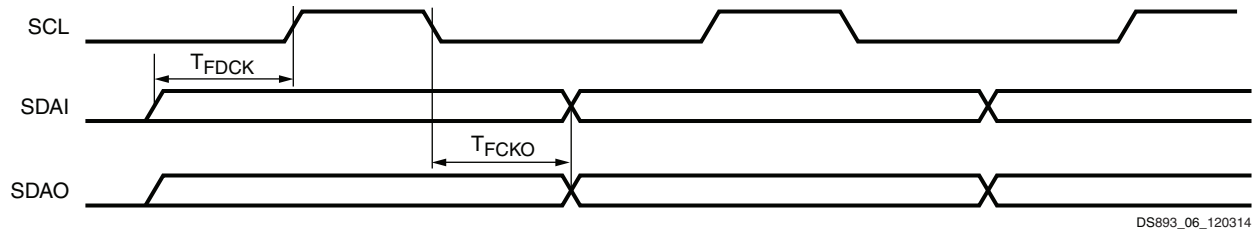


図 9: 高速モードの I2C インターフェイスのタイミング図

表 88: 標準モードの I2C インターフェイスのスイッチ特性⁽¹⁾

シンボル	説明	最小	標準	最大	単位
T_{DCSCLK}	SCL デューティ サイクル	—	50	—	%
T_{SCKO}	SDAO の Clock-to-Out 遅延	—	—	3450	ns
T_{SDCK}	SDAI セットアップ タイム	250	—	—	ns
F_{SCLK}	SCL クロック周波数	—	—	100	kHz

注記:

1. LVCMOS33、Slow スルー レート、8mA 駆動電流、15pF 負荷をテスト条件としています。

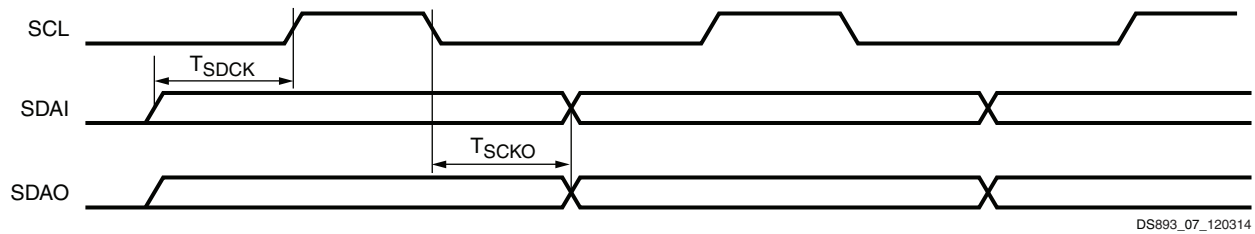


図 10: 標準モードの I2C インターフェイスのタイミング図

コンフィギュレーションのスイッチ特性

表 89: コンフィギュレーションのスイッチ特性

シンボル	説明	スピード グレードおよび V _{CCINT} 動作電圧				単位	
		1.0V		0.95V			
		-3	-1H	-2	-1		
電源投入タイミング特性							
T _{PL}	プログラム レイテンシ	7.5	7.5	7.5	7.5	ms、最大	
T _{POR}	パワーオン リセット (最大立ち上がり時間 40ms)	57	57	57	57	ms、最大	
		0	0	0	0	ms、最小	
	POR オーバーライド用いたパワーオン リセット (最大立ち上がり時間 2ms)	15	15	15	15	ms、最大	
		5	5	5	5	ms、最小	
T _{PROGRAM}	プログラム パルス幅	250	250	250	250	ns、最小	
CCLK 出力 (マスター モード)							
T _{ICCK}	INIT_B からのマスター CCLK 出力の遅延	150	150	150	150	ns、最小	
T _{MCCKL}	マスター CCLK クロックの Low 時間のデューティ サイクル	40/60	40/60	40/60	40/60	%、最小/最大	
T _{MCCKH}	マスター CCLK クロックの High 時間のデューティ サイクル	40/60	40/60	40/60	40/60	%、最小/最大	
F _{MCCK}	マスター CCLK の周波数	SPI x2/x4/x8 BPI x8、x16	150	150	150	150	MHz、最大
		SPI x1 および SLR ベースのデバイス	100	100	100	100	MHz、最大
		SPI x1 およびシリアル のその他の全デバイス	150	150	150	150	MHz、最大
		SelectMAP	125	125	125	125	MHz、最大
F _{MCCK_START}	コンフィギュレーション開始時のマスター CCLK の周波数	3	3	3	3	MHz、標準	
F _{MCCKTOL}	標準 CCLK に対する周波数偏差 (マスター モード)	±35	±35	±35	±35	%、最大	
CCLK 入力 (スレーブ モード)							
T _{SCCKL}	スレーブ CCLK クロックの最小 Low 時間	2.5	2.5	2.5	2.5	ns、最小	
T _{SCCKH}	スレーブ CCLK クロックの最小 High 時間	2.5	2.5	2.5	2.5	ns、最小	
F _{SCCK}	スレーブ CCLK の周波数	シリアル SLR ベースの デバイス	100	100	100	100	MHz、最大
		シリアルのその他の全 デバイス	150	150	150	150	MHz、最大
		SelectMAP	125	125	125	125	MHz、最大

表 89: コンフィギュレーションのスイッチ特性 (続き)

シンボル	説明		スピード グレードおよび V _{CCINT} 動作電圧				単位
			1.0V		0.95V		
			-3	-1H	-2	-1	
EMCCLK 入力 (マスター モード)							
T _{EMCCKL} ⁽¹⁾	外部マスター CCLK の Low 時間		2.50	2.50	2.50	2.50	ns、最小
T _{EMCCKH} ⁽¹⁾	外部マスター CCLK の High 時間		2.50	2.50	2.50	2.50	ns、最小
F _{EMCCK}	外部マスター CCLK の周波数	SPI x2/x4/x8 BPI x8、x16	150	150	150	150	MHz、最大
		SPI x1 およびシリアル SLR ベースのデバイス	100	100	100	100	MHz、最大
		SPI x1 およびシリアル その他の全デバイス	150	150	150	150	MHz、最大
		SelectMAP	125	125	125	125	MHz、最大
内部コンフィギュレーションアクセスポート							
F _{ICAPCK}	内部コンフィギュレーションアクセスポート (ICAPE3)	デバイス全体にアクセスするマスター SLR ICAP	125	125	125	125	MHz、最大
		ローカル SLR にアクセスする SLR ICAP	200	200	200	200	MHz、最大
		その他の全デバイス	200	200	200	200	MHz、最大
マスター/スレーブシリアルモードプログラムスイッチ							
T _{DCCCK} /T _{CCKD}	D _{IN} セットアップ/ホールド		3.0/0	3.0/0	3.0/0	3.0/0	ns、最小
T _{CCO}	D _{OUT} の Clock-to-Out		8.0	8.0	8.0	8.0	ns、最大
SelectMAP モードプログラムスイッチ							
T _{SMDCCCK} /T _{SMCCKD}	D[31:00] のセットアップ/ホールド		3.5/0	3.5/0	3.5/0	3.5/0	ns、最小
T _{SMCSCCK} /T _{SMCCKCS}	CSI_B のセットアップ/ホールド		4.0/0	4.0/0	4.0/0	4.0/0	ns、最小
T _{SMWCCCK} /T _{SMCCKW}	RDWR_B のセットアップ/ホールド		10.0/0	10.0/0	10.0/0	10.0/0	ns、最小
T _{SMCKCSO}	CSO_B の Clock-to-Out (330Ω のプルアップ抵抗が必要)		7.0	7.0	7.0	7.0	ns、最大
T _{SMCO}	リードバックでの D[31:00] の Clock-to-Out		8.0	8.0	8.0	8.0	ns、最大
F _{RBCCK}	リードバック周波数	SLR ベースのデバイス	125	125	125	125	MHz、最大
		その他の全デバイス	125	125	125	125	MHz、最大
バウンダリスキャンポートのタイミング仕様							
T _{TAPTCK} /T _{TCKTAP}	TMS および TDI のセットアップ/ホールド	SLR ベースのデバイス	15.0/2.0	15.0/2.0	15.0/2.0	15.0/2.0	ns、最小
		その他の全デバイス	3.0/2.0	3.0/2.0	3.0/2.0	3.0/2.0	ns、最小
T _{TCKTDO}	TCK 立ち下がりエッジから TDO 出力	SLR ベースのデバイス	23.0	23.0	23.0	23.0	ns、最大
		その他の全デバイス	7.0	7.0	7.0	7.0	ns、最大
F _{TCK}	TCK の周波数	SLR ベースのデバイス	20	20	20	20	MHz、最大
		その他の全デバイス	50	50	50	50	MHz、最大

表 89: コンフィギュレーションのスイッチ特性 (続き)

シンボル	説明	スピード グレードおよび V _{CCINT} 動作電圧				単位
		1.0V		0.95V		
		-3	-1H	-2	-1	
BPI マスター フラッシュ モード プログラム スイッチ						
T _{BPICCO}	A[28:00]、RS[1:0]、FCS_B、FOE_B、FWE_B、ADV_B Clock-to-Out	10.0	10.0	10.0	10.0	ns、最大
T _{BPIDCC} /T _{BPICCD}	D[15:00] のセットアップ/ホールド	3.5/0	3.5/0	3.5/0	3.5/0	ns、最小
SPI マスター フラッシュ モード プログラム スイッチ						
T _{SPIDCC} /T _{SPICCD}	D[3:00] のセットアップ/ホールド	3.0/0	3.0/0	3.0/0	3.0/0	ns、最小
T _{SPIDCC} /T _{SPICCD}	D[7:04] のセットアップ/ホールド	3.5/0	3.5/0	3.5/0	3.5/0	ns、最小
T _{SPICCM}	MOSI の Clock-to-Out	8.0	8.0	8.0	8.0	ns、最大
T _{SPICCM2}	D[04] の Clock-to-Out	10.0	10.0	10.0	10.0	ns、最大
T _{SPICFC}	FCS_B の Clock-to-Out	8.0	8.0	8.0	8.0	ns、最大
T _{SPICFC2}	FCS2_B の clock-to-out	10.0	10.0	10.0	10.0	ns、最大
DNA ポートのスイッチ						
F _{DNACK}	DNA ポート周波数	200	200	200	200	MHz、最大
STARTUPE3 ポート						
T _{USRCCLKO}	STARTUPE3 USRCCLKO 入力ポートから CCLK ピンまでの出力遅延	1.00/ 6.00	1.00/ 6.70	1.00/ 6.70	1.00/ 7.50	ns、最小/最大
T _{DO}	DO[3:0] ポートから D03 ~ D00 ピンまでの出力遅延	1.00/ 6.70	1.00/ 7.70	1.00/ 7.70	1.00/ 8.40	ns、最小/最大
T _{DTS}	DTS[3:0] ポートから D03 ~ D00 ピンまでのトライステート遅延	1.00/ 7.30	1.00/ 8.30	1.00/ 8.30	1.00/ 9.00	ns、最小/最大
T _{FCSBO}	FCSBO ポートから FCS_B ピンまでの出力遅延	1.00/ 6.90	1.00/ 8.00	1.00/ 8.00	1.00/ 8.60	ns、最小/最大
T _{FCSBTS}	FCSBTS ポートから FCS_B ピンまでのトライステート遅延	1.00/ 6.90	1.00/ 8.00	1.00/ 8.00	1.00/ 8.60	ns、最小/最大
T _{USRDONEO}	USRDONEO ポートから DONE ピンまでの出力遅延	1.00/ 8.50	1.00/ 9.60	1.00/ 9.60	1.00/ 10.40	ns、最小/最大
T _{USRDONETS}	USRDONETS ポートから DONE ピンまでのトライステート遅延	1.00/ 8.50	1.00/ 9.60	1.00/ 9.60	1.00/ 10.40	ns、最小/最大
T _{DI}	D03 ~ D00 ピンから DI[3:0] ポートまでの入力遅延	0.5/ 2.6	0.5/ 3.1	0.5/ 3.1	0.5/ 3.5	ns、最小/最大
F _{CFGMCLK}	STARTUPE3 CFGMCLK 出力周波数	50	50	50	50	MHz、標準
F _{CFGMCKTOL}	STARTUPE3 CFGMCLK 出力周波数偏差	±15	±15	±15	±15	%、最大
スタートアップ タイミング						
T _{DCI_MATCH}	DCI (デジタル制御インピーダンス) の一致信号がアサートされるまでスタートアップサイクルで待機する時間	4	4	4	4	ms、最大

注記:

1. 分周値が 1 と設定されていて、CCLK が EMCCLK ピンからクロック供給されている場合、外部 EMCCLK はこれらの Low 時間および High 時間の要件を満たす必要があります。

eFUSE プログラム条件

 表 90: eFUSE プログラム条件⁽¹⁾

シンボル	説明	最小	標準	最大	単位
I_{FS}	V_{CCAUX} 電源電流	—	—	115	mA
T_j	温度範囲	-40	—	125	°C

注記:

1. コンフィギュレーション、コンフィギュレーション リードバック、またはリードバック CRC がアクティブな場合を含む、デバイスのコンフィギュレーション中は eFUSE をプログラムしないでください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2019 年 5 月 23 日	1.12	表 3 の I_{BATT} について、XCVU125、XCVU160、XCVU190、および XCVU440 デバイスを使用してデザインする場合の計算に関する注記 4 を更新。LVDS コンポーネント モードに関する注記事項を「パフォーマンス特性」に追加。
2018 年 10 月 30 日	1.11	表 24 に注記 3 を追加。表 42 を追加。表 45 を更新。表 46 を追加。
2018 年 1 月 8 日	1.10	表 4 で説明されているため、「HR I/O バンクの I/O 入力電圧」の V_{IN} に関する注釈を表 1 から削除。表 4 に注記 2 を追加。表 33 の「 F_{REFCLK} 」の説明を更新。表 57 の「 T_{RTX} 」/「 T_{FTX} 」の標準値を小さく。表 75 の「 T_{RTX} 」/「 T_{FTX} 」の標準値を小さく。表 89 に「 $T_{SPICCM2}$ 」および「 $T_{SPICFC2}$ 」を追加。
2017 年 3 月 6 日	1.9	表 24 の SDR の最小値を更新。表 36 の「 $MMCM_F_{DRPCLK_MAX}$ 」および表 37 の「 $PLL_F_{DRPCLK_MAX}$ 」を更新。
2016 年 12 月 22 日	1.8	Vivado Design Suite バージョンを表 20 に示す最新バージョン (v1.23 または v1.24) に更新。『Kintex UltraScale および Virtex UltraScale FPGA のスピード仕様の変更』(XCN16031) に基づいて、デザイン アドバイザリ アンサー AR68169: 『Kintex UltraScale FPGA および Virtex UltraScale FPGA のデザイン アドバイザリ - 新しいバージョンの最小プロダクションスピード仕様 (スピード ファイル) をすべてのデザインで使用する必要がある』のとおり、このデータシートにリストされているデバイスを用いたデザインに対して最小スピード仕様バージョンを変更 (表 22)。 表 33 に「 T_{MINPER_CLK} 」および注記 1 を追加。表 23 および表 24 に HP と HR の最小値を追加。表 36 に「 $MMCM_F_{DRPCLK_MAX}$ 」、表 37 に「 $PLL_F_{DRPCLK_MAX}$ 」を追加。表 68 を追加。「自動車のアプリケーションの免責条項」を更新。
2016 年 4 月 4 日	1.7.1	日付およびバージョンの更新。
2016 年 4 月 1 日	1.7	表 20、表 21、表 22 で、次のデバイス/スピード/温度グレードを Vivado Design Suite 2016.1 で Production リリースに更新。これらの変更に伴い、XC Virtex UltraScale FPGA が Production ステータスになる。 XCVU065: -3E (1.0V) デバイス XCVU125: -3E (1.0V) デバイス XCVU440: -3E (1.0V) デバイス 表 26 で、LPDDR3 を追加、注記に LRDIMM を追加、注記 6 を削除。 表 32 に「ブロック RAM および FIFO の Clock-to-Out 遅延」セクションを追加。

日付	バージョン	内容
2016年3月2日	1.6	<p>Vivado Design Suite 2015.4.2 のスピード仕様に合わせて表 20、表 21、および表 22 を更新。 -1HE (1.0V) および -1HE (0.95V) スピード/温度グレードの XCVU065、XCVU080、XCVU095、XCVU125、XCVU160、および XCVU190 のデバイスを Production に更新 (表 22)。この新しい仕様で表 43 の -1HE (1.0V) 仕様を更新。 表 26 に注記 1 を追加。表 30 で LVCMOS および LVTTTL の V_{MEAS} を更新。表 72 を追加。</p>
2015年12月16日	1.5	<p>「電源投入/切断シーケンス」セクションを更新。Vivado Design Suite 2015.4.1 v1.20 のスピード仕様に合わせて適宜表 20、表 21、および表 22 を更新。 -2E/-2I (0.95V)、-1I (0.95V) スピード/温度グレードの XCVU065 および XCVU125 デバイスを Production に更新 (表 22)。 表 43 の XCVU065 値を変更。</p>
2015年11月24日	1.4	<p>文書全体で -1HE (1.0V および 0.95V) スピード グレードを追加。 表 2 の「GTH または GTY トランシーバー」セクションを変更。 Vivado Design Suite 2015.4 v1.19 のスピード仕様に合わせて表 20、表 21、表 22、表 27、表 28 を更新。 -3 (1.0V)、-2 (0.95V)、-1 (0.95V) スピード/温度グレードの XCVU160 と XCVU190 デバイス、および -2、-1 スピード/温度グレードの XCVU440 デバイスを Production リリースに更新 (表 22)。 表 69 を更新、表 74 に -1HE の値を追加。</p>
2015年10月12日	1.3	<p>表 3 の「I_{CCADC}」の説明を更新。 「電源投入/切断シーケンス」の説明を更新。 Vivado Design Suite 2015.3 v1.18 のスピード仕様に合わせて表 20、表 21、表 22、表 27、表 28 を更新。 -3 (1.0V)、-2 (0.95V)、-1 (0.95V) スピード/温度グレードの XCVU095 および XCVU080 デバイスを Production に更新 (表 22)。 表 59 にプロトコルを追加。表 66 の「$V_{CMOUTDC}$」を更新。表 75 および表 76 にデータを追加。 表 89 で、「F_{SCCK}」、「F_{EMCCK}」、「F_{RBCK}」、「F_{TCK}」の各値を更新し、「スタートアップタイミング」属性を追加。</p>
2015年7月27日	1.2	<p>表 18 および表 19 で、注記 2、注記 3、注記 4 を更新。 Vivado Design Suite 2015.2 v1.16 のスピード仕様に合わせて表 20、表 38 ~ 表 44 を更新。 表 89 の「STARTUPE3 ポート」の説明を更新。表 90 の注記 1 を更新。</p>
2015年5月29日	1.1	<p>データシート全体の更新。改訂履歴では、包括的な更新内容ではなく、一部の主要な更新内容のみを記載。 表 1 の注記 2 および注記 3、表 2 の注記 3、注記 4、および注記 6 を更新。表 3 にデータおよび注記 2 を追加。表 6 の注記 3 を更新。「電源投入/切断シーケンス」セクションを更新。表 8 の説明を更新。表 12 の「MINI_LVDS_25」および「RSDS_25」について、V_{OCM} の最大値を変更。表 14 の V_{ICM} の仕様を変更。表 16 および表 17 から行を削除。表 18 で、V_{OH} および V_{OL} の行を削除、V_{OCM} の最大値を変更、V_{ICM} を変更。表 19 で、V_{OH} および V_{OL} の行を削除、V_{ICM} を変更。Vivado Design Suite 2015.1 v1.15 のスピード仕様に合わせて表 20、表 27、表 28 を更新。表 29 に注記 1 を追加。 「I/O 規格での調整計測方法」。表 33 の「F_{REFCLK}」を更新。表 36 の「$MMCM_{FINMAX}$」および「$MMCM_{TLOCKMAX}$」を更新。表 37 の「PLL_{FINMAX}」の説明を更新。35 ページおよび 37 ページのデバイス Pin-to-Pin パラメーター値についての説明を追加。表 45 を更新。表 47 のパッケージ情報を更新。「$V_{CMOUTDC}$」を更新し、表 48 に注記 2 を追加。表 50 および表 54 を追加。表 57 および表 58 を更新。プロトコルの特性に関するセクションを更新し、「GTH トランシーバーの電気的仕様への準拠性」セクションに統合。表 69 の F_{GTYMAX}、$F_{GTYQRANGE1}$、および $F_{GTYQRANGE2}$ の最大値の一部を更新。表 74 の F_{RXIN2} (内部ロジックのデータ幅の条件) を更新。プロトコルの特性に関するセクションを更新し、「トランシーバーの電気的仕様への準拠性」セクションに統合。表 83 の「F_{LCLK}」値を更新。表 85 の「$F_{CORECLK}$」および注記 1 を更新。表 86 の「オンチップセンサーの精度」、「オンチップ基準電圧」、および注記 5 を更新。表 89 に、スピード仕様、「STARTUPE3 ポート」、注記 1 を追加し、この表の「T_{POR}」、「T_{PL}」、「$F_{MCCKTOL}$」、「F_{RBCK}」の値を更新。</p>
2014年7月10日	1.0	初版

免責事項

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で(with all faults)という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとします。また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<https://japan.xilinx.com/legal.htm#tos>で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<https://japan.xilinx.com/legal.htm#tos>で見られるザイリンクスの販売条件を参照してください。

自動車用のアプリケーションの免責条項

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティアプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品の責任の制限を規定する適用法令および規則にのみ従うものとします。

© Copyright 2014-2019 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他各国のザイリンクス社の商標です。すべてのその他の商標は、それぞれの保有者に帰属します。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。