



XAPP1276 (v1.2) 2019 年 10 月 30 日

ギガビット トランシーバーのフラクショナル PLL を使用したデジタル VCXO の置き換え

著者: David Taylor、Matt Klein、Vincent Vendramini、Antonello Di Fresco

概要

このアプリケーション ノートでは、FPGA の外部に配置する電圧制御水晶 オシレーター (VCXO) の代わりとして、ギガビット トランシーバー内の機能とその関連する PLL を使用して設計したシステムを紹介します。

注記: このアプリケーション ノートでいう「トランシーバー」とは、次に示す各トランシーバーのことです。

デバイス ファミリ	トランシーバー タイプ
Virtex® UltraScale™ FPGA	GTY トランシーバー
Kintex UltraScale+™、Virtex UltraScale+ FPGA、Zynq® UltraScale+ デバイス	GTH、GTM、および GTY トランシーバー

いずれの場合も共通する設計要件は、入力ソースに対してトランシーバー出力の周波数ロックまたは位相ロックすることです (ループ、回復、スレープ タイミングとして知られている)。一般的に FPGA ロジックをベースとするクロックはノイズが大きいため、高品質の基準クロックをトランシーバーに提供するには、クロック クリーニング デバイス (VCXO および PLL コンポーネント) を FPGA の外部に配置する必要があります。これらの外部クロック コンポーネントは非常に効果的ですが、それぞれにクロック チャネルが生成されるため、消費電力とコストがさらにかかります。チャネルを多用するシステムやコスト重視のシステムでは、このコストが非常に大きな影響を与えます。また、外部クロック ソースを多数追加した場合には、ボード レベルでのクロストークや干渉の問題が大きくなります。

このアプリケーション ノートで説明するシステムは、これらの外部クロック コンポーネントに代わる効果的な方法として、高性能 FPGA ロジックをベースとするデジタル PLL (DPLL) とザイリンクス トランシーバーのフラクショナル PLL (fPLL) を使用します。各クワッド PLL (QPLL) には、専用インターフェイスを使用して小数点を伴う数値で周波数を制御できる機能があります。この専用インターフェイスは、QPLL で小数値のフィードバック機能を可能にするために、シグマデルタ変調器 (SDM) を制御します。主な QPLL フィードバックは、SDM 制御ワードに基づいて小数値で制御され、N と N+1 間でフィードバック比率を調節することで高精度の周波数制御を可能にします。制御入力は静的に設定できますが、FPGA ロジック ベースの DPLL システムから動的に制御も可能です。

リファレンス デザイン回路では、使用される各 QPLL にインスタンシエートできる DPLL とトランシーバー fPLL の完全統合システムを提供しています。QPLL の公称動作レートは FPGA 外部に接続された水晶 オシレーター (XO) を使用して設定され、fPLL 機能を使用して、入力基準信号に対して出力を位相ロックまたは周波数ロックできます。DPLL は、ランタイム時にパラメーター (ゲイン、カットオフ周波数、クロック分周値など) 設定可能な同期 QPLL 出力を生成できるため、ユーザーはエンド アプリケーションに応じた動作をセットアップできます。これにより、基準入力信号や DPLL クリーニング帯域幅に柔軟に対応できるようになります。

リファレンス デザインの回路では、主な fPLL 分周器の設定 (N ~ N+1 のすべての小数値) で QPLL をロックでき、0.1Hz ~ 1kHz のジッター クリーニング帯域幅を提供します。UltraScale FPGA のトランシーバーは約 30Gb/s⁽¹⁾ で動作可能です。この回路の代表的なアプリケーションには、ビデオ SD/HD、Sync E、IEEE1588、SDH、SONET、OTN があります。

このシステムは、7 シリーズおよび UltraScale デバイスで利用できる定評のある PICXO (Phase Interpolator Controlled Crystal Oscillator) を補完する機能を提供します (『ギガビット トランシーバー アプリケーションにおけるデジタル VCXO の置き換え』(7 シリーズ/Zynq-7000) (XAPP589) [参照 1] および『ギガビット トランシーバー アプリケーションにおけるデジタル VCXO の置き換え』(UltraScale FPGA) (XAPP1241) [参照 2] を参照)。ただし、fPLL と PICXO のインプリメンテーションは異なります。PICXO は、入力 QPLL または CPLL ビット レート クロックに基づいてトランシーバーの出力でレーンごとにトランシーバー クロックを操作しますが、fPLL は QPLL クロック出力レートを直接操作します。したがって、それぞ

1. トランシーバーと fPLL でサポートされる最大ラインレートは、デバイスおよびファミリによって異なります。最新の仕様は、該当するトランシーバーのユーザー ガイドおよびデータシートに記載されています。

この手法には使用法の違いがあります。具体的には、fPLL は QPLL 0 と QPLL 1 から小数値対応の 2 つのクロック出力を提供でき、これらはクワッド グループ内の 4 つのトランシーバーで共有できます。

また、fPLL は位相インターポレーションベースの PICXO より低いジッターを提供します。したがって、ジッター要件が厳しいアプリケーション (SDH (同期デジタル階層)/Sonet または OTN (光伝送ネットワーク) システムなど) や、CPRI (Common Packet Radio Interface) または IEEE1588 などの制御された TX レイテンシが必要なアプリケーションに最適です。これらは、FRACXO (小数値で制御されるクリスタル オシレーターを使用することで対応できます)。

このアプリケーション ノートのリファレンス デザイン ファイルは、ザイリックスのウェブサイトからダウンロードできます。デザイン ファイルの詳細は、19 ページの「リファレンス デザイン」を参照してください。

Virtex UltraScale FPGA トランシーバーの fPLL 動作の詳細は、『UltraScale アーキテクチャ GTY トランシーバー ユーザーガイド』(UG578) [参照 3] を参照してください。スイッチング特性の詳細は、『Virtex UltraScale FPGA データシート: DC 特性および AC スイッチ特性』(DS893) [参照 4] を参照してください。

このアプリケーション ノートでは、Fractional N PLL の理論については言及しませんが、関連する内容を多数提供しています。ここでは、『UltraScale アーキテクチャ GTY トランシーバー ユーザーガイド』(UG578) で推奨されている Dynamic Frac-N 例のすぐに使えのソリューションを紹介し、図 1 は、ファブリック ベースの PLL が GTY Frac-N PLL による制御機能を提供し、外部ソースにロックする構造を示しています。

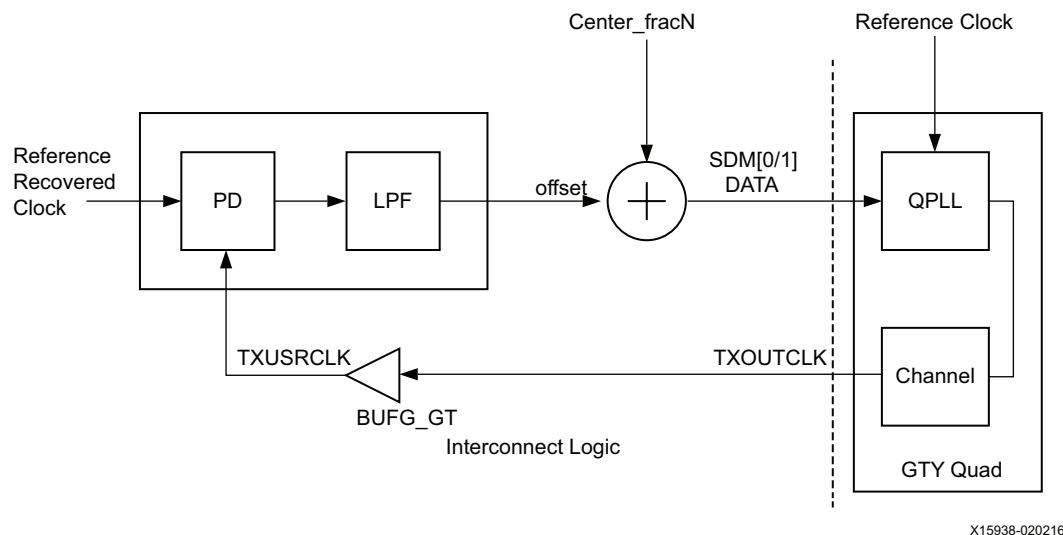
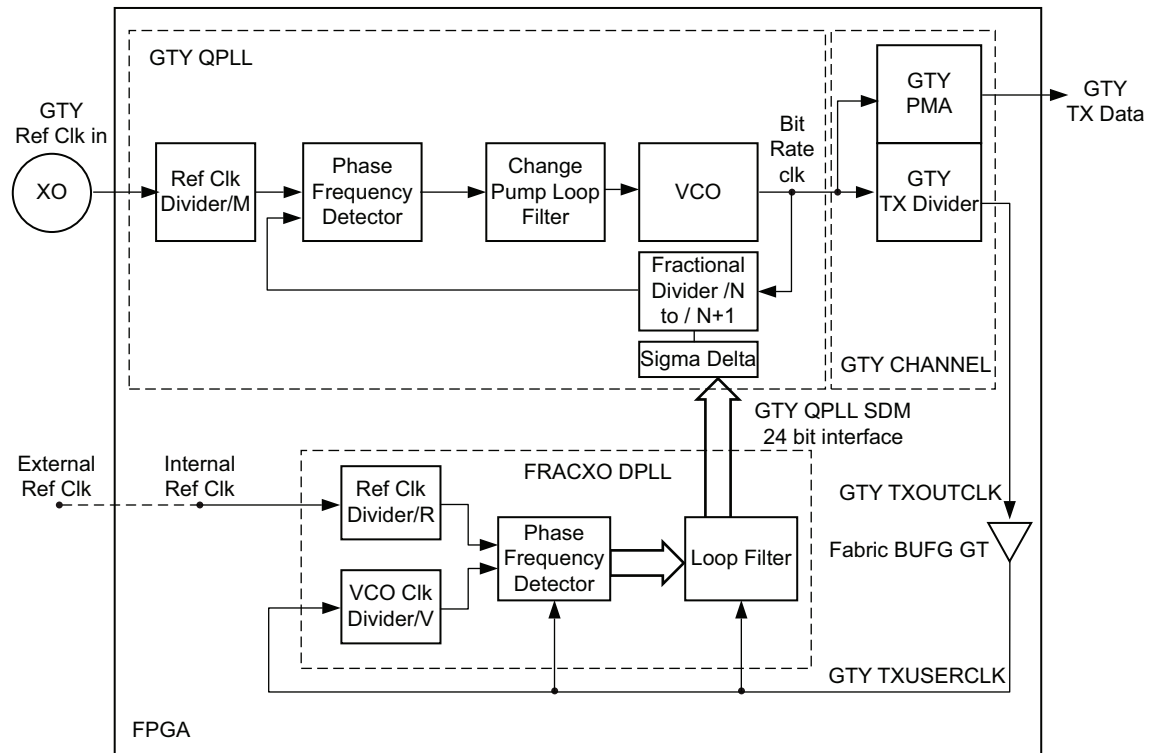


図 1: SDM アプリケーションの例

fPLL は、Virtex UltraScale FPGA の GTY QPLL 内、およびすべての UltraScale+ デバイスの QPLL にあります。QPLL は自己完結型で、ユーザーが指定できる属性 (M および N) を使用して、XO 内で外部基準クロックを必要なビット レートに逡倍します。これで、トランシーバーのベース ビット レート クロックが生成されます。

SDM 機能が有効の場合、SDM データ ポートと小数点に対応する機能はアクティブになります。SDM データ設定がベース設定値の N と N+1 の間で小数分周値を調整し、高精度 (ここでは 2²⁴ ビット) の非整数ビット レートを QPLL から出力できます。

SDM データ ポートが単独の DPLL (ここでは FRACXO DPLL) から駆動される場合は、主要 PLL クロックを単独の同期基準信号にロックできます。このコンフィギュレーションを図 2 に示します。この DPLL は同期基準信号のジッターを除去する機能も提供し、また FRACXO DPLL は 1kHz 未満の転送帯域幅で動作するように設計されているため、外部の VCXO やクリーニング PLL システムの置き換えとなるオンチップ ソリューションとして利用できます。



X15944-022316

図 2: システムの概要

図 2 に示すシステムの設定例を次に説明します。GTy TX データ出力は、公称レート 10.3125Gb/s で動作し、fPLL を使用してトランシーバーのリカバリ クロック 257.8125MHz にロックする必要があります。

まず最初に、必要な出力周波数に基づいて外部 XO を選択する必要があります。fPLL は、SDM の入力ワードに基づいて N と N+1 間の分周比で動作できることを考えると、公称レートは整数の倍数に設定されるべきではありません。これで範囲調整が可能になります。さらに、UltraScale FPGA の GTy トランシーバーの場合、fPLL はその範囲の 1/64 でのみ動的に調整可能で、粗調整はユーザーが指定する固定値となります。これで、連続調整の境界が生じ、N と (N+1) 間が 64 分割されたサブ調整範囲となります。つまり、有効な調整範囲は、 $(N+m/64) \sim (N+(m+1)/64)$ となり、N は QPLL の分周比で m はユーザーが指定する動的調整範囲 (0 ~ 63) となります。

UltraScale FPGA の GTy トランシーバーで最初の調整範囲が使用される ($m = 0$) 場合は、必要な分周器の比率を $(N+0.5/64)$ として定義して、基準となる中心調整周波数を生成できます。N は任意の有効値を設定できます。たとえば、N を 40 に設定できます。

$10.3125\text{GHz} = \text{XO 周波数} \times (N+0.5/64)$ という等式を解くと、XO の公称レートは 257.762MHz と算出されます。これで、 $257.762\text{MHz} \times 40 \sim 257.762\text{MHz} \times 40.015625\text{MHz}$ という全調整範囲が算出されます。この設定の fPLL の連続調整範囲は 10.31048GHz ~ 10.31451GHz、つまり公称レートの $\pm 195\text{ppm}$ となります。ユーザーは、QPLL リセット後の動的な周波数シフトの最大値を公称値の $\pm 200\text{ppm}$ で維持する必要があります。

いかなる FRACXO のユース ケースにおいても、トランシーバーの SDM 仕様を満たすことはユーザーの責任です。詳細は、該当デバイスのユーザー ガイドおよびデータシートを参照してください。現在、次の制限があります。

- UltraScale と UltraScale+ 両デバイス: QPLL リセット イベント後、サポートされる動的な SDM 変動の最大値は $\pm 200\text{ppm}$ です。
- UltraScale デバイスのみ: 下位 18 ビットのみ動的に調整する必要があります。

FRACXO は、これらの条件を確実に満たすために使用できるプログラム可能なリミッター機能を提供します。

FRACXO DPLL は、SDM 入力を直接制御して TXUSERCLK を入力基準クロックにロックさせます。TXUSERCLK は、QPLL から直接派生するため、システムを任意の基準信号にロックさせることができます。FRACXO DPLL には整数分周器 R および V があるため、これらを入力周波数 TXUSERCLK と入力基準クロックに応じて設定する必要があります。この際の要件として、システムをロックさせるには、FRACXO 位相周波数検出ブロックの比較周波数が同じ必要があります。

す。サンプルデザインでは、リカバリ クロックのレートと TXUSERCLK のレートが同じため、R と V は同じ値になります。通常、FRACXO DPLL は相対的に低い比較周波数 (例: 2MHz 以下) で動作して、総伝送帯域幅を 1kHz 未満にします。FRACXO デザインのスプレッドシートを使用すれば、制御設定に基づいて入力基準クロックと出力 TX データ信号間の伝達関数を予測できます。動作の詳細は「FRACXO DPLL」で説明していますが、一般的な使用モデルは、より高ノイズで低速な入力クロックに出力がロックできるようにするための FRACXO DPLL 機能であり、従来型の VCXO 機能を再現したものとなります。

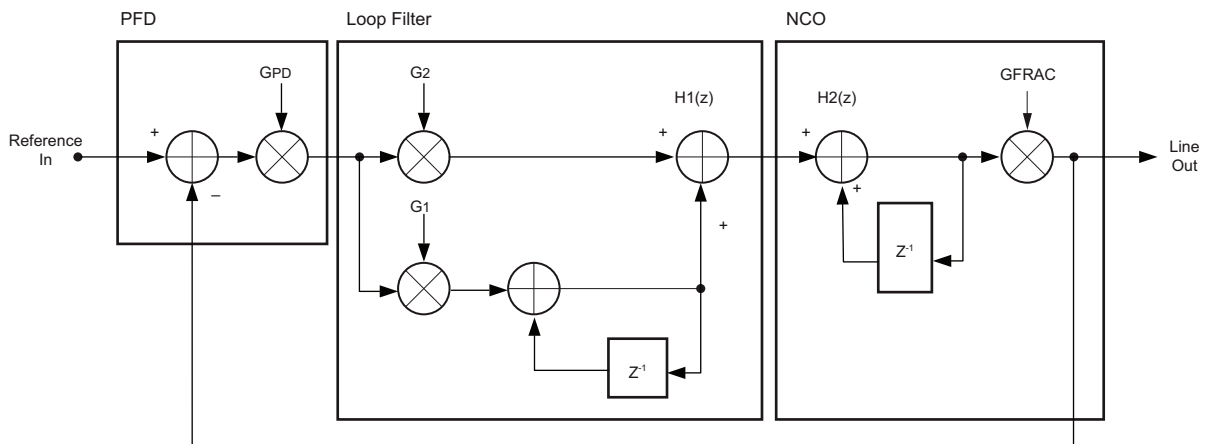
FRACXO DPLL

基準信号にロックした信号を QPLL で生成するには、FRACXO のパラメーターを適切に設定する必要があります。DPLL は、このセクションで表す伝達関数の微分を使用する一般的な方法を用いて解析できます。

解析用として、FRACXO DPLL 回路を次の 3 つの機能ブロックに分けて考えます。

1. 位相周波数検出器 (PFD): 低位相ノイズ、高ダイナミック範囲、ゲイン G_{PD} を使用する線形応答をサポートするように設計された高性能なオーバーサンプリング ベースの回路です。
2. ループ フィルター: ゲインは G_1 および G_2 で定義されます。出力は、トランシーバーの fPLL SDM で必要な調整値を示します。ゲイン値は、 2^{G_1} および 2^{G_2} で増幅します。
3. NCO (Numerically Controlled Oscillator): 数値制御されたオシレーター機能がトランシーバーで実行され、 G_{FRAC} のゲインがあります。

これらは、図 3 に示す一般的な DPLL コンフィギュレーションで構成されます。



X15939-092419

図 3: FRACXO DPLL デジタル等価回路

基準入力クロックからライン出力データまでの伝達は、式 1 ~ 式 3 の関数を用いて表すことができます。これによって、デジタルの VCXO 代用回路によるクロック クリーニングとトラッキング機能をユーザー アプリケーションで正確に制御できるようになります。

$$H(z) = \frac{H1(z)H2(z)G_{PD}}{1 + H1(z)H2(z)G_{PD}} \tag{式 1}$$

次の 2 つの式を使用:

$$H1(z) = \frac{(g1 + g2)z - g2}{(z - 1)} \tag{式 2}$$

$$H2(z) = \frac{z(G_{FRACXO})}{(z - 1)} \tag{式 3}$$

FRACXO デザイン ファイル パッケージに含まれる Excel 形式のブレッドシート ツールを使用して、上記にリストされたパラメーター値を設定した場合の FRACXO の応答を予測できます (図 4)。FRACXO DPLL は完全に柔軟な設定が可能ですが、エンド システムにおける PLL の性能トレードオフを理解しておくことが重要です。

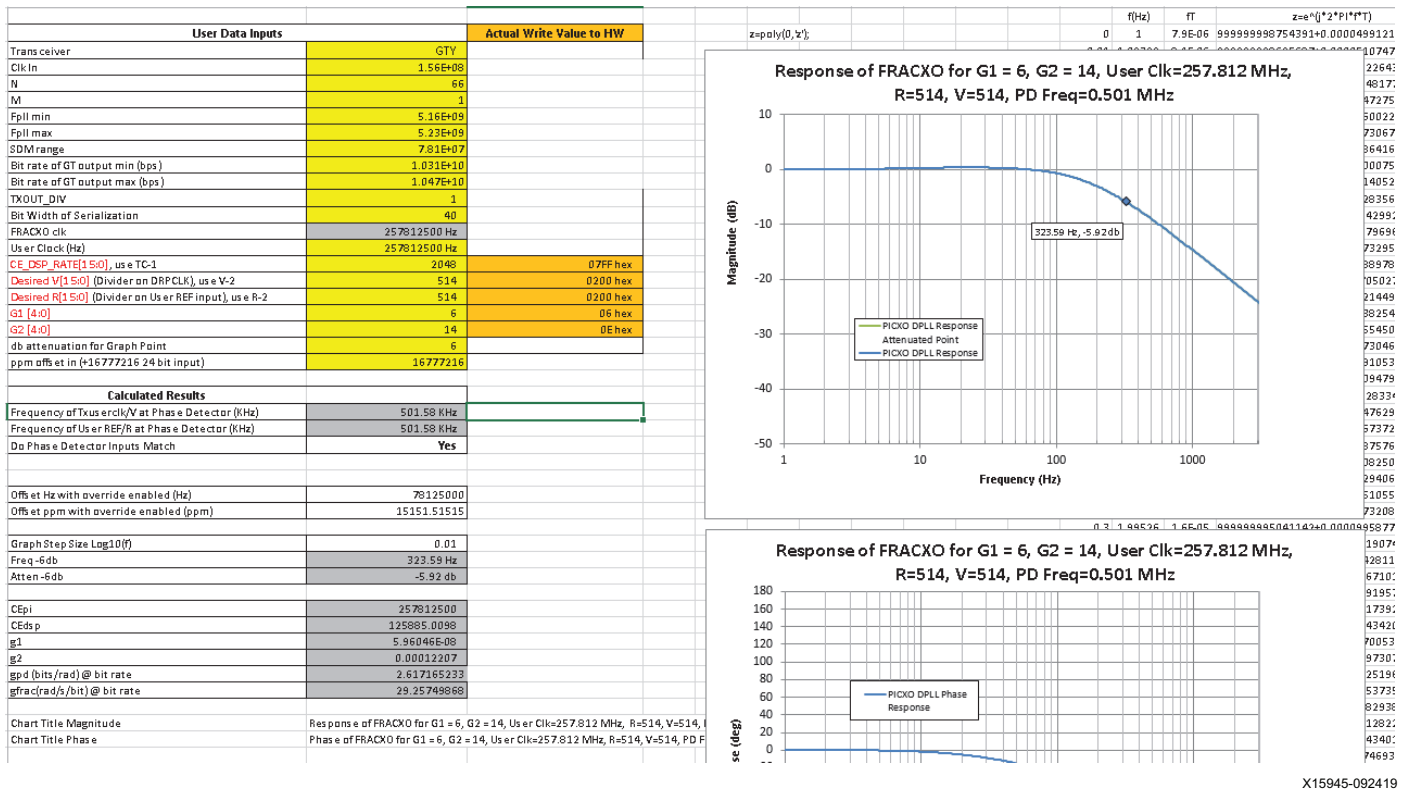


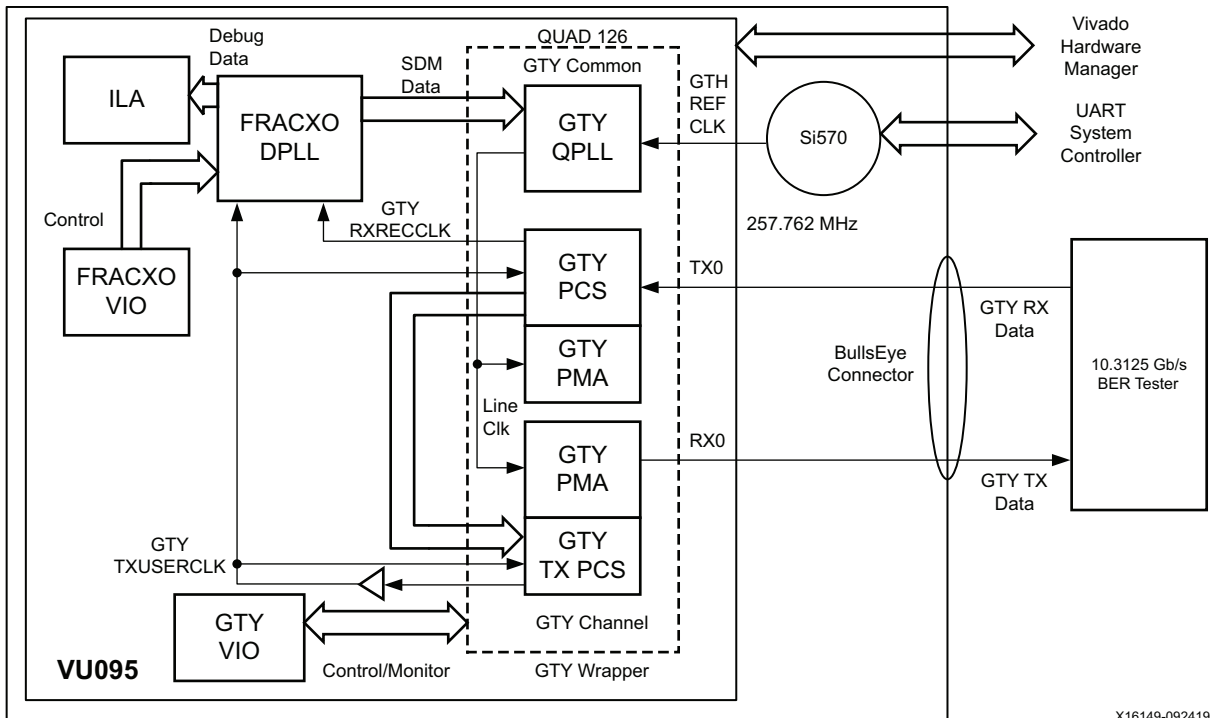
図 4: FRACXO DPLL スプレッドシートを使用した計算例

最適なジッターとクリーニング性能を達成するには、FRACXO DPLL の帯域幅を 1kHz 未満にすることが推奨されます。より高いトラッキング帯域幅を達成することは可能ですが、ジッターが大きくなります。ロックする際は高帯域幅で、その後のクリーニングでは低帯域幅にできると理想的です。これは DLL での迅速な同期化方法として知られています。

DPLL アーキテクチャでは、この方法をサポートするために、位相ロックを失うことなく G_1 と G_2 の値を変更できます。このような変更は、変数 G_1 および G_2 値を適用することで、ユーザー ロジックで対応可能です。ゲイン値を切り替える適切な地点を確定する 1 つの方法として、DPLL からのエラー出力を監視する必要があります。

fPLL FRACXO サンプル デザイン

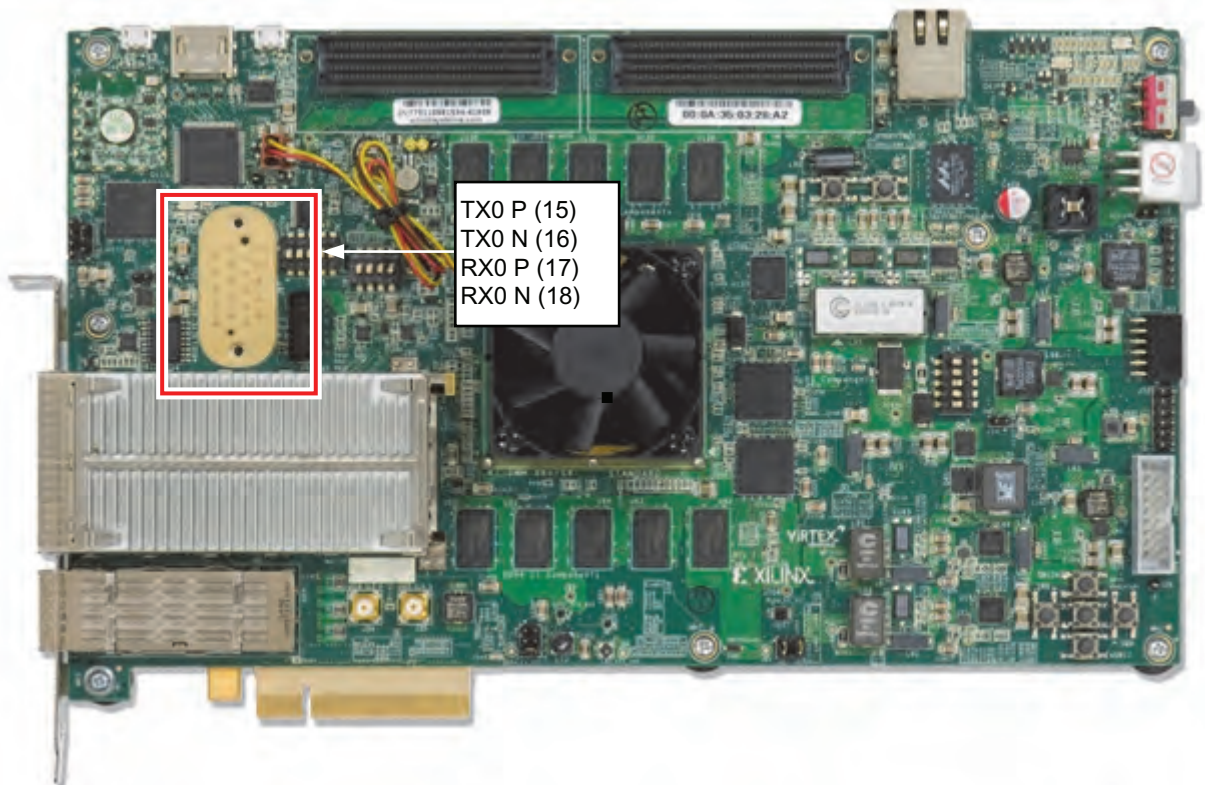
このセクションでは、VCU108 ボードにインプリメントされたサンプル FRACXO デザインの測定例を示します。システムは 10.3125Gb/s (公称) のループタイム デザインとして構成されています (図 5)。つまり、GTY トランシーバーの入力でデータが受信され、fPLL で生成されたクロックを使用して再送信されます。fPLL は、FRACXO DPLL のライン データから受信したリカバリ クロックへロックし、ジッターを除去します。システムは、fPLL 動作セクションで使用したサンプル デザインにより、257.762MHz の基準クロックで動作します。



X16149-092419

図 5: サンプル デザインのブロック図

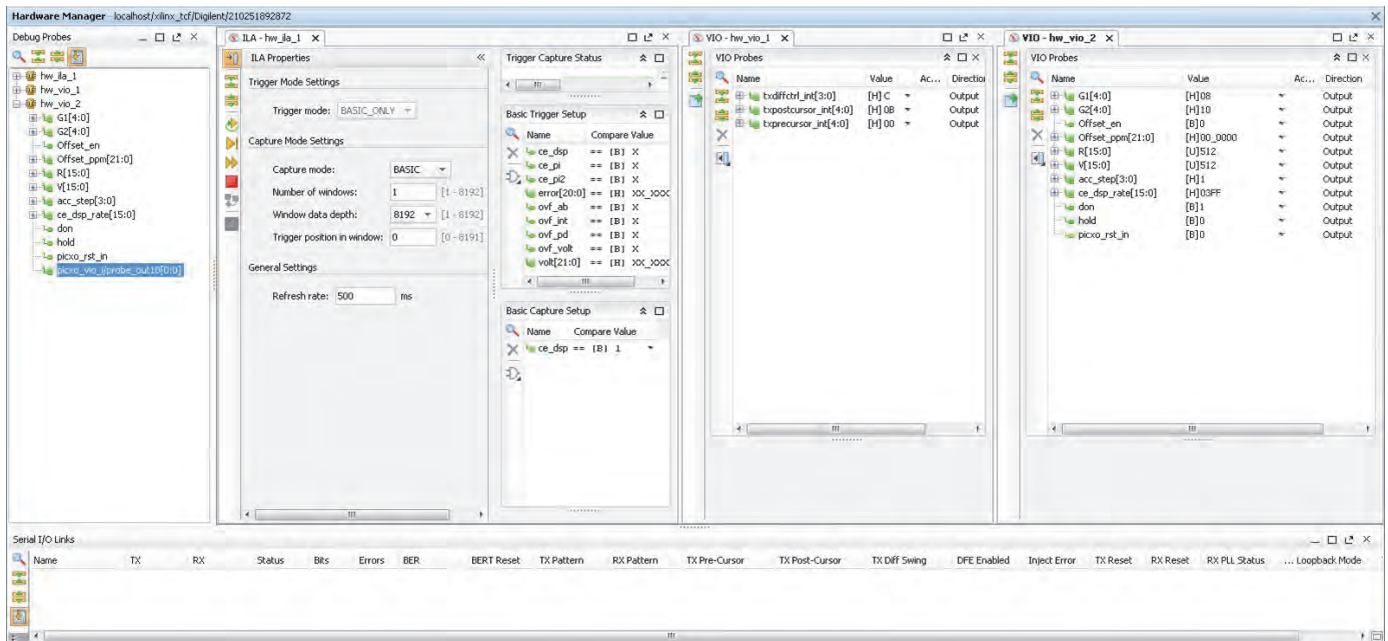
GTY クワッド 126 への接続には、図 6 のように BullsEye ケーブルを使用します。GTY の基準クロックは、オンボードの Si570 クロック ジェネレーターからの MGTREFCLK1 をソースとしています。Si570 は、UART インターフェイスとシステム コントローラーを使用して 257.762MHz に設定可能です。この手順の詳細および VCU108 の詳細は、『VCU108 評価ボード ユーザー ガイド』(UG1066) [参照 5] を参照してください。



X16150-022216

図 6: VCU108 の接続

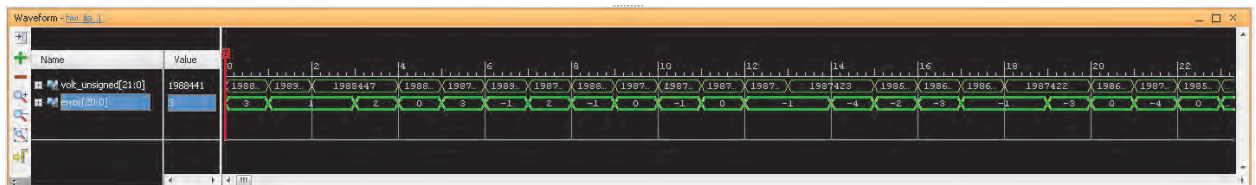
Vivado ハードウェア マネージャーを使用してデザインをロードすると、[図 7](#) のようなインターフェイスが表示され、FRACXO の設定変更可能なパラメーターと GTY ドライバー出力へアクセスできます。デフォルトの VIO (Virtual Input/Output) 設定では、FRACXO はロックとデバイス経由のデータループが可能です。その他のデバッグ情報に関しては、ILA (Integrated Logic Analyzer) が統合されているため、これを使用して FRACXO の動作を監視できます (エラー、電圧など)。



X16151-092419

図 7: Vivado ハードウェア マネージャー コンソール

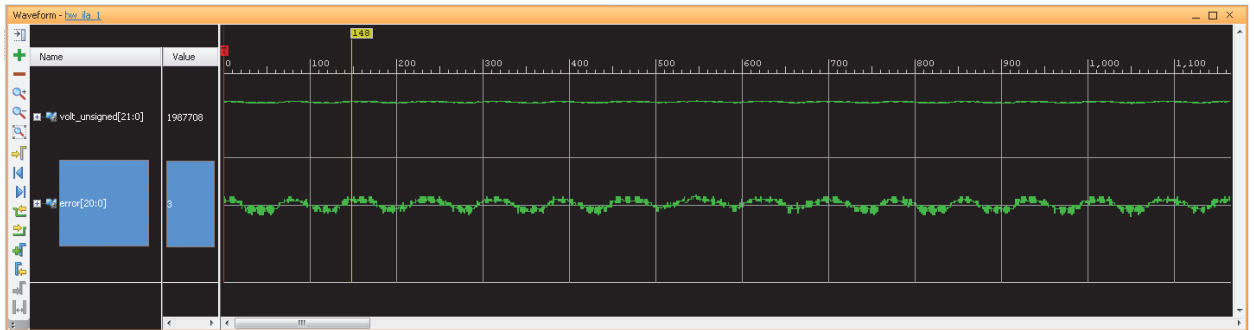
[図 8](#) に、ロックされたシステムで ILA を使用してキャプチャされたエラーおよび電圧のデータを示します。



X16152-022216

図 8: ロックされたシステムのエラーと電圧

これは、アナログ表示されたウィンドウでエラーや電圧のトレースを検証できるため非常に便利です。CE_{DSP} をアクティブにしてキャプチャした波形で、DPLL の時間領域の性能を検証できます (図 9)。



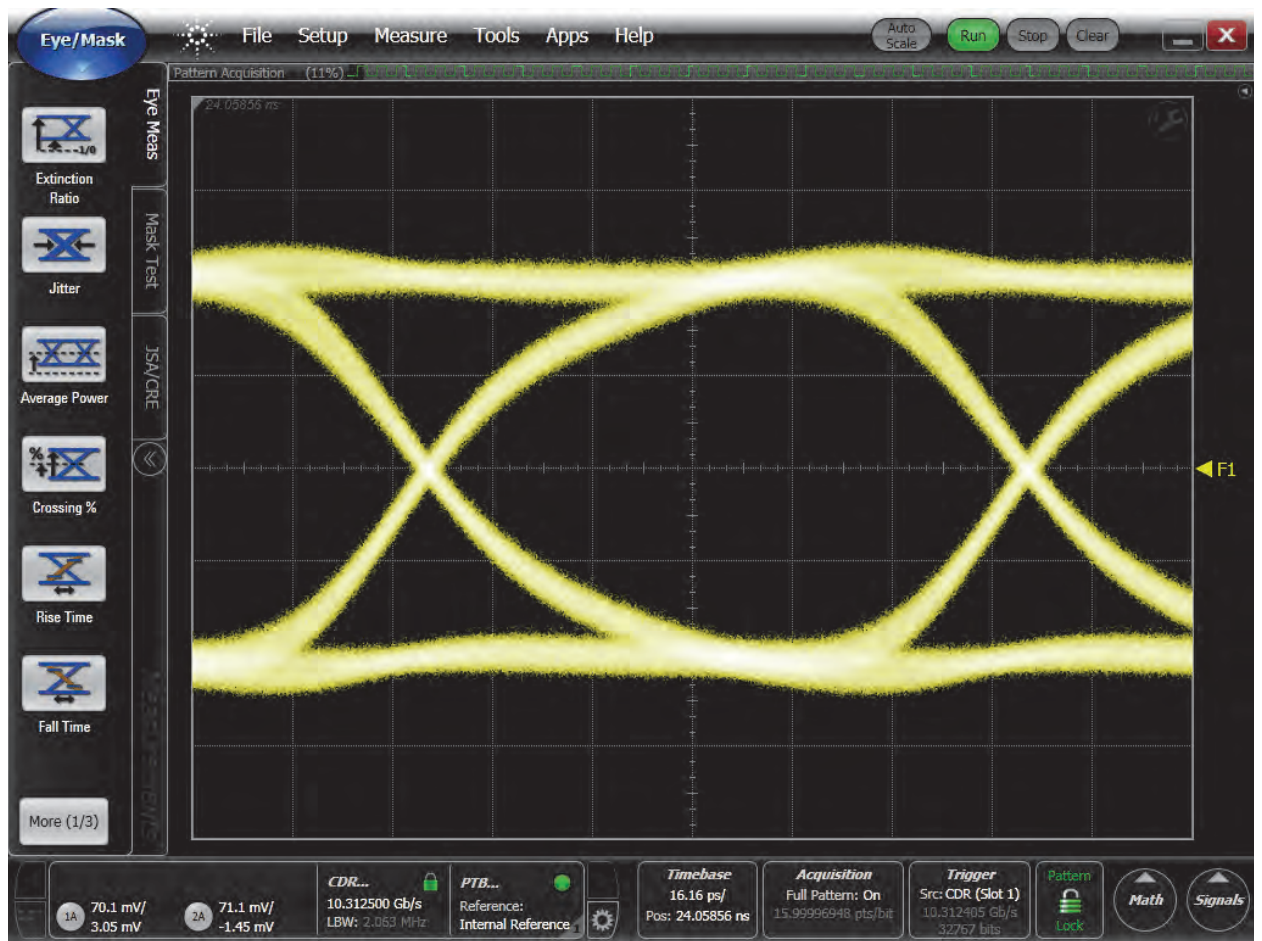
X16153-022216

図 9: アナログ表示されたエラーおよび電圧

エラー信号はオンチップ位相検出器の累積出力を示し、ロック時は通常 0 となります。電圧はフィルターにかけられて SDM ポートへ出力され、値は QPLL で生成された現在の周波数を示します。電圧の全範囲は、SDM のダイナミック動作範囲を表し、粗調整値で選択された領域 $N \sim N+1$ の間の $1/64$ の領域となります。したがって、この例の粗調整値は 0 となります。volt 信号の上位 18 ビットが DPLL ループの一部として使用されて、SDM 制御ワード全体が構成されます。

UltraScale+ デバイスを使用する場合、UltraScale デバイスのようなサブチューニングバンドがないため、FRACXO 制御が異なります。つまり、「FRACXO DPLL アーキテクチャの概要」で説明するように、より柔軟なアプローチが適用されることとなります。UltraScale と UltraScale+ 両方のデバイスで、QPLL リセット時の調整範囲は公称 QPLL 周波数から $\pm 200\text{ppm}$ に従う必要があります。

図 10 ~ 図 11 に、FRACXO と fPLL GTY が入力データにロックされた公称値 10.3125Gb/s を生成している場合の出力データの出力波形とジッター分解を示しています。GTY トランシーバーの TX ポストカーソル TX プリエンファシスが設定されているため、チャンネル損失を最小限に抑え、シンボル間干渉を低減させることができます。



X16154-022216

図 10: 10.3125Gb/s の出力



X16155-022216

図 11: 10.3125Gb/s の出力とジッター分解

FRACXO DPLL アーキテクチャの概要

デジタル PLL とクロック クリーナーの完全ソリューションは、QPLL の ϕ PLL、トランシーバー チャンネル、FRACXO DPLL、および外部クロック ソース (XO) で構成されるシステムを使用して構築できます。QPLL とチャンネルの FRACXO マクロの動作は、図 2 の機能ブロック図に示しています。

基準クロックまたはパルスは REF_CLK_I に適用されます。位相周波数検出器 (PFD) は立ち上がりエッジでトリガーされるため、入力にはあらゆるデジタル クロックやイネーブル信号が可能で、ソースはローカル FPGA ロジックまたは任意のクロック バッファ ネットワークから供給できます。または、ユーザー定義のピンを介して外部入力から供給することも可能です。

FRACXO クロックは、TXOUTCLK から派生し、通常はデータ インターフェイス用に使用される TXUSERCLK と共有されます。プログラム可能な分周器 R および V を使用して、FRACXO クロックと基準クロック clk (REF_CLK_I) を共通の比較周波数に通倍します。これで、DPLL は TXOUTCLK にロックでき、QPLL は基準入力にロックできます。

エラー値 (累積した位相値) は、従来のデジタル比例積分制御回路を使用するフィルター ブロックに入力されます。volt 値は、QPLL の調整周波数を直接制御する QPLL の SDM 入力ポートに送信されます。DPLL は、主要 TXOUTCLK とそれより低速な CE_DSP の 2 つのクロックで動作して、位相エラーの累積のための積分時間を設定し、その結果としてベース DSP ループの更新レートを設定します。

DPLL の周波数応答、REF_CLK_I と QPLL 出力間の伝達関数は、主に G_1 、 G_2 、および RANGE の値で制御され、ループを安定させるために常に G_2 値は G_1 より大きくなります。応答は、TXOUTCLK 周波数、分周器 V、および

CE_DSP_RATE の値と共に、 G_1 、 G_2 、および RANGE の設定値の影響を受けます。デザインファイルには、周波数応答を予測するためのスプレッドシートが提供されています。

FRACXO デザインのその他のポートは次のように使用できます。

- CENTRE_F: システムの開始 SDM 値を設定します。UltraScale+ デバイスのみに適用されます。
- SDM_MAX_I: SDMDATA ポートに適用される最大値を設定するためのプログラム可能なリミッター値です。UltraScale+ デバイスのみに適用されます。
- SDM_MIN_I: SDMDATA ポートに適用される最小値を設定するためのプログラム可能なリミッター値です。UltraScale+ デバイスのみに適用されます。
- DON_I: PFD にディザ機能を追加して、ベースの量子化ステップを線形化します。
- DISABLE: DPLL からの Volt 出力を無効にして、CENTRE_F の SDM 値を手動でオーバーライドできるようにします。UltraScale+ デバイスのみに適用されます。
- HOLD: 現在の値で volt 値をフリーズさせて、入力基準信号が除去された場合に現在の出力周波数を維持するために使用できます。
- SDM(23:18): フラクショナル QPLL SDM 値の粗調整をします。動作中は定数になります。UltraScale デバイスの GTY トランシーバーにのみ適用されます。
- OFFSET_PPM: 有効の場合、周波数を手動制御するためのユーザー制御入力を提供できます。UltraScale デバイスの GTY トランシーバーにのみ適用されます。

通常、この回路は生成された各ラインレートに対して BUFG_GT を 1 つ使用します。このクロックはロック時に基準クロックと同期しているため、その他の下位ユーザー ロジックに使用できます。図 12 に、UltraScale デバイスの GTY トランシーバーの DPLL 詳細図を示します。

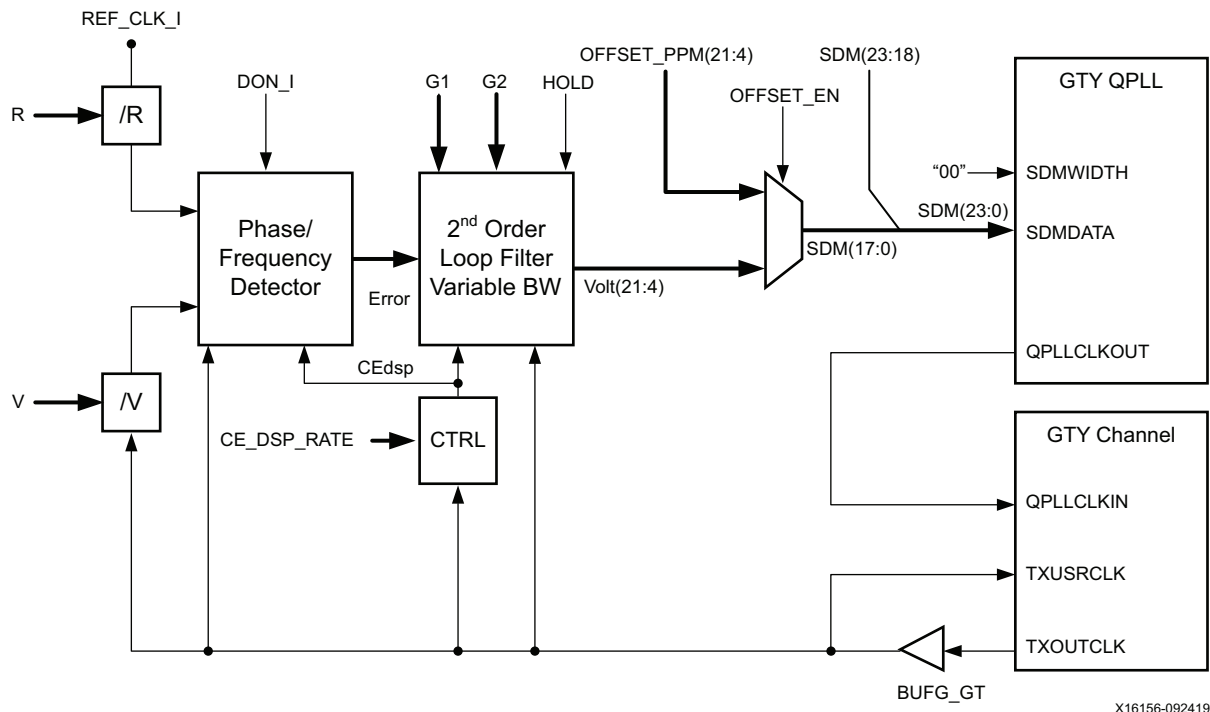
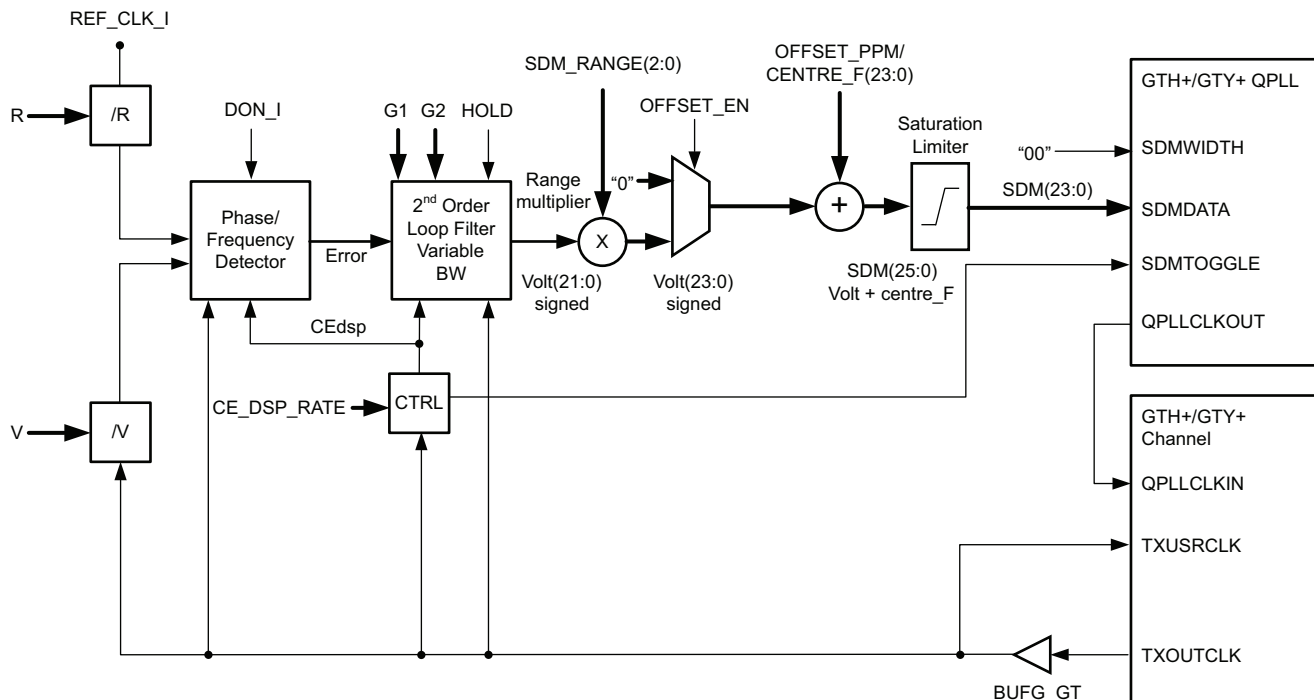


図 12: UltraScale デバイスの GTY トランシーバーの DPLL

図 13 に、UltraScale+ デバイスの GTH、GTM、および GTY トランシーバーの DPLL 詳細図を示します。



X18674-081419

図 13: UltraScale+ デバイスの GTH、GTM、および GTY トランシーバーの DPLL

FRACXO を使用する設計

物理インターフェイス

表 1 ~ 表 3 で、ポートについて説明しています。

表 1: トランシーバーポートのクロック、リセット、およびインターフェイス

信号名	方向	説明
RESET_I	入力	同期リセット。アクティブ High 信号。正しくリセットするには 8 クロック サイクルが必要。
REF_CLK_I	入力	基準クロック。どのクロックでも可 (ローカル、BUFG、パルスなど)。
TXOUTCLK_I	入力	BUFG_GT を介してシリアル トランシーバーの TXOUTCLK へ接続。
SDM_DATA_O[24:0]	出力	トランシーバーの SDM0/IDATA へ接続。
SDM_TOGGLE_O	出力	トランシーバーの SDM0/ITOGGLE へ接続。UltraScale+ デバイスの GTH、GTM、および GTY トランシーバーのみ。

表 2: デバッグ ポート

信号名	方向	説明
ERROR_O[20:0]	出力	位相検出器の出力。符号付き数値。
VOLT_O[21:0]	出力	ローパス フィルター の出力。符号付き数値。[21:4] のみ使用。
CE_PI_O	出力	アキュムレータのクロック イネーブル。
CE_PI2_O	出力	ローパス フィルター と DAC (デジタルアナログ変換器) のクロック イネーブル。

表 2: デバッグ ポート (続き)

信号名	方向	説明
CE_DSP_O	出力	位相検出器のカウンターをリセットし、位相検出器エラーをローパス フィルターへロード。
OVF_PD	出力	位相検出器のオーバーフロー。
OVF_AB	出力	ローパス フィルター入力の飽和。
OVF_INT	出力	ローパス フィルター積分器の飽和。
OVF_VOLT	出力	ローパス フィルター出力の飽和。

表 3: FRACXO ループのパラメーター

信号名	方向	説明
G1[4:0]	入力	次の範囲で、線形パスのゲインをフィルタリング。 <ul style="list-style-type: none"> • -8 ~ 20 (有効) • -8 ~ -1 (2 の補数として符号化) • 0 ~ 20 (正のバイナリとして符号化)
G2[4:0]	入力	積分器パスのゲインをフィルタリング: 範囲 0 ~ 20。
R[15:0]	入力	基準クロック分周器: 範囲 0 ~ 65535。R+2 で分周。
V[15:0]	入力	TXOUTCLK_I 分周器: 範囲 0 ~ 65535。V+2 で分周。
RANGE[2:0]	入力	ゲイン減少範囲: 0 ~ 7。実効ゲイン: $1/2(\text{range}^2)$ 。 UltraScale+ デバイスのみ。
CENTRE_F[23:0]	入力	SDM の公称値を設定。UltraScale+ デバイスのみ。
SDM_MAX[23:0]	入力	SDM の最大リミット値を設定。必ず、CENTRE_F 値より大きくなるように設定。 UltraScale+ デバイスのみ。
SDM_MIN[23:0]	入力	SDM の最小リミット値を設定。必ず、CENTRE_F 値より小さくなるように設定。 UltraScale+ デバイスのみ。
SDM_COARSE_I[5:0]	入力	fPLL の粗調整。UltraScale+ デバイスの GTY トランシーバーのみ。
CE_DSP_RATE[23:0]	入力	DSP 分周器。デフォルト値は x0007FFh。CE_DSP レートを制御。
VSIGCE_I	入力	TXOUTCLK_I 分周器のクロック イネーブル。通常動作時は 1 に接続。
VSIGCE_O	出力	予約。フローティング。
RSIGCE_I	入力	基準クロック分周器のクロック イネーブル。通常動作時は 1 に接続。
C_I[7:0]	入力	予約。0 に接続。
P_I[9:0]	入力	予約。0 に接続。
N_I[9:0]	入力	予約。0 に接続。
OFFSET_PPM[21:0]	入力	周波数オフセットの直接制御。符号付き数値。OFFSET_EN が High になると、OFFSET_PPM はローパス フィルターの出力 (VOLT_O) をオーバーライド。上位 18 ビットが SDM_COARSE_I と共に使用されて SDM_DATA_O を形成。UltraScale デバイスのみ。
OFFSET_EN	入力	周波数オフセットの直接制御を有効化。アクティブ High 信号。OFFSET_PPM 入力を有効にして、ローパス フィルターの出力 (Volt) をオーバーライド。UltraScale デバイスのみ。
HOLD	入力	ローパス フィルターの出力値 (Volt) をホールド。Volt のクロック イネーブルで、既知の最新 ppm に Volt をホールド。
DISABLE	入力	SDM サムポートからの Volt 制御入力を無効化。SDM 出力を強制的に CENTRE_F 値にする。UltraScale+ デバイスのみ。
DON_I	入力	潜在的なジッターを削減。アクティブ High 信号。

インターフェイス動作

一般的な動作

FRACXO のパラメーター (V、R、SDM_COARSE、CE_DSP_RATE) が変更されると、FRACXO のロックに影響を及ぼします。つまり、これらは疑似スタティック入力と見なされます。ゲイン G_1 と G_2 はロックを失うことなく変更できます。FRACXO のすべての入力/出力信号 (REF_CLK_I および R は除く) は、TXOUTCLK_I に同期します。図 14 に、TXOUTCLK_I と主要なデバッグ出力のタイミング関係を示します。

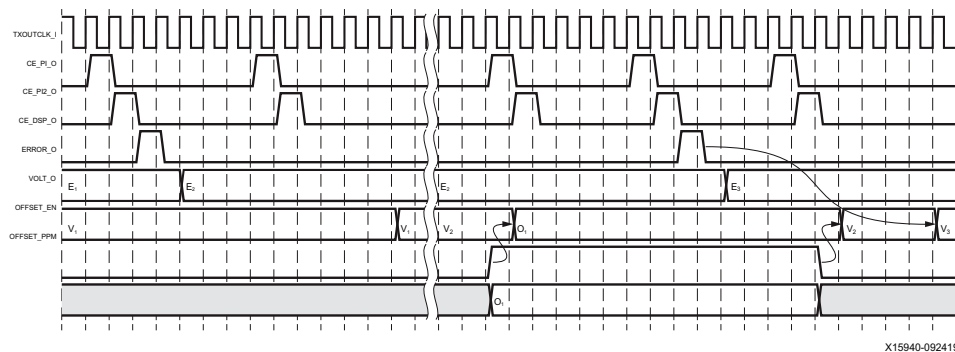


図 14: 主なデバッグ出力のタイミング波形

リセットの考察事項

FRACXO を正しくリセットするには、FRACXO の主要リセット RESET_I を TXOUTCLK_I クロックの 8 サイクル間以上アサートする必要があります。これが適用されると、RESET_I は位相検出器やローパス フィルターを含むすべてのブロックをリセットします。RESET_I がリリースされると、最初の位相検出器の出力 (ERROR_O) が 0 になり、トランシーバーのフラクショナル PLL に書き込まれる最初のワードが 0 になります。トランシーバーの QPLL および TX PMA (物理媒体接続部) リセットシーケンスは、FRACXO の動作リセットがリリースされる前に完了している必要があります。

UltraScale FPGA トランシーバーのクロッキング

図 15 に、主なクロッキング手法を示しています。トランシーバーの TXOUTCLK は、FRACXO の入力クロック TXOUTCLK_I を駆動する BUFG_GT へ接続します。

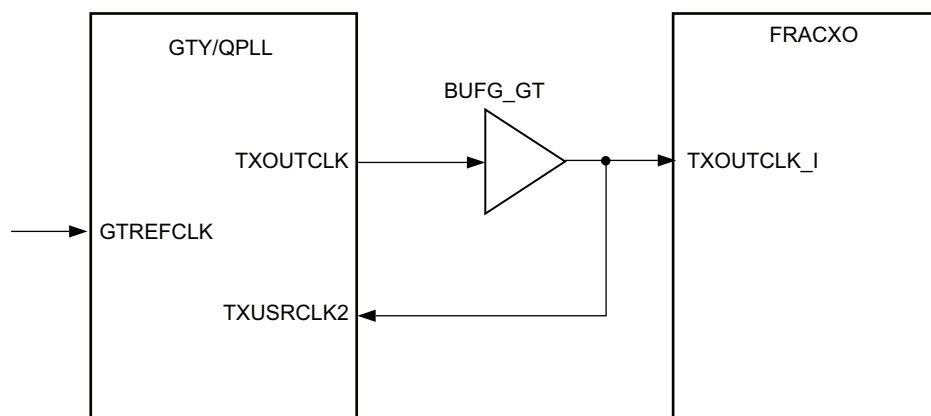


図 15: UltraScale FPGA FRACXO のクロッキング手法

HOLD 入力の動作

HOLD 入力は、ローパス フィルター積分器と出力 (VOLT_O) のクロック イネーブルです。HOLD が High の間、位相検出器は通常動作を続けます。HOLD が Low に戻ると、ローパス フィルター出力は位相検出器と同期なくなります。図 16 に、この動作を示します。

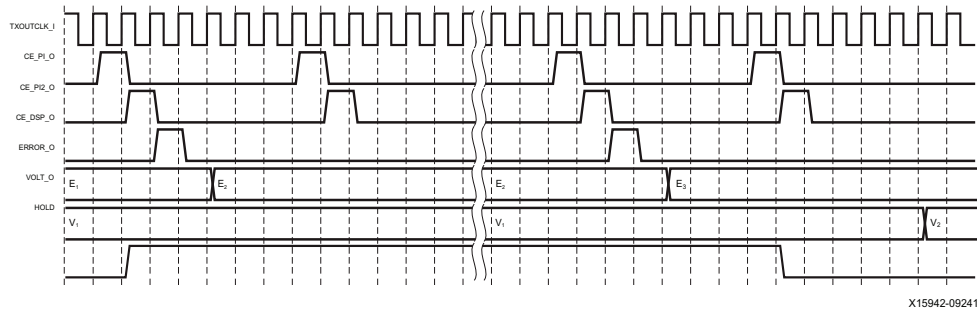


図 16: HOLD 入力の動作

オフセットの直接制御

OFFSET_PPM および OFFSET_EN は、周波数オフセットの直接制御を可能にします。OFFSET_EN が High になると、ローパス フィルターの出力 (VOLT_O) は OFFSET_PPM 値を取ります。この間、位相検出器とローパス フィルター積分器は通常動作をします。OFFSET_EN が Low に戻ると、ローパス フィルターの出力 (VOLT_O) は、位相検出器とローパス フィルターで計算された現在の値を取ります。図 17 に、この動作を示します。

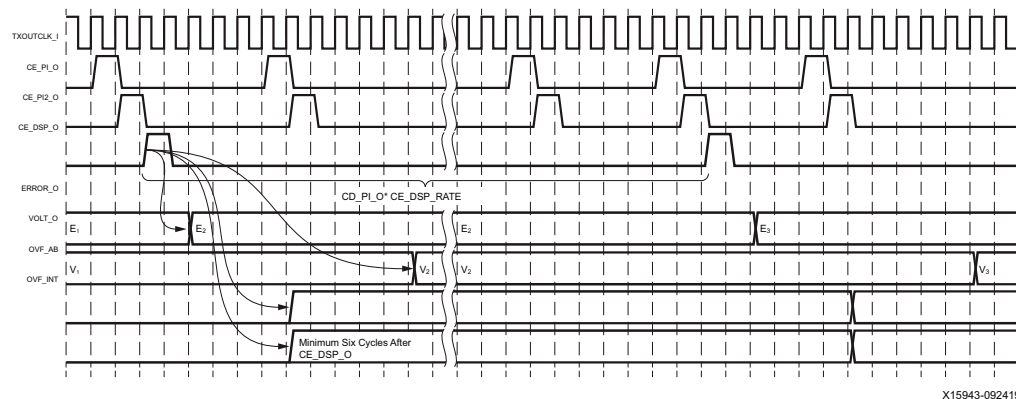


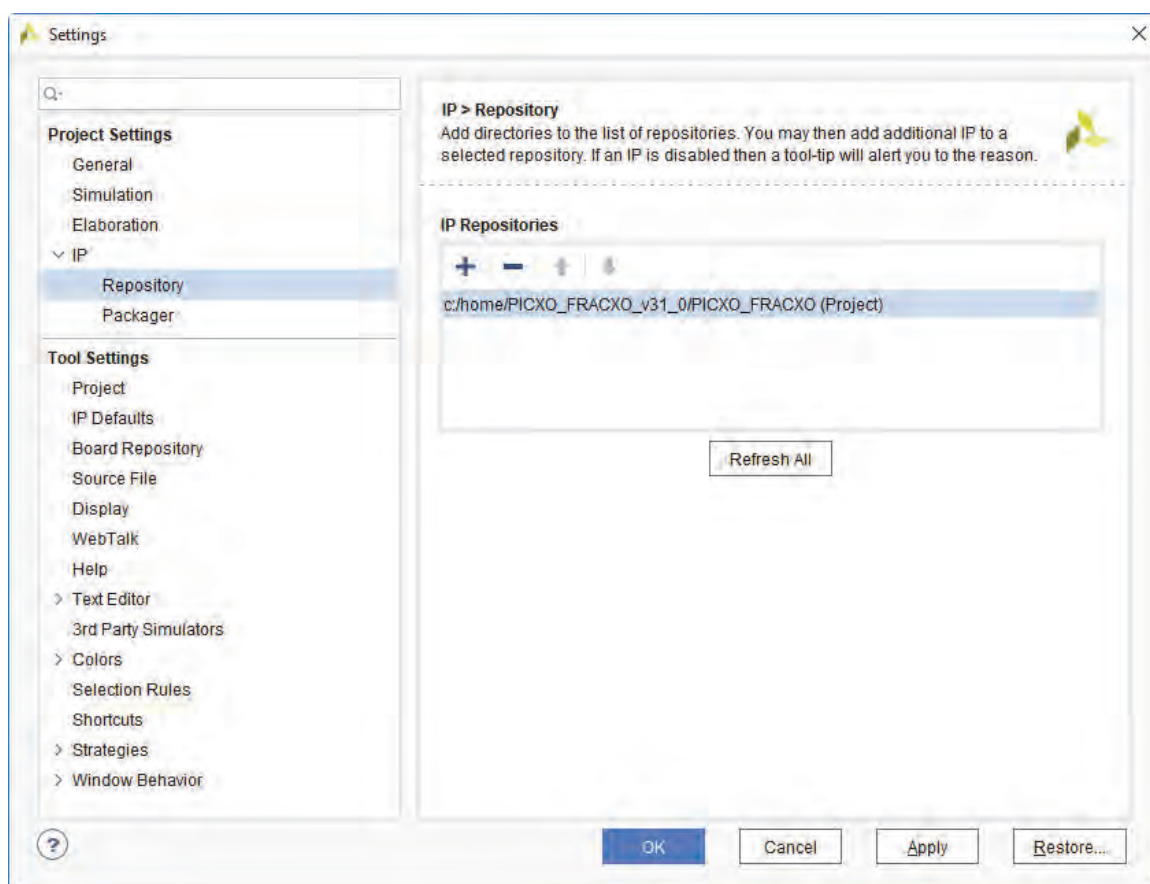
図 17: オフセットの直接制御

インプリメンテーション

Vivado ツールのインプリメンテーション

FRACXO デザインは、カスタム IP として提供されています。ここでは、プロジェクトにデザインを追加する手順を説明します。

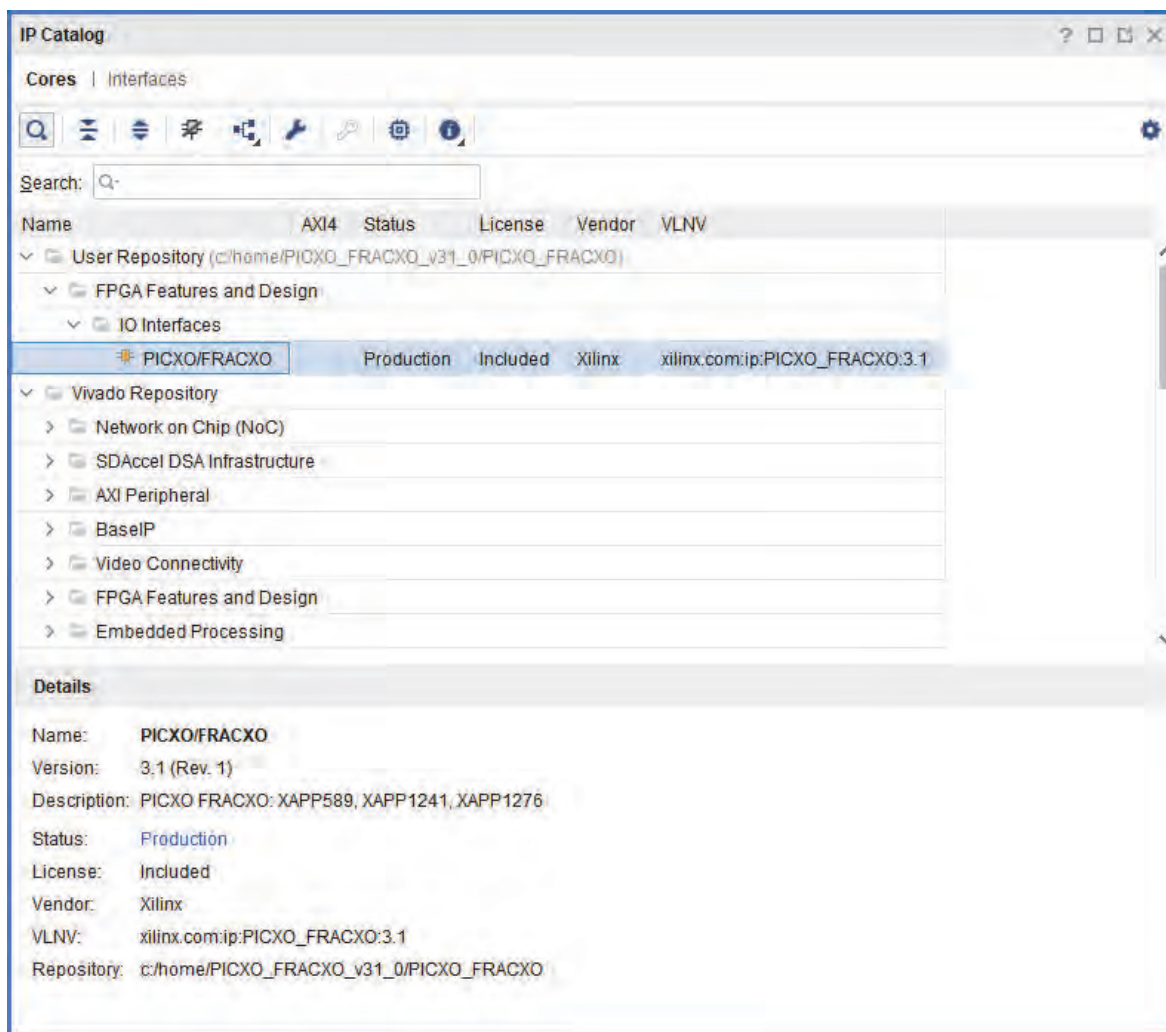
1. ファイルを解凍します。
2. [Tools] → [Project Options] をクリックして、左側にある [IP] を選択します。[Add Repository] をクリックして、PICXO_FRACXO フォルダを選択します (図 18)。



X16157-092419

図 18: [Project Settings]

3. [IP Catalog] ウィンドウをクリックします。PICXO/FRACXO IP は、[FPGA Features and Design] → [IO Interfaces] の下に
あります (図 19)。

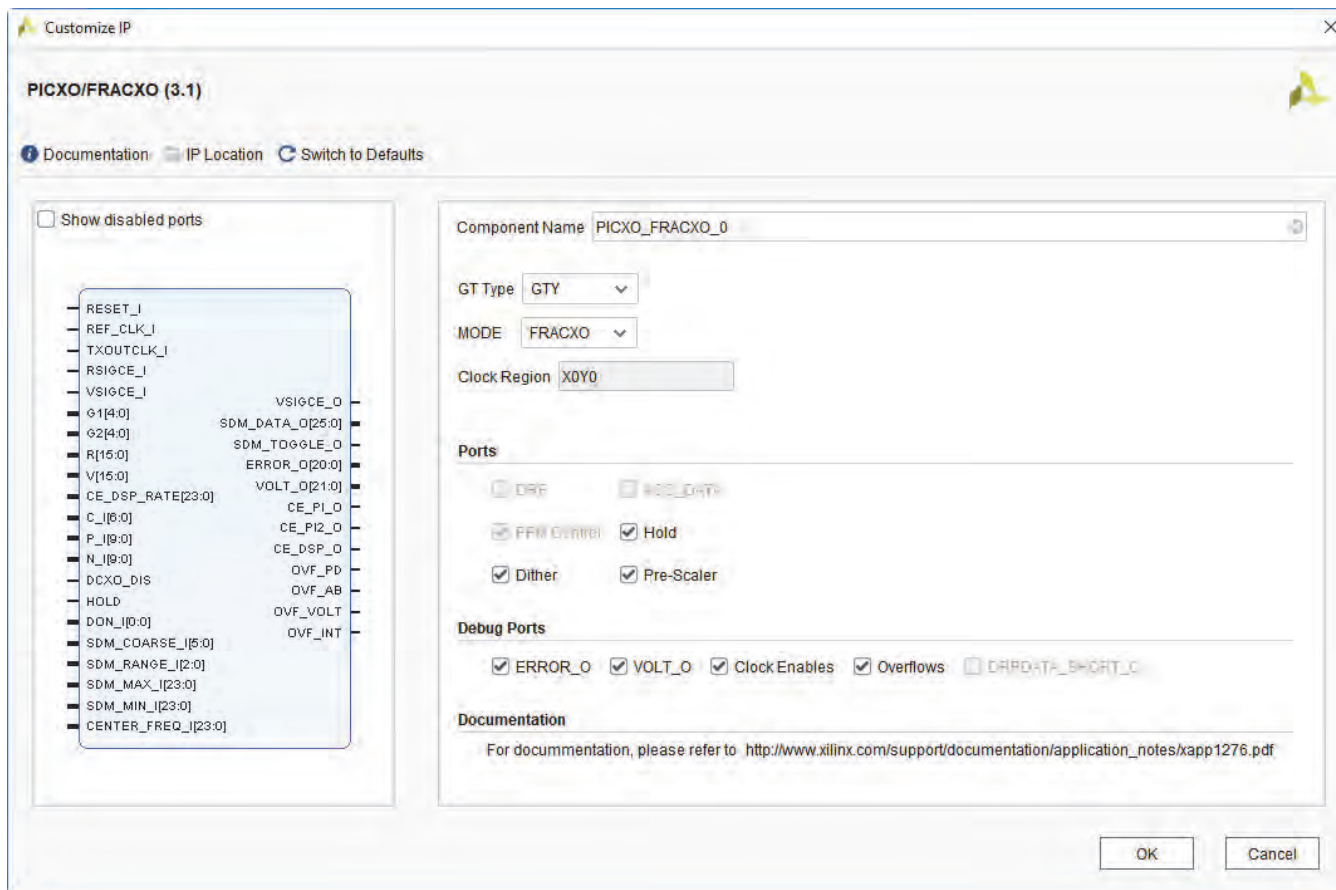


X16158-092419

図 19: IP カタログ

4. [PICXO/FRACXO] を右クリックして [Customize IP] をクリックします。

5. IP モジュール名、GT の種類、および FRACXO のモードを選択します。[OK] をクリックします (図 20)。



X16159-092419

図 20: IP のカスタマイズ

6. IP ソースを選択して、右クリックで [generate example design] をクリックすると、サンプルデザインが生成されます。
FRACXO に関連するトランシーバーは、特定の位置に制約してください。TXOUTCLK_I および REFCLK_I には PERIOD 制約が必要です。

必要条件および制限

UltraScale および UltraScale+ デバイスのトランシーバー

- QPLL0/1 の SDM 機能およびポートは有効にしてください。(1)
- QPLL0/1 が、使用するトランシーバー チャンネルにクロックを供給する必要があります。
- TXPLLCLKSEL は、10 または 11 に設定してください。

1. 各トランシーバーの SDM 機能は、ラッパーおよびサンプル デザイン生成時に選択し、QPLL の分数分周機能を有効にする適切な属性を設定する必要があります。

opt_design の使用時は DRC チェックが実行され、上記の条件が満たされていない場合は重要な警告が表示されます。基準クロック周波数の設定に対しては DRC チェックが実行されません。つまり、FRACXO が必要な出力周波数範囲をカバーできるようにすることはユーザーは責任となります。

リファレンス デザイン

リファレンス デザイン ファイルは、UltraScale トラシーバー ラッパー ファイル v1.0 ([参照 3]) に基づき、VCU108 開発プラットフォームをターゲットとしています。受信データを送信部へループバックし、送信部は FRACXO インスタンスによってリカバリ クロック RXRECLK にロックされます。

CE_DSP_O が High の場合は位相/周波数検出器の出力 error_o をキャプチャして、FRACXO の応答を監視できます。ロックしている場合、ERROR_O は 0 付近を維持します (図 9)。サンプル デザインのシミュレーションはサポートされていません。

このアプリケーション ノートのリファレンス デザインは、japan.xilinx.com/member/vcxoff/index.htm (「Download the VCXO Removal Reference Design for UltraScale and 7 Series FPGAs」参照) からダウンロード可能です。

表 4 に、リファレンス デザインの詳細を示します。

表 4: リファレンス デザインの詳細

パラメーター	説明
全般	
開発者	David Taylor、Matt Klein、Vincent Vendramini、Antonello Di Fresco
ターゲット デバイス	Virtex UltraScale XCVU095-2FFVA2104E
ソース コードの提供	あり
ソース コードの形式	VHDL
既存のザイリンクス アプリケーション ノート/リファレンス デザイン、またはサードパーティからデザインへのコード/IP の使用	あり (Vivado ILA および VIO)
シミュレーション	
論理シミュレーションの実施	なし
タイミングシミュレーションの実施	なし
論理シミュレーションおよびタイミングシミュレーションでのテストベンチの利用	なし
テストベンチの形式	N/A
使用したシミュレータ/バージョン	N/A
SPICE/IBIS シミュレーションの実施	N/A
インプリメンテーション	
使用した合成ツール/バージョン	Vivado Design Suite 2019.1
使用したインプリメンテーション ツール/バージョン	Vivado Design Suite 2019.1
スタティック タイミング解析の実施	あり
ハードウェア検証	
ハードウェア検証の実施	あり
使用したハードウェア プラットフォーム	VCU108

表 5 に、このリファレンス デザインのデバイス使用率を示します。

表 5: リファレンス デザインのデバイス使用率と性能 (Vivado Design Suite 2016.1)

	Zynq UltraScale+ MPSoC (1 つの GTH トランシーバー)	Virtex UltraScale (1 つの GTY トランシーバー)
	フルデザイン	フルデザイン
CLB LUT	3087	3076
CLB レジスタ	4514	4510
使用された CLB ⁽¹⁾	716	835
BlockRAM	14	13.5
BUFGCE/BUFG_GT	3/2	3/2
GTY トランシーバー	1	1
MMCM	0	0

注記:

1. 使用するスライス数は、パッキング結果によって異なります。

表 6 に、スタンドアロン FRACXO の統計値と性能予測を示します。

表 6: スタンドアロン FRACXO の統計値と性能
(Vivado Design Suite 2016.1)

ターゲット デバイス	Zynq UltraScale+ MPSoC (GTH トランシーバー)	Virtex UltraScale (GTY トランシーバー)
LUT	763	764
レジスタ	919	919
SRL	33	33
最大 FRACXO クロック レート	スピード グレードに依存し、 TXUSRCLK2 の最大周波数に相当	スピード グレードに依存し、 TXUSRCLK2 の最大周波数に相当

参考資料

注記: 日本語版のバージョンは、英語版より古い場合があります。

- 『ギガビット トランシーバー アプリケーションにおけるデジタル VCXO の置き換え』(XAPP589: [英語版](#)、[日本語版](#))
- 『ギガビット トランシーバー アプリケーションにおけるデジタル VCXO の置き換え (UltraScale FPGA)』(XAPP1241: [英語版](#)、[日本語版](#))
- 『UltraScale アーキテクチャ GTY トランシーバー ユーザー ガイド』(UG578: [英語版](#)、[日本語版](#))
- 『Virtex UltraScale FPGA データシート: DC 特性および AC スイッチ特性』(DS893: [英語版](#)、[日本語版](#))
- 『VCU108 評価ボード ユーザー ガイド』(UG1066: [英語版](#))
- 『Virtex UltraScale+ FPGA GTM トランシーバー ユーザー ガイド』(UG581: [英語版](#)、[日本語版](#))

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2016年5月27日	1.0	初版
2017年4月11日	1.1	「概要」のトランシーバーの動作周波数を更新。1 ページに脚注を追加。図 2 の後の段落を更新。図 9 の後の Volt 出力のビット マップに関する段落を追加。「FRACXO DPLL アーキテクチャの概要」の SDM ポートの説明を更新。図 13 を追加。表 1 に SDM_TOGGLE_O を追加。表 3 に記載の SDM_COARSE_I[5:0] の説明を更新。「UltraScale および UltraScale+ デバイスのトランシーバー」の最初の文に脚注を追加。
2019年10月30日	1.2	全体を通じて、GTM トランシーバーを追加。1 ページの脚注を更新。「概要」の SDM ポートの最大の動的周波数シフトの説明を更新。「PLL FRACXO サンブルデザイン」の FRACXO 制御の説明を更新。「FRACXO DPLL アーキテクチャの概要」のポート一覧に CENTRE_F、SDM_MAX_I、SDM_MIN_I、DISABLE を追加。図 13、図 18、図 19、図 20 を更新。表 3 の G1[4:0]、G2[4:0]、CE_DSP_RATE[23:0]、OFFSET_PPM[21:0]、OFFSET_EN に関する説明を更新し、RANGE[2:0]、CENTRE_F[23:0]、SDM_MAX[23:0]、SDM_MIN[23:0]、DISABLE を追加。表 4 の Vivado ツールバージョンを更新。

お読みください: 重要な法的通知

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1) 本情報は「現状有姿」、およびすべて受領者の責任で (with all faults) という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとします。また、(2) ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。
<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

© Copyright 2016-2019 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他各国のザイリンクス社の商標です。その他すべての名称は、それぞれの所有者に帰属します。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。