



XAPP589 (v2.0) 2012 年 10 月 16 日

ギガビット トランシーバー アプリケーションに おけるデジタル VCXO の置き換え

著者 : David Taylor, Matt Klein, Vincent Vendramini

はじめに

このアプリケーション ノートでは、FPGA の外部に配置する電圧制御クリスタル オシレーター (VCXO) 回路の代わりとして、各シリアルギガビット トランシーバー (GTX) 内の機能を使用して設計したシステムを紹介します。

いずれの場合も共通する設計要件は、入力ソースに対して GTX 出力の周波数と位相をロックすることです (ループ、回復、スレーブ タイミングとして知られる)。一般的に FPGA ロジックをベースとするクロックはノイズが大きいため、高品質の基準クロックを GTX に提供するには、クロック クリーニング デバイス (VCXO や PLL コンポーネント) を FPGA の外部に配置する必要があります。これらの外部コンポーネントは非常に効果がありますが、それぞれにクロック チャネルが生成されるため、消費電力とコストがさらにかかります。チャンネルを多用するシステムやコスト重視システムでは、このコストが非常に大きな影響を与えます。また、外部クロック ソースを多数追加した場合には、ボード レベルでのクロストークや干渉の問題が大きくなります。

このアプリケーションで説明するシステムは、これらの外部クロック コンポーネントに代わる効果的な方法として、高性能 FPGA ロジックをベースとするデジタル PLL (DPLL) とザイリンクスの GTX 機能を使用します。各 GTX には、高速アナログ PLL 出力回路に位相インターポレーター (PI) 回路があり、GTX チャネルごとに GTX を駆動する送信クロックの位相や周波数を調節します。完全なデジタル インターフェイスを使用することによって、位相インターポレーターは、高い分解能でプログラム可能な DPLL で管理される FPGA ロジック リソースを用いて位相や周波数を制御できます。FPGA ロジック DPLL と組み合わせてことによって、位相インターポレーターは入力基準パルスやクロックに GTX データ出力を直接ロックするように位相や周波数を調整でき、さらにビルトインのクロック クリーニング フィルター機能を備えることができます。従来のソリューションとは異なり、クロッキング コンポーネントが GTX 内に含まれるため、高品質のシステムが実現します。

リファレンス デザインでは、各トランシーバー チャネルにインスタンス化できる、完全に統合された DPLL と GTX 位相インターポレーター システムを提供しています。GTX は、入力基準信号に位相/周波数ロックします。DPLL はランタイム時にパラメーター (ゲイン、カットオフ周波数、クロック 分周値など) 設定可能な同期 GTX データ出力を生成できるため、ユーザーはエンド アプリケーションに応じた動作をセットアップできます。これにより、基準入力信号や DPLL クリーニング帯域幅に柔軟に対応できるようになります。

リファレンス デザインの回路では、各 GTX チャネルを基準オシレーターに対して最大 ± 160 ppm でロックでき、ジッター クリーニング帯域幅は 0.1Hz ~ 1KHz の範囲で設定できます。Virtex-6 FPGA 内の GTX トランシーバー ブロックは、最大 3.125Gb/s データレートで動作します (クロック ロッキング モードの場合)。7 シリーズ FPGA の場合、GTX トランシーバーは最大 12.5Gb/s で動作可能です。この回路の代表的なアプリケーションには、ビデオ SD/HD/3G SDI、Sync E、IEEE1588、SDH、SONET、および OTN があります。

システム アプリケーション

多くのさまざまなアプリケーションで、各トランシーバーの送信側に外部 VCXO/PLL (クロック クリーニング コンポーネント) が必要です。

アプリケーション例は次のとおりです。

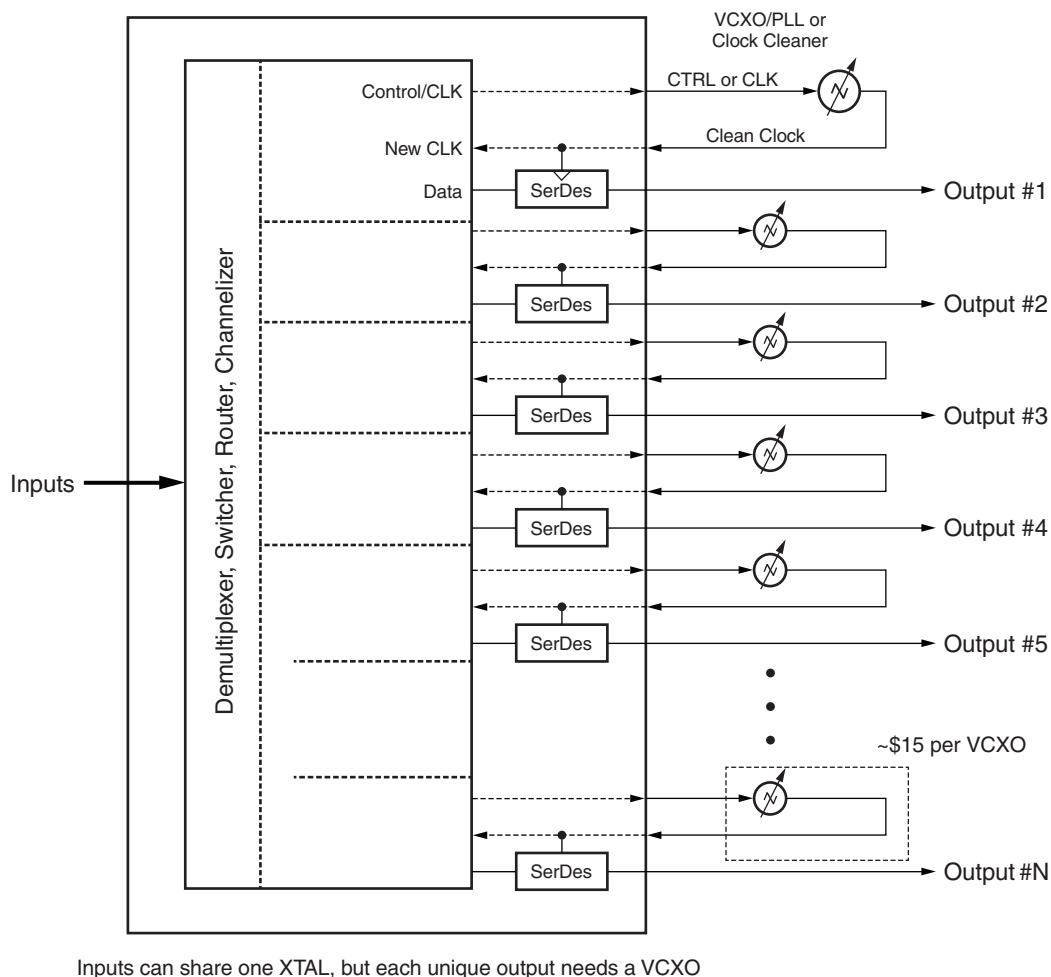
- OTN マックスポンダー トランクの出力スレービング

- 放送用装置 (SD、HD、および 3G SDI ビデオ出力を使用するスイッチャーやルーターなど)
- 同期イーサネット
- 回復メディア クロックの生成 (IEEE 1588 に準拠)

このタスクに外部コンポーネントを使用する場合は、次の理由でコストが高くなります。

- BOM コストが非常に高い - VCXO/PLL (クロック クリーナー) を追加するごとに \$10 ~ \$20 必要になる
- 消費電力が非常に高い - VCXO/PLL (クロック クリーナー) を追加するごとに 300mW ~ 500mW 必要になる
- ボード スペースや PCB の複雑化 - さらにボード エリアが必要になり、ノイズを軽減するデザイン レイアウトが要件となる

図 1 では、入力複数あるデータ伝搬リンクのうちの一つを通して受信される一般的な使用例を示します。1 つの出力リンクに対して入力リンクが 1 つある場合や、データがストライプされた入力グループがデマルチプレクサーを介して複数の出力リンクを形成する場合があります。各入力リンクは 1 つの基準クロックを共有できますが、クリーンな基準クロックをトランシーバーへ提供して出力データをシリアライズし、期待どおりの低ジッター出力信号を生成するには、各出力リンクに個別の VCXO/PLL (クロック クリーナー) が必要です。



X589_01_041212

図 1 : 複数の VCXO を使用する一般的なデザイン (各出力に 1 つ)

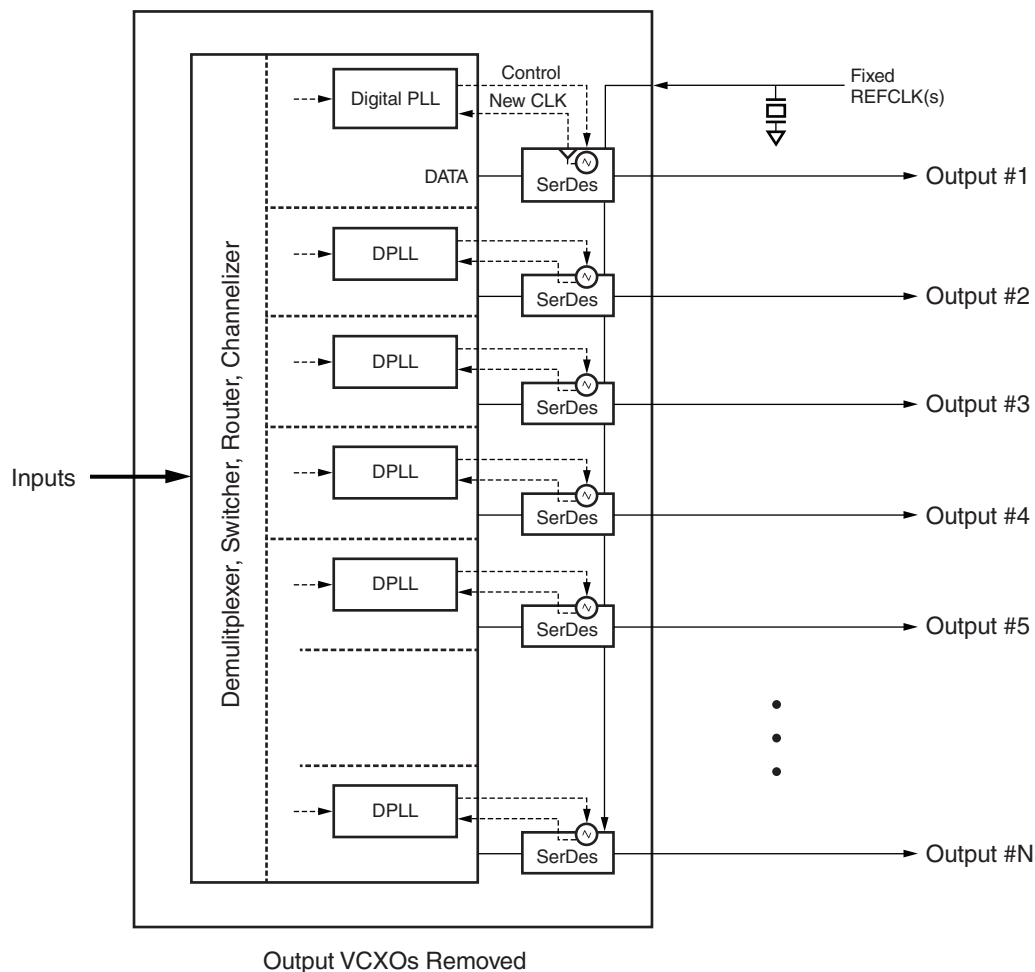
GTX トランシーバーを使用する場合は、外部に VCXO/PLL (クロック クリーナー) を配置する必要がありません。リファレンス デザインで採用している基本構造は次のとおりです。

- Virtex-6 FPGA や 7 シリーズ FPGA の GTX トランシーバーには、送信シリアル/デシリアライザー ビット クロック用に送信クロック位相インターポレーター (TX PI) があります。
- 各送信シリアル/デシリアライザーの位相インターポレーターは、位相を個別かつ動的に、そして継続的に変更でき、さらに周波数も変更できます。

このインプリメンテーションでは、次のメリットがあります。

- BOM コストを大幅に削減できる (各 VCXO/PLL 当たり約 \$15 ~ \$20)
- 消費電力を大幅に削減できる (各 VCXO/PLL 当たり約 300mW ~ 500mW)
- ボード スペース削減と PCB の複雑化を軽減
- 1 つの GTX クワッド内で異なる 4 つの送信レートが可能

図 2 に、この新しい方法のブロック図の例を示します。GTX クワッドの位相シフト機能を使用して、VCXO/PLL (クロック クリーナー) 機能が FPGA 内に構築されています。



X589_02_041212

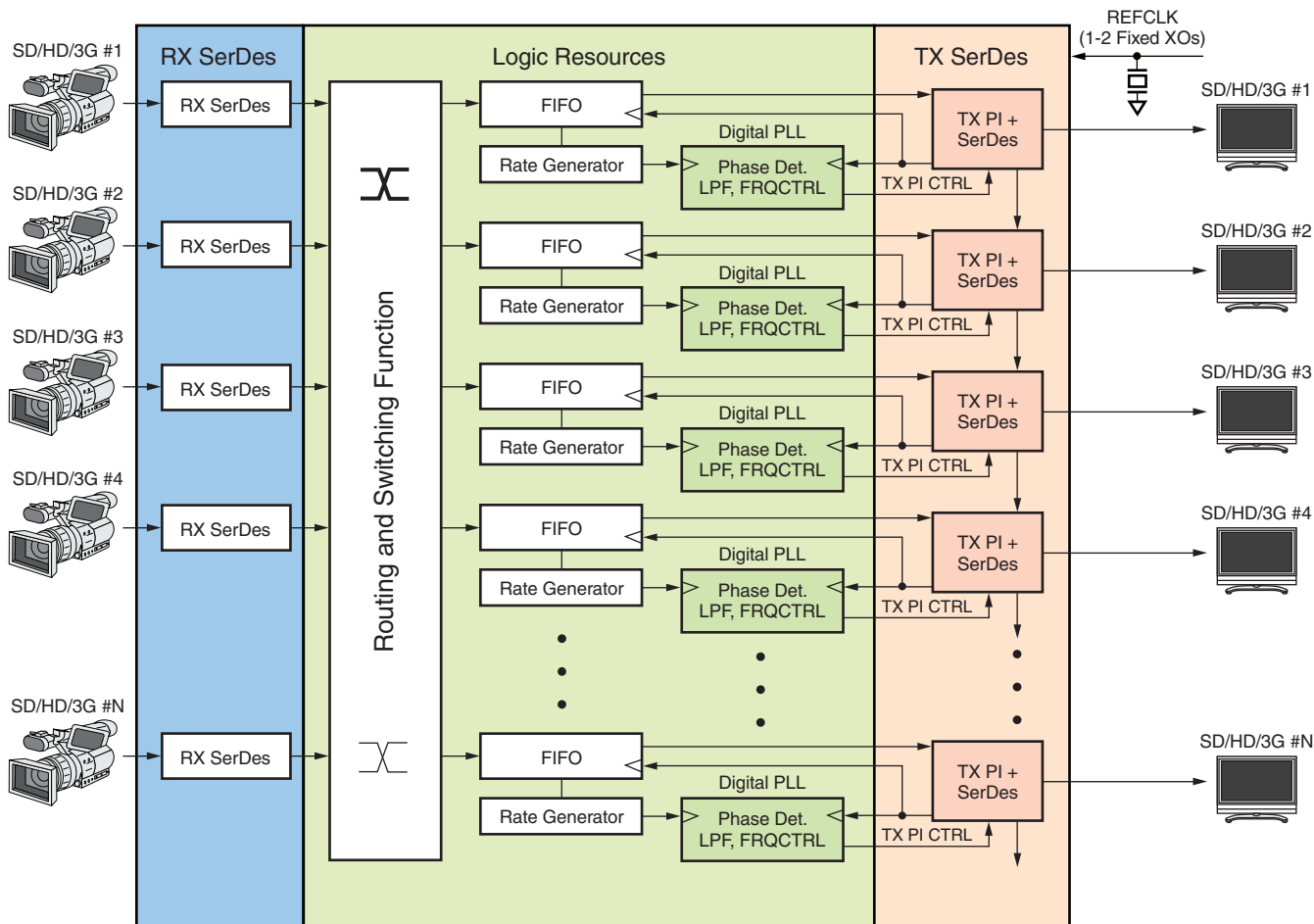
図 2 : 位相シフト ソリューションのブロック図

ソリューション例

このセクションでは、放送局向けスイッチャー/ルーター アプリケーションおよび従属マルチプレクサーを使用する OTN トランク アプリケーションのソリューションについて説明します。通常、各出力の送信シリアル/デシリアライザー チャンネルには外部 VCXO/PLL (クロック クリーナー) が必要です。出力ベース レートが同じであっても、各チャンネルで PPM (Parts Per Million) が異なるため (例: 1.485Gb/s + 50ppm, 1.485Gb/s - 20ppm)、回路をさらに追加する必要があり、非常にコストがかかります。

例 1: 放送局向けのスイッチャーまたはルーター

この例 (図 3) では、放送局向けスイッチャー/ルーターが、異なるカメラや関連性のないソースから SD/HD/3G ストリームを受信します。画像は FPGA 内で処理されますが、FPGA の出力は入力チャンネルに対して正確にロックされなければなりません。たとえば、HD-SDI と 3G-SDI 入力公称値の 1.485Gb/s と 2.97Gb/s で動作する場合、これらは互いにロックしない可能性があります。この入力、公称周波数から変動 (最大 150ppm) する元のソースにロックする可能性があります。通常、FPGA の各出力がこれらの PPM の影響を受ける入力にロックするような場合、PPM の影響を受ける出力に外部 VCXO/PLL (クロック クリーナー) を追加する必要があります。複雑でコストのかかる外部コンポーネントを追加する代わりに FPGA の TX PI を使用することで、送信シリアル/デシリアライザー デザインの中に同等機能を構築できます。

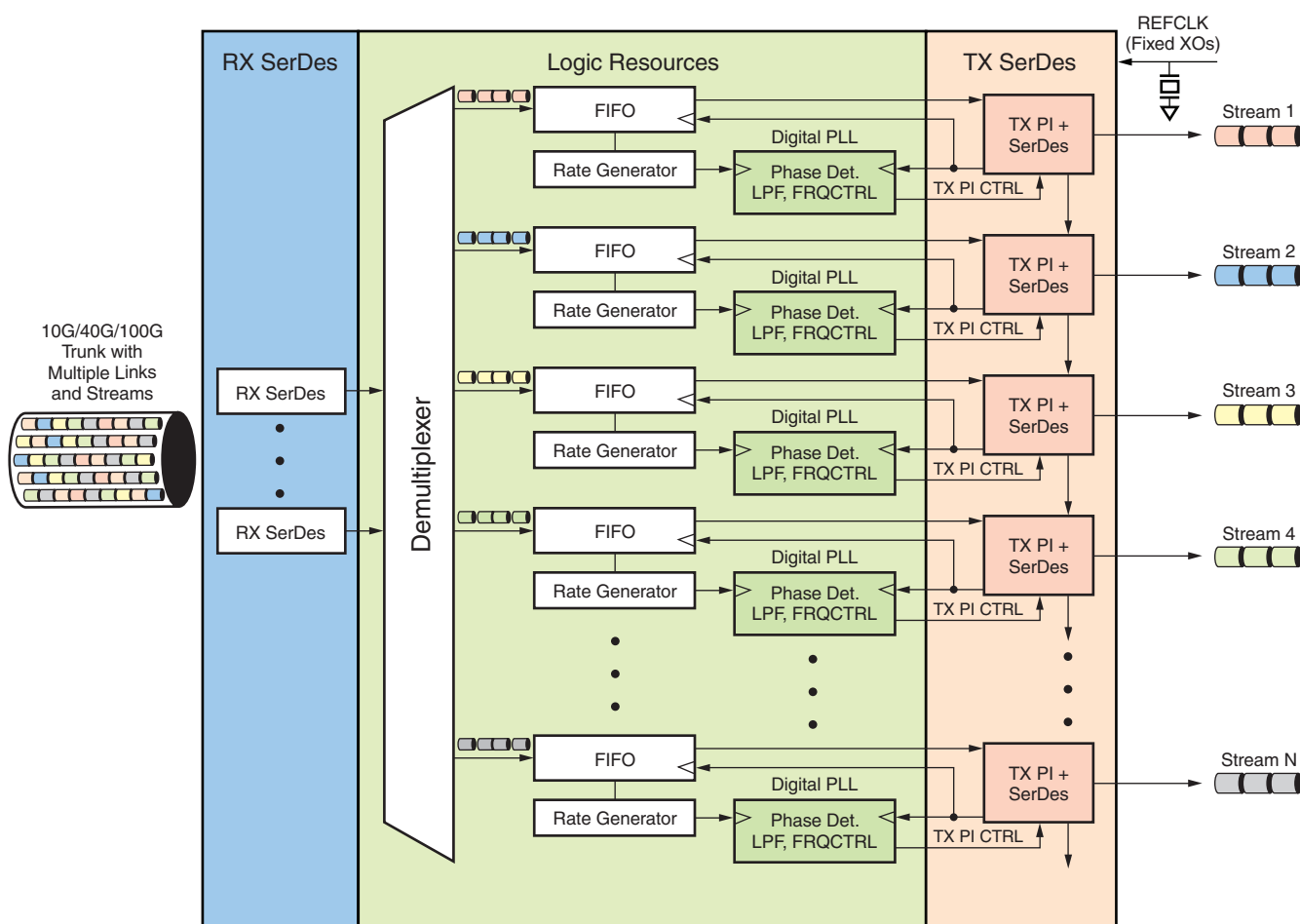


X589_03_041212

図 3: 出力に外部 VCXO/PLL (クロック クリーナー) を使用しない放送局向けスイッチャー/ルーター

例 2 : OTN マックスポンダー

この例 (図 4) では、OTN トランク内に複数のデータ ストリームがあります。トランク内の各ストリームには独自レートがあります。多くの場合、このトランクから受信する FPGA やその他のデバイスは、デマルチプレクサーを通して、それらのコンポーネント ストリームへ分配します。各ソース ストリームには (ほぼ同じレートの場合でも)、オシレーター、つまりトランク内のストリームに最初にクロックを供給するクロックシステムがあります。回復されたストリームのタイミングは、各ストリームごとに保持される必要があります。たとえば、それぞれ公称値 1.25Gb/s の同期イーサネット ストリームが複数ある場合 (これらは同じソースではない)、各ストリーム (同じタイプであっても) は数 PPM によって変わる可能性があります。回復出力は、それぞれの元のソースに正確にロックしていなければなりません。つまり、FPGA 外部の各出力チャネルに位相検出器、ローパス フィルター、VCXO、および PLL が必要です。送信シリアル/デシリアライザー内にあるザイリンクス FPGA の TX PI は、固定された公称値のオシレーター レートを REFCLK として参照し、低ジッターで効果的に送信シリアル/デシリアライザー内でそれぞれの回復レートにスレービングできるため、外部 VCXO/PLL (クロック クリーナー) を使用する必要がありません。



X589_04_041212

図 4 : 従属デマルチプレクサーへ接続する OTN トランクと外部 VCXO/PLL (クロック クリーナー) を使用しない伝搬

これらの例およびその他多くの場合では、送信シリアル/デシリアライザー内に構築されたザイリンクス独自の送信クロック位相インターポレーター機能、FPGA ベースの位相検出器、デジタル PLL、ローパス フィルター、プログラム可能な送信シリアル/デシリアライザー位相インターポレーターが、外部 VCXO/PLL (クロック クリーナー) に代わる効果的な機能を果たします。

VCXO の代用定理

Virtex-6 FPGA には、VCXO の機能を代用できる機能ブロックが GTX トランシーバーの送信部に含まれています。このブロックは、位相インターポレーターと呼ばれ、入力クロックに対してファイン (細かい) 位相シフトを適用した出力クロックを生成します。ファイン位相シフトは、制御ワードに基づいて生成されます。制御ワードでは、 $0^{\circ} \sim 360^{\circ}$ の範囲で位相シフトを指定できます。

固定周波数ソースだけで VCXO と同等の機能を作成するため、位相が位相インターポレーターで選択され、選択された位相値は直線的に増加/減少されて継続的に更新されます。これが正/負の周波数シフトに相当し、位相を制御する変化率に比例します。式 1 ~ 式 5 を参照してください。

$$f = \frac{d\Phi_{IN}(t)}{dt} \quad \text{式 1}$$

$$\Phi_{IN}(t) = \int f_{IN} dt = f_{IN} t \quad \text{式 2}$$

$$\Phi_{OUT}(t) = \Phi_{IN}(t) + \Phi_{CONTROL}(t) \quad \text{式 3}$$

$$\text{Differentiating } \frac{d\Phi_{OUT}(t)}{dt} = \frac{d\Phi_{IN}(t)}{dt} + \frac{d\Phi_{CONTROL}(t)}{dt} \quad \text{式 4}$$

$$f_{OUT} = \frac{d\Phi_{OUT}(t)}{dt}, f_{OUT} = f_{IN} + \frac{d\Phi_{CONTROL}(t)}{dt} \quad \text{式 5}$$

これらの式を利用して、出力周波数は、時間を基準とした位相制御 ($\Phi_{CONTROL}$) の変化率でシフトされます。

図 5 に、位相インターポレーターの機能ブロック図を示します。このブロックには、送信 SerDes PLL や完全ソリューションに含まれるその他の回路から入力される高速シリアルクロックとの関連で使用される入力および出力があります。このブロックでは、まず位相生成 (n-Phase Generation) ブロックで主な位相が多数生成されます。このブロックは、 $360^{\circ}/x$ 分割の x 個の位相を生成します。送信シリアルクロック位相インターポレーターの場合、主な位相は 8 つ (0° 、 5° 、 90° 、 135° 、 180° 、 225° 、 270° 、 315°) あります。図 5 の位相選択 (Phase Select) ブロックでは、制御ロジック (Control Logic) に基づいて 2 つの隣接する位相が選択されます。

位相インターポレーション機能は位相ミキサー (Phase Mixer) で実行され、 $\Phi 1$ の因数 k と $\Phi 2$ の因数 $(1 - k)$ が加算されます (結果として補間される位相出力は $\Phi 1k + \Phi 2(1 - k)$ となる)。 k は、 $0 \sim 1$ の間の分数値です。

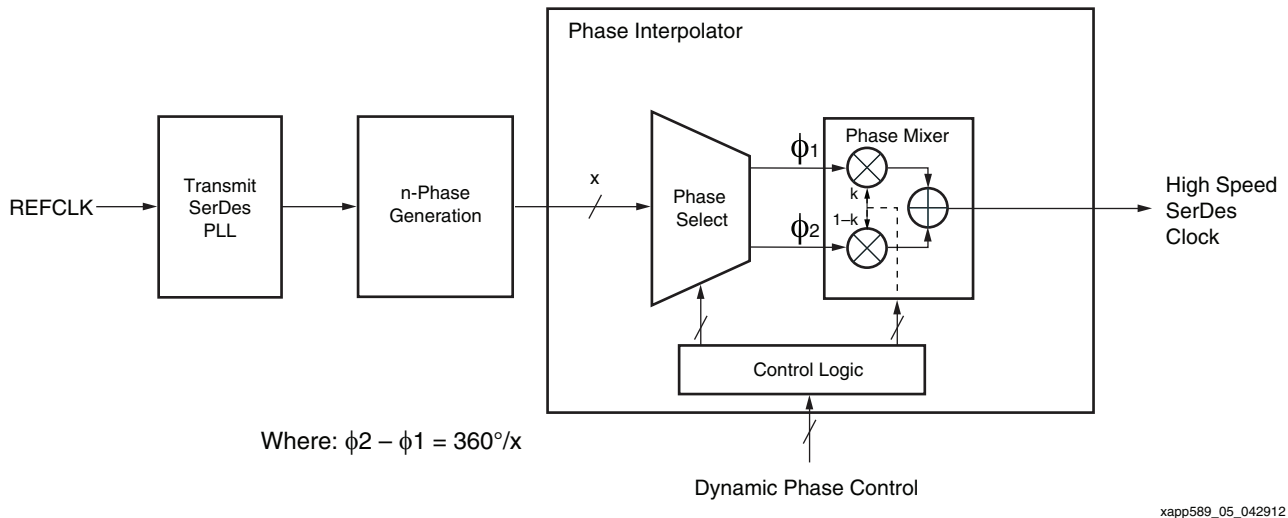


図 5 : 送信 SerDes PLL が位相インターポレーターへ接続する機能ブロック図

図 6 に、位相生成器 (n-Phase Generator) からの選択された主な 2 つの位相 (Φ_1 および Φ_2) を示します。これらは位相ミキサーで補間されます。出力は、 Φ_1 と Φ_2 間にある位相クロックとなり、有効なフラクショナル ステップ値で分解能が決定されます。Virtex-6 FPGA の場合、フラクショナル ステップ値は 15 です。

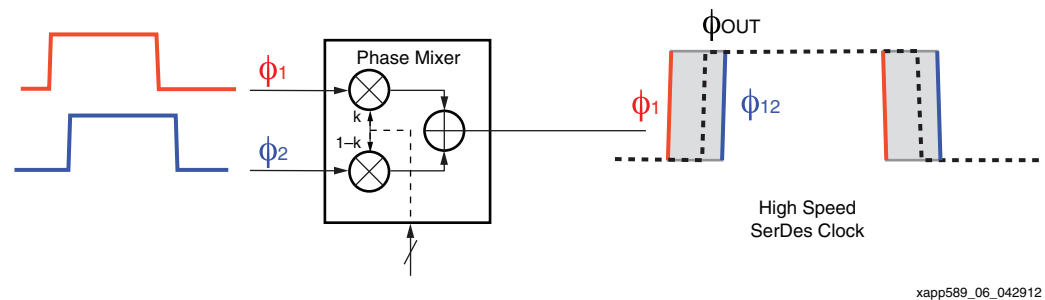


図 6 : コース (粗い) 位相から補間された位相を生成する位相ミキサー

最初の位相生成と補間された位相生成は、低ジッターのアナログ ドメインですべて実行されます。最終的な出力は、120 ある位相の高速送信シリアル/デシリアライザー クロックのいずれかを採用する高速クロックとなり、Virtex-6 FPGA の送信シリアル/デシリアライザーにあるパラレル送信シリアル/デシリアライザー データのシリアライズに使用されます。これは、非常に低いジッターで非常に細かい位相分解能を提供します。

位相インターポレーターはライン レートで動作し、Virtex-6 FPGA の各 GTX トランシーバーおよびすべての 7 シリーズの各トランシーバーに 1 つずつ配置されます。Virtex-6 FPGA GTX トランシーバーの送信側にある位相インターポレーターには、最大約 30MHz でアクセス可能な位相制御ポートがあり、位相制御の分解能は、送信部のシリアル ライン レートのユニット インターバルの約 1/120 です。

位相分解能と周波数シフトの例

選択した位相を継続的に更新して達成できる位相分解能と周波数シフトは、次の例で表すことができます。

- 送信シリアル/デシリアライザーのレート = 3.125Gb/s
- 送信シリアル/デシリアライザーのクロック周期 = 320ps
- 位相インターポレーターのステップ = $320/120\text{ps} = 2.66\text{ps}$
- 更新レート = 31.25MHz

PICXO の動作

「VCXO の代用定理」で説明したように、外部 VCXO を使用する代わりに、送信シリアル/デシリアライザーの位相インターポレーターを PICXO (Phase Interpolator Controlled Crystal or Xtal Oscillator) として使用することで、デジタル PLL とクロック クリーナーの完全ソリューションを構築できます。図 7 の機能ブロック図に PICXO マクロの動作を示します。

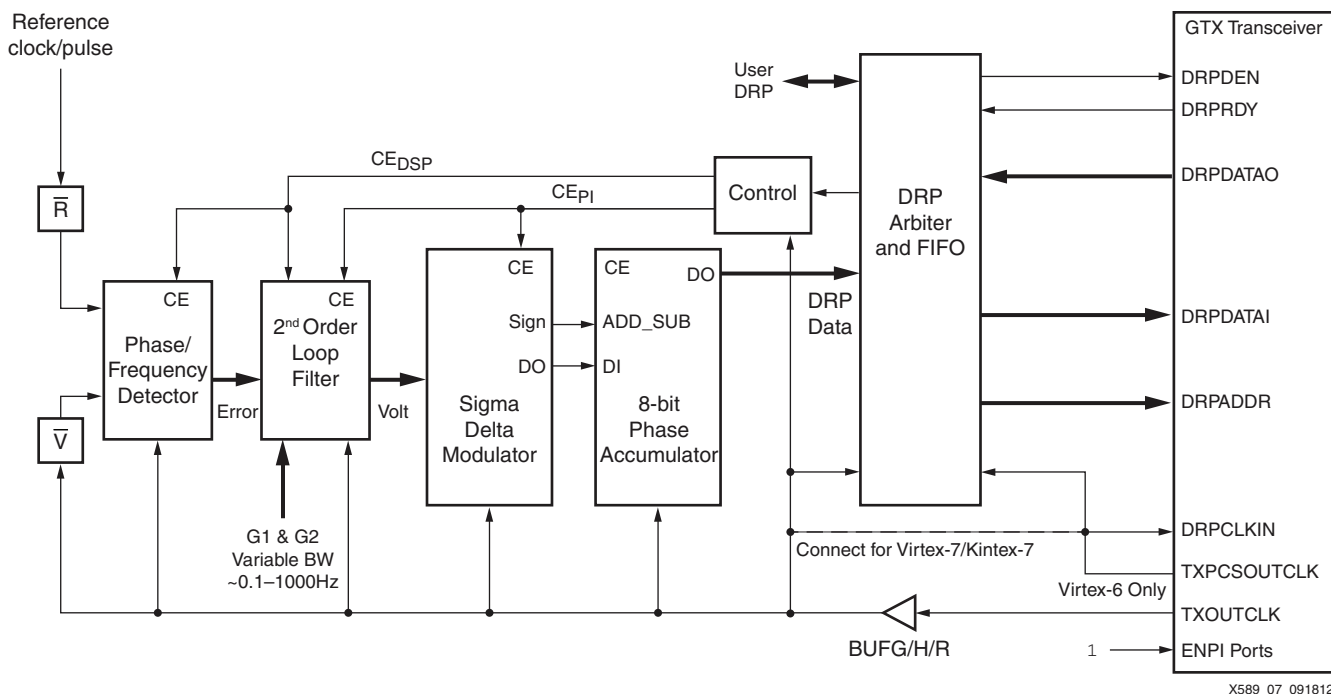


図 7 : PICXO マクロの機能ブロック図

DRP アービタと FIFO のブロック (DRP Arbiter and FIFO) および制御 (Control) ブロックが、GTX トランシーバー、PICXO DPLL、ユーザー DRP との間のクロックと DRP データのインターフェイスを管理します。

DRP 動作の一般的な使用モデルは、必要に応じて動作前に GTX トランシーバーの DRP パラメータをプログラムできます。その後、PICXO がリセットされて基準クロック/パルスにロックされます (「物理インターフェイス」参照)。

GTX トランシーバー内の位相は、位相アキュムレーター、シグマ-デルタ変調器、ループ フィルター、および位相検出器を含む PICXO 回路から直接 DRP を制御して管理されます。

位相アキュムレーターは、位相インターポレーターの現在の位相をトラッキングし、シグマ-デルタ変調ブロックからの入力に基づいて位相をインクリメント/デクリメントします。位相を直接インクリメント/デクリメントすることによって、正または負の周波数オフセットが決定します。

必要な細かい周波数調整は、シグマ-デルタ変調ブロックで実行されます。このブロックは、最大の柔軟性をもたらすユーザー指定可能なループ パラメータや比較周波数を使用する二次 DPLL ループ フィルターおよび位相検出器で駆動されます。

PICXO の動作は、DRP クロックと同期します。位相インターポレーターの最大更新率 (DRP CLK/5) は、シグマ-デルタ変調器とアキュムレーターのクロック イネーブル率 (CE_{PI}) です (図 7 参照)。DPLL は、位相/周波数検出器や二次ループ フィルター用のクロック イネーブル信号となるサブレート CE_{DSP} で動作します (図 7 参照)。これによって、シグマ-デルタ変調器は高分解能で実行できるようになり、低周波数クロック クリーニングに適した DPLL 係数が可能になります。

リファレンス デザイン回路では、生成された各ライン レートに対して BUFG/BUFH/BUFR を 1 つ使用しています。このクロックはロック時に基準クロックと同期しているため、その他の下位ユーザー ロジックに使用できます。

PICXO DPLL

基準信号にロックした GTX トランシーバー チャンネルを生成するには、PICXO のパラメーターを適切に設定する必要があります。DPLL は、このセクションで表す伝達関数の微分を使用する一般的な方法を用いて解析できます。

解析用として、PICXO DPLL 回路を次の 3 つの機能ブロックに分けて考えます。

1. 位相周波数検出器

位相周波数検出器は、基準 (R) クロックと PICXO (V) クロック間の位相差を測定し、エラー出力を生成します。DPLL はロック時には二次となるため、このエラーは 0 に駆動されます。これには、ラジアン⁻¹ とゲイン (G_{PD}) を単位として定義される伝達関数があります。

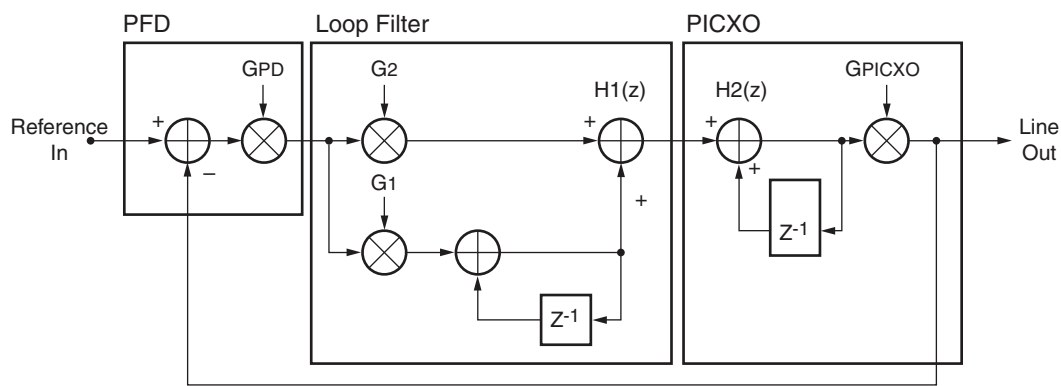
2. 二次ループ フィルター

二次ループ フィルターには、 G_1 と G_2 で定義されたデジタル ゲインを使用する比例積分パスがあります。この出力は、オシレーター用の必要な調整値を示します。

3. 数値制御されたオシレーター

数値制御されたオシレーター機能は、送信 GTX トランシーバーの位相インターポレーターブロック、位相アキュムレーター、およびシグマ-デルタ変調器で実行されます。ラジアン毎秒 (rad/s) とゲイン (G_{PICXO}) という単位があります。

これらは、図 8 に示す一般的な DPLL コンフィギュレーションで構成されます。



X589_08_041112

図 8 : PICXO DPLL デジタル等価回路

基準入力クロックからライン出力データまでの伝達は、式 6 の関数を用いて表すことができます。これによって、完全デジタルの VCXO 代用回路によるクロック クリーニングとトラッキング機能をユーザー アプリケーションで正確に制御できるようになります。

$$H(z) = \frac{H1(z)H2(z)G_{PD}}{1 + H1(z)H2(z)G_{PD}} \quad \text{式 6}$$

次の式を使用：

$$H1(z) = \frac{(g1 + g2)z - g2}{(z - 1)} \quad \text{式 7}$$

$$H2(z) = \frac{z(G_{PICXO})}{(z - 1)} \quad \text{式 8}$$

ゲイン パラメーター $g1$ および $g2$ は、次のように定義されます。

$$g1 = 2^{(G1-2)} \quad \text{式 9}$$

$$g2 = 2^{(G1+1)} \quad \text{式 10}$$

G_{PD} および G_{PICXO} は、次のように定義されます。

$$G_{PD} = \frac{0.25 \times 10^{-9} \times DCLK(Hz)^2}{CE_{DSP} \times V \times 2\pi} \quad \text{式 11}$$

$$G_{PICXO} = \frac{\frac{ACC_{STEP}}{PI_{res}} \times CE_{PI} \times 2\pi}{2^{32}} \quad \text{式 12}$$

次の式を使用：

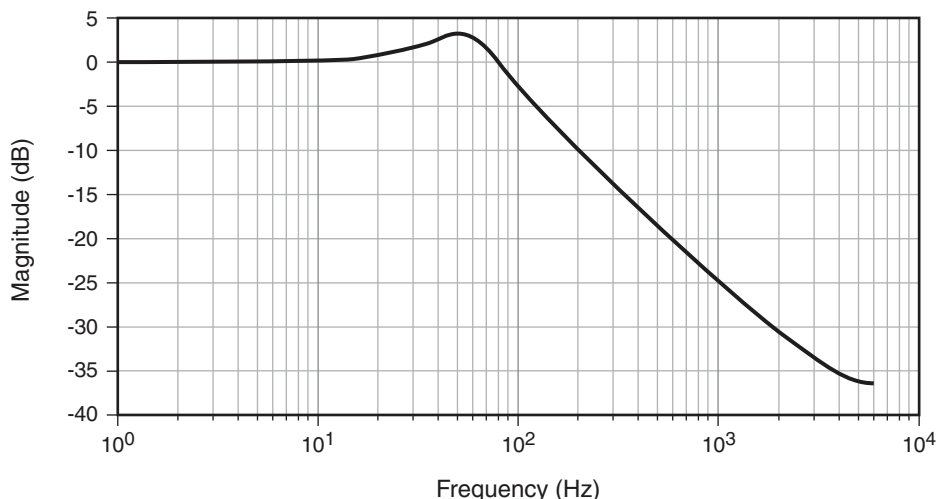
$$CE_{PI} = \frac{DCLK(Hz)}{wr_{TIME}} \quad \text{式 13}$$

$$CE_{DSP} = \frac{CE_{PI}}{DIVCNT_TC} \quad \text{式 14}$$

定数を使用：

- Virtex-6 FPGA GTX トランシーバーの場合は、 $PI_{res} = 248$ 、 $wr_{TIME} = 5$
- Kintex-7 FPGA GTX トランシーバーの場合は、 $PI_{res} = 128$ 、 $wr_{TIME} = 6$

図 9 に、PICXO 伝達関数の応答例を示します。Z 変換方程式を解析できる DSP 解析ツールは多数あります。伝達関数を解析する場合、係数に有効なクロック周波数は CE_{DSP} です。



X589_09_041712

図 9 : 式 6 の関数 $H(z)$ を使用して予想される伝達関数

最初のセットアップ ガイダンスとして、表 1 に、ビデオ、SONET/SDH、および SyncE アプリケーションで使用される標準的な設定を示します。

表 1 : Kintex-7 FPGA PICXO のパラメーター例 (公称値 50Hz のクリーニング帯域幅)

信号名	HD-SDI	3G-SDI	OC48/STM16	OC12/STM4	GBe
G1[4:0]	7h	5h	5h	8h	8h
G2[4:0]	Bh	Ah	Ah	Eh	Ch
R[15:0]	0053h	0108h	0062h	0062h	0098h
V[15:0]	0053h	0108h	0062h	0062h	0098h
ACC_STEP[3:0]	2h	1h	1h	2h	4h
DIVCNT_TC[15:0]	07FFh	07FFh	07FFh	07FFh	07FFh

表 1 に関するパラメーター選択の説明 :

- 安定性を得るために、 G_1 よりも G_2 を大きくしてください。
- G_2 値が大きいほど、ループ帯域幅が広がります。
- G_1 値が大きいほど、減衰が増加し、ロック時間が長くなります。
- R 値と V 値は、位相検出器の入力で同一の周波数に対応する必要があります。
- 位相検出器の周波数が低いほど、入力の変動に対する許容範囲が高くなります。
- 位相検出器の周波数が高いほど、ループ帯域幅が広がります。
- ACC_STEP が低いほど、少ない絶対可変範囲で低い出力ジッターをもたらします。
- DIVCNT_TC 分周器で DSP ループの動作スピードを指定します。

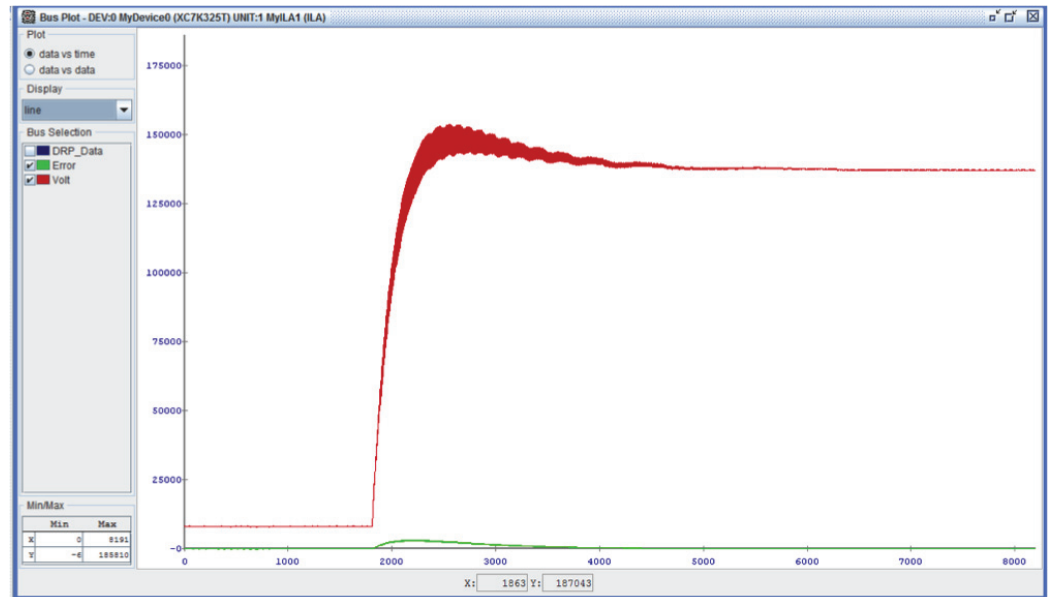
PICXO の 測定および性能

このセクションでは、KC705 ボードにインプリメントされたサンプル PICXO デザインの測定例を示します。

図 10 および図 11 に、周波数のステップ変化が適用されるロック プロセス中における DPLL エラーと仮想電圧を示します。エラー範囲は $\pm 2^{19}$ 、仮想電圧は $\pm 2^{20}$ です。この場合、仮想電圧は 140000 以下で安定し、これは約 +10ppm の固定ソース (GTX REFCLK 周波数) を参照するローカル GTX トランシーバーに対して PICXO が正のオフセットを生成していることを示しています。ローカル GTX トランシーバーは周波数のドリフトを考慮するため、出力は入力データにロックされた状態を保ちます。こ

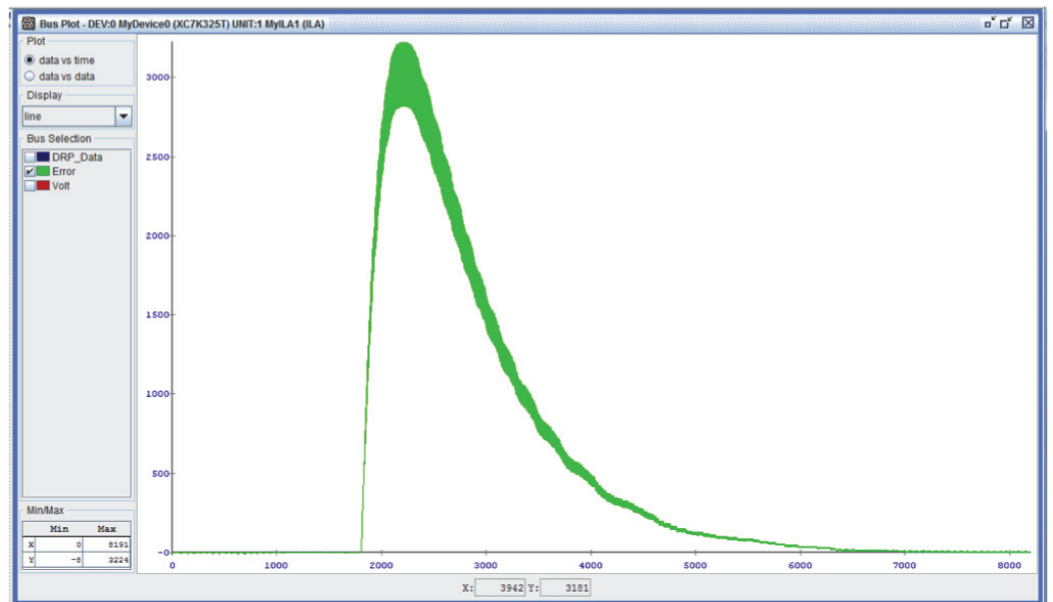
れにより、外部 VCXO がなくても再伝送が可能になり、回復信号のジッター クリーニングが実行されます。時間の単位は、 CE_{DSP} クロックです。

図 10 および図 11 の例では、9ppm 以下の周波数のステップ変化が PICXO に適用された場合におけるエラー出力と電圧出力を示しています。



X589_10_092812

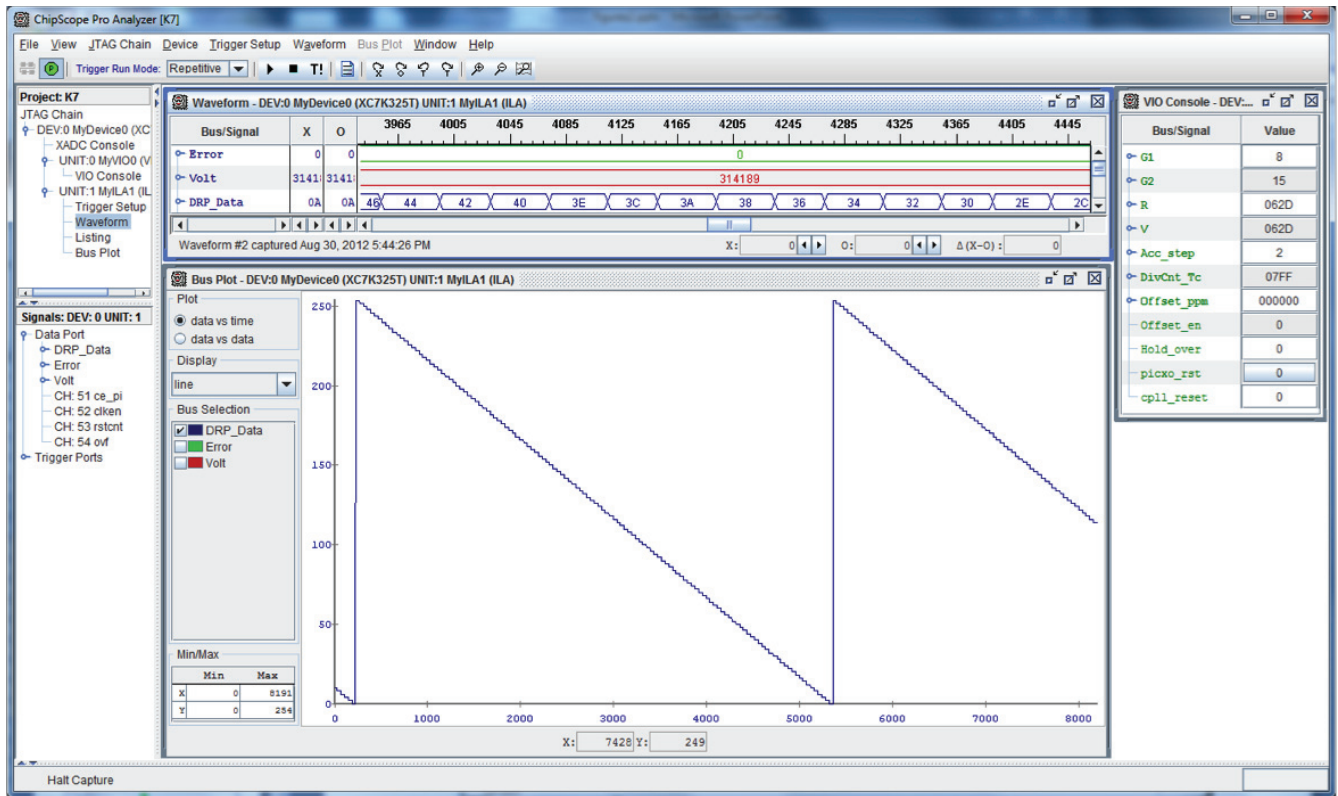
図 10 : ステップ変化中の PICXO DPLL の電圧とエラーを示す Chipscope ビュー



X589_11_092912

図 11 : ステップ変化中の PICXO DPLL のエラーを示す Chipscope ビュー

図 12 は、GTX トランシーバーの PICXO から書き込まれた送信位相インターポレーター コードを示しています。ここでは、周波数オフセットの生成が進行しています。さらに、動作周波数で送信 PLL が直接位相シフトを行っていることも示しています。このような位相ローテーションが、ライン レートでの継続的な位相ランプを生成します。正の周波数が生成されているため、より短い周期を生成するために位相が継続的に減算されます。時間の単位は、 CE_{PI} クロックです。

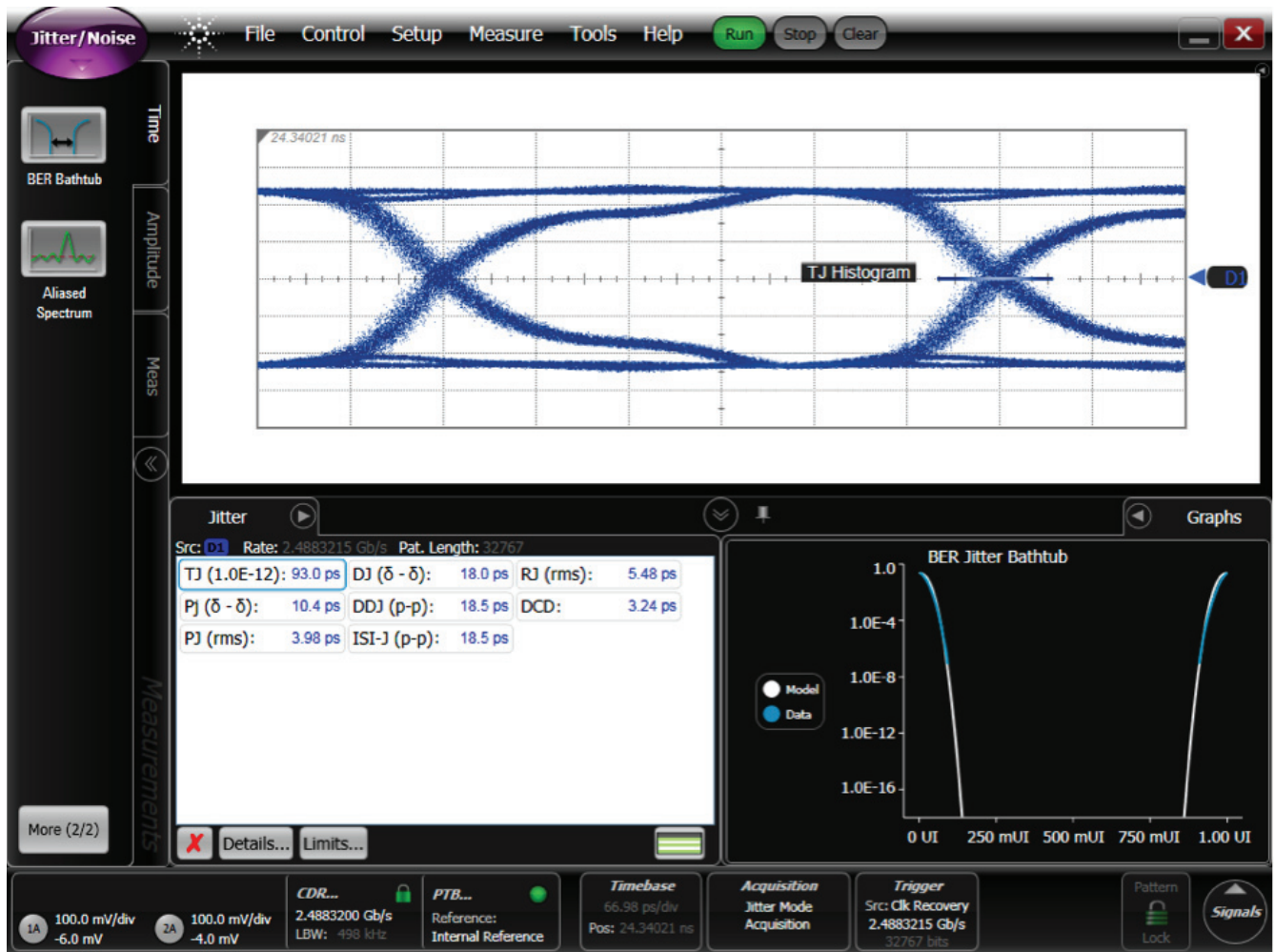


X589_12_092912

図 12 : ロックされた場合の PICXO 送信位相インターポレーター制御の Chipscope ビュー

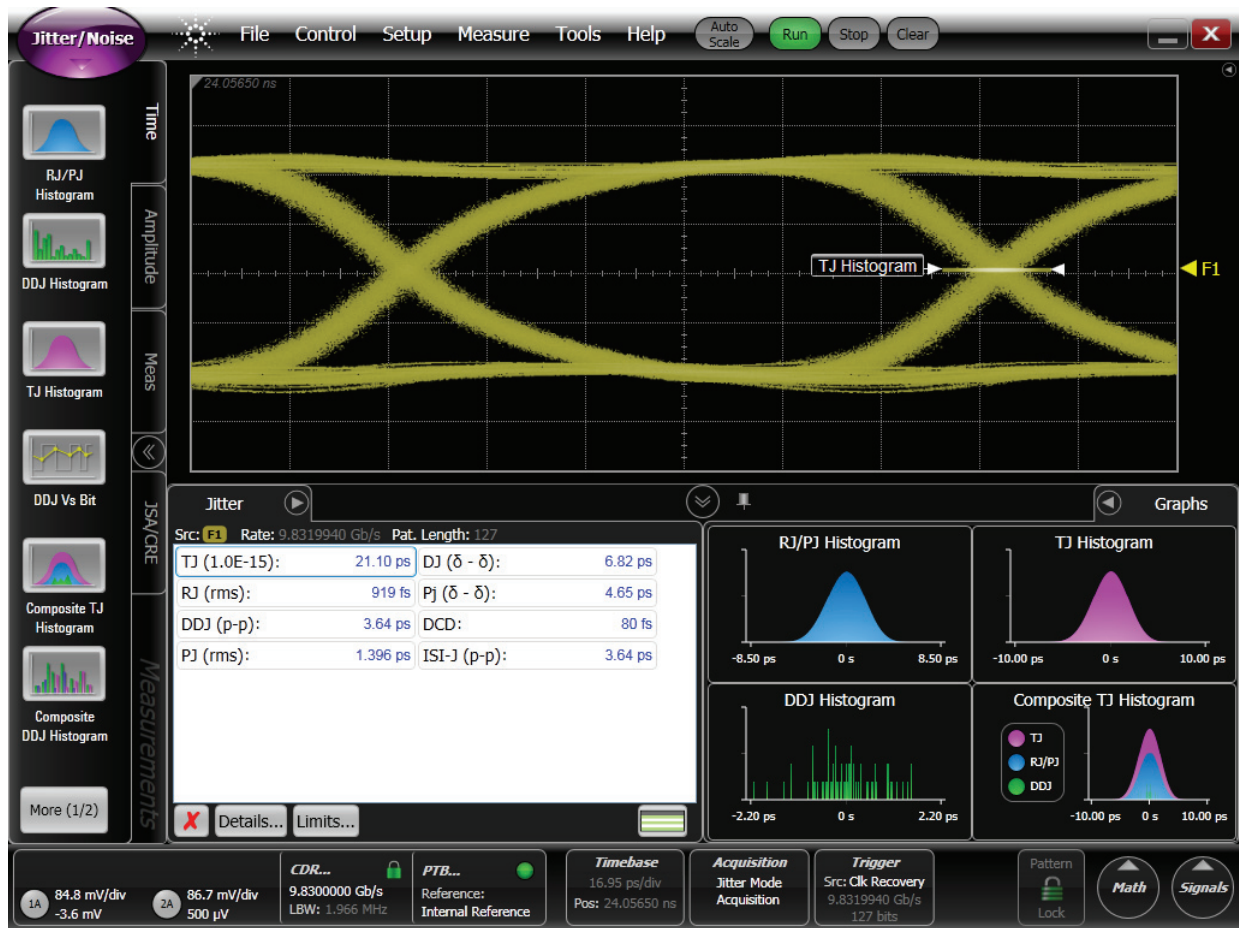
通常、GTX トランシーバーの送信位相インターポレーターを使用する場合、変調器の位相ステップングやローテーションの性質によって、送信側のジッターが 0.01 ~ 0.03 UI (pk-pk) 程度増加することが予想されます。

図 13 は Virtex-6 FPGA の波形例を示し、図 14 は 9.83Gb レートでジッター クリーニング モードで動作する Kintex-7 FPGA の波形例を示します。動作中にタイミング マージンの減少が生じた場合、ザイリンクスではシステムを評価することを推奨しています。



X589_13_092912

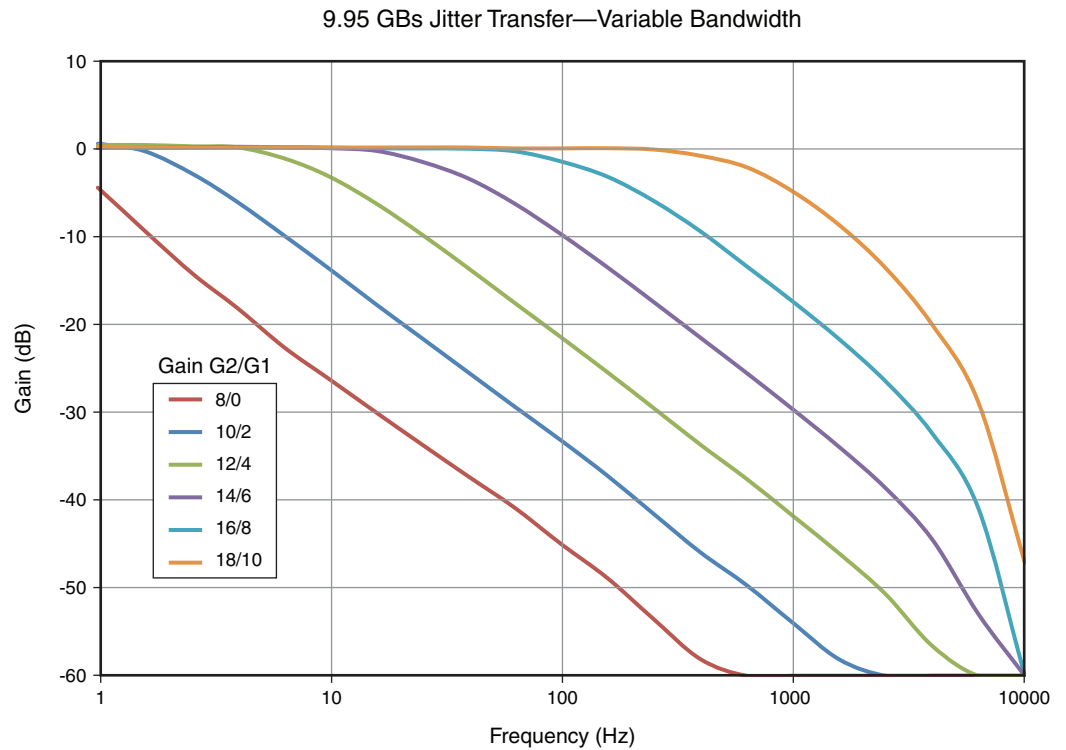
図 13 : 2.488GB/s で動作する Virtex-6 FPGA GTX トランシーバーのデータ出力 (+20ppm オフセットを生成)



X589_14_100312

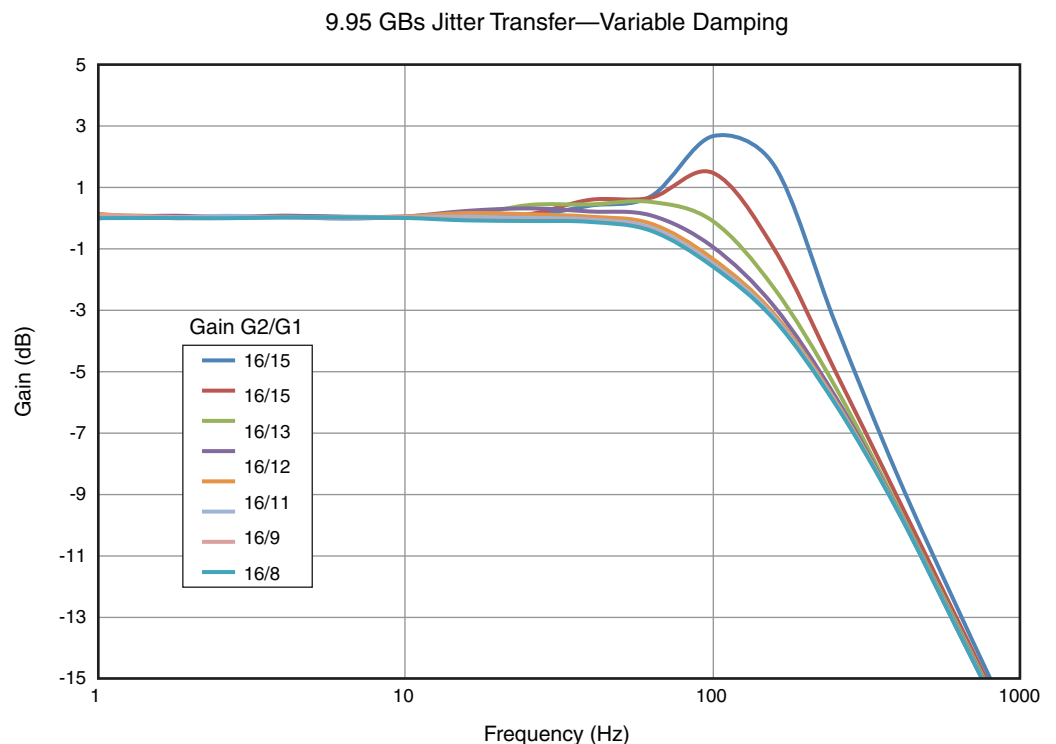
図 14 : 9.83GB/s で動作する Kintex-7 FPGA GTX トランシーバーのデータ出力 (+32ppm オフセットで PICXO ベースのジッター クリーナーとして動作)

図 15 および図 16 に、PICXO の転送帯域幅を示します。ループ フィルターをパラメーター指定することで、さまざまな帯域幅や減衰など異なるユーザー要件に応じて伝達関数を調整できることを示しています。



X589_15_092912

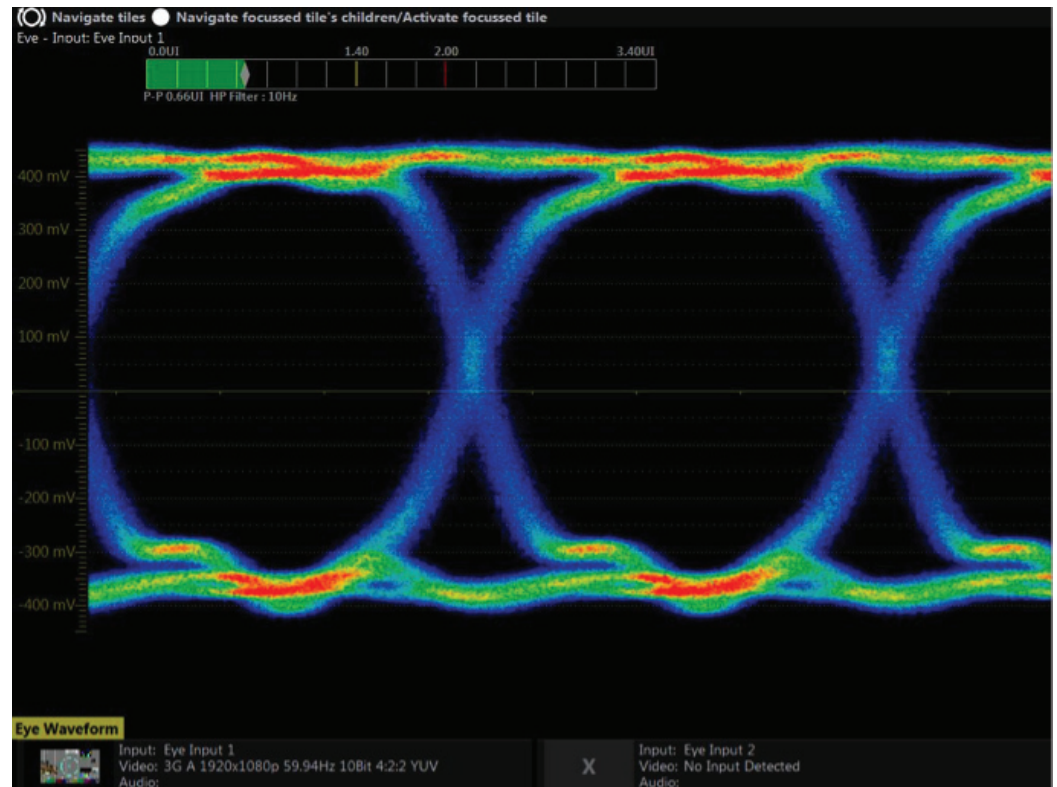
図 15 : Kintex-7 FPGA GTX トランシーバー 10GB/s ジッター伝達の測定 — 可変の帯域幅



X589_16_092912

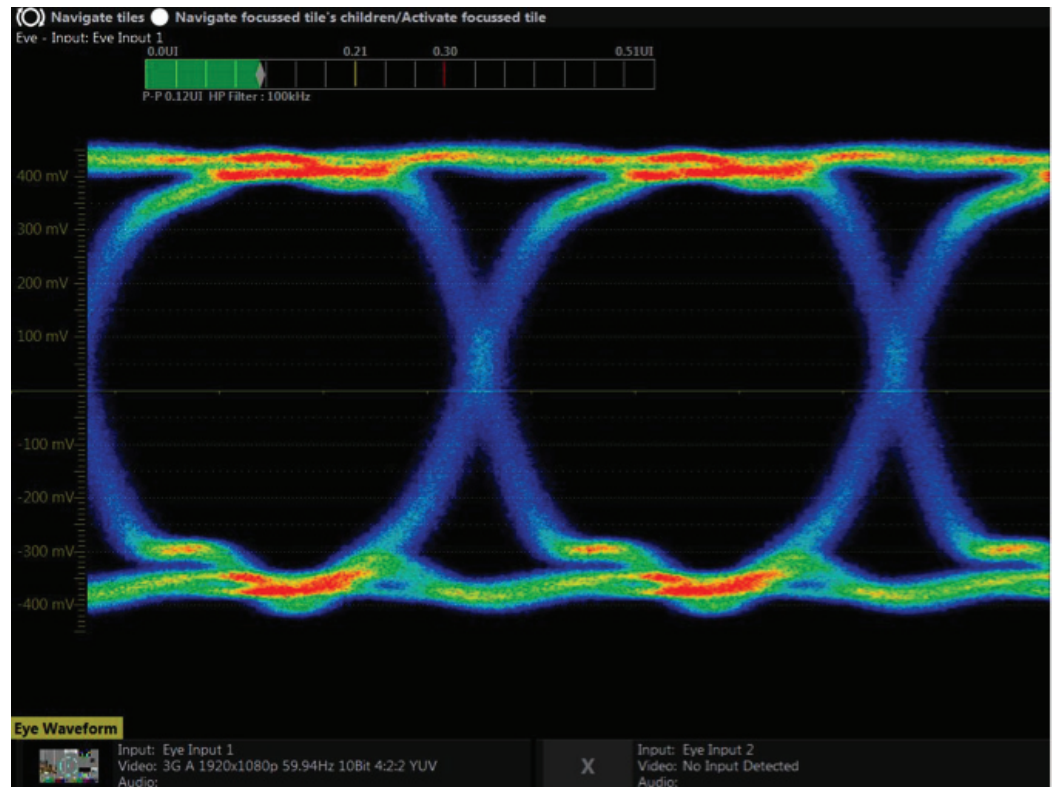
図 16 : Kintex-7 FPGA GTX トランシーバー 10GB/s ジッター伝達の測定 — 可変の減衰

放送機器の場合、SD-SDI、HD-SDI、3G-SDI 規格の一般的なレートはそれぞれ 270Mb/s、1.485Mb/s、2.97Mb/s です。すべての 3G-SDI フォーマットの放送用ジッター要件を満たすことは、非常に困難です。3G-SDI フォーマットの一つに 3G レベル A があります。図 17 および図 18 に示す測定例では、10Hz と 100kHz のそれぞれのジッター測定帯域幅で 3G レベル A の SDI 用マージン (3G レベル A の 1920 x 1080p、59.94Hz) でデータ伝送を行っているシステムを示しています。このデザインには、PICXO 手法を用いて、FPGA 内に VCXO とリクロッキング機能が搭載されています。



X589_18_092912

図 17 : SDI FMC を用いた ML605 ボードにおける、トリプルレート SDI パススルー デザインの 3G レベル A SDI 出力 (10Hz ジッター)



X589_19_092912

図 18 : SDI FMC を用いた ML605 ボードにおける、トリプルレート SDI パススルー デザインの 3G レベル A SDI 出力 (100Hz ジッター)

物理インターフェイス

表 2 ~ 表 5 では、ポートについて説明しています。

表 2 : GTX トランシーバーポートへのクロック、リセット、およびインターフェイス

信号名	方向	内容
RESET_I	入力	アクティブ High の同期リセット。
REF_CLK_I	入力	基準クロック。いかなるクロックでも可 (ローカル、BUFG、パルスなど)
TXOUTCLKPCS_I	入力	Virtex-6 FPGA : GTX シリアルトランシーバーの TXOUTCLKPCS へ直接接続 Kintex-7 FPGA : TXOUTCLK_I と同じ
TXOUTCLK_I	入力	BUFG/BUFH/BUFR を介して GTX トランシーバーの TXOUTCLK へ接続
DRPEN_O	出力	GTX シリアルトランシーバーの DEN ポートへ接続
DRPWEN_O	出力	GTX シリアルトランシーバーの DWE ポートへ接続
DRPDATA_O [15:0]	出力	GTX シリアルトランシーバーの DI ポートへ接続
DRPADDR_O [7:0]	出力	GTX シリアルトランシーバーの DADDR ポートへ接続
DRPRDY_I	入力	GTX シリアルトランシーバーの DRDY ポートへ接続

表 3 : DRP ユーザー ポート

信号名	方向	内容
DRP_USER_REQ_I	入力	アサートされると、DRP ポート アクセスを要求する。アクティブ High 信号
DRPEN_USER_I	入力	DEN GTX シリアル トランシーバー ポートと同じ機能 [参照 1][参照 4]
DRPWEN_USER_I	入力	DWEN GTX シリアル トランシーバー ポートと同じ機能 [参照 1][参照 4]
DRPADDR_USER_I [7:0]	入力	DADDR GTX シリアル トランシーバー ポートと同じ機能 [参照 1][参照 4]
DRPDATA_USER_I [15:0]	入力	DI GTX シリアル トランシーバー ポートと同じ機能 [参照 1][参照 4]
DRPRDY_USER_O	出力	TXOUCLK ドメインの DRDY を反映する。DRPDO に現れるデータが有効であることを示す [参照 1][参照 4]
DRPBUSY_O	出力	DRP ポートが利用できないことを示す。アクティブ High 信号

表 4 : デバッグ ポート

信号名	方向	内容
ERROR_O [20:0]	出力	位相検出器の出力。符号付き数値
VOLT_O[21:0]	出力	ローパス フィルターの出力。符号付き数値
DRPDATA_SHORT_O[7:0]	出力	アキュムレーターの出力。符号なし数値
CE_PI_O	出力	アキュムレーターのクロック イネーブル
CLKEN_O	出力	ローパス フィルターと DAC のクロック イネーブル
RSTCNT_O	出力	位相検出器のカウンターをリセットし、位相検出器エラーをローパス フィルターへロードする
OVF_PD	出力	位相検出器のオーバーフロー
OVF_AB	出力	ローパス フィルター入力の飽和
OVF_INT	出力	ローパス フィルターの飽和

表 5 : PICXO ループのパラメーター

信号名	方向	内容
G1[4:0]	入力	線形パスのゲインをフィルタリング：範囲 0 ~ F
G2[4:0]	入力	積分器パスのゲインをフィルタリング：範囲 0 ~ C
R[15:0]	入力	基準信号分周器：範囲 0 ~ 65535
V[15:0]	入力	TXOUTCLK 分周器：範囲 0 ~ 65535
ACC_STEP[3:0]	入力	PICXO のステップ サイズ：範囲 1 ~ 7 (0 = ステップなし)
DIVCNT_TC[15:0]	入力	DSP 分周器：デフォルト値は 07FF
VSIGCE_I	入力	予約：1 へ接続
VSIGCE_O	出力	予約：フローティング
RSIGCE_I	入力	予約：1 へ接続
C_I[9:0]	入力	予約：0 へ接続
P_I[9:0]	入力	予約：0 へ接続
N_I[9:0]	入力	予約：0 へ接続
OFFSET_PPM[21:0]	入力	直接周波数オフセット制御。符号付き数値
OFFSET_EN	入力	直接周波数オフセット制御の入力を有効化
HOLD	入力	ローパス フィルターの出力値をホールド

動作

図 19 に示すように、すべての入力信号 (REF_CLK_I を除く) は、TXOUTCLK_I の立ち上がりエッジに同期する必要があります。Virtex-6 FPGA GTX DRP インターフェイスは、TXOUTCLKPCS_I に同期します。PICXO DRP アービタが、DRP ユーザー ポートと GTX DRP ポート間のクロスクロックドメインを管理します。Kintex-7 FPGA GTX DRP インターフェイスは、TXOUTCLK_I に同期します。

DRP ユーザー ポートを動作させるには、アプリケーションで DRP_USER_REQ_I 信号をアサートし、DRP_BUSY_O が Low に遷移するまで待機します。DRP_BUSY_O が Low に遷移すると、アプリケーションは DRP USER ポートを GTX DRP の仕様どおりに動作させることができます ([参照 1] [参照 4])。すべての DRP ユーザー信号 (DRPRDY_USER_O を含む) は、TXOUTCLK_I に同期します。DRP でデータ転送が行われている間は、DRP_USER_REQ_I をアサートした状態で保持する必要があります。DRP_USER_REQ_I をアサートすると、PICXO 動作が停止します。DRP の利用が終わると、PICXO をリセットして正しい動作を再開できるようにします。PICXO をリセット/再開するには、RESET_I を 1 クロック サイクル間 High にアサートします。

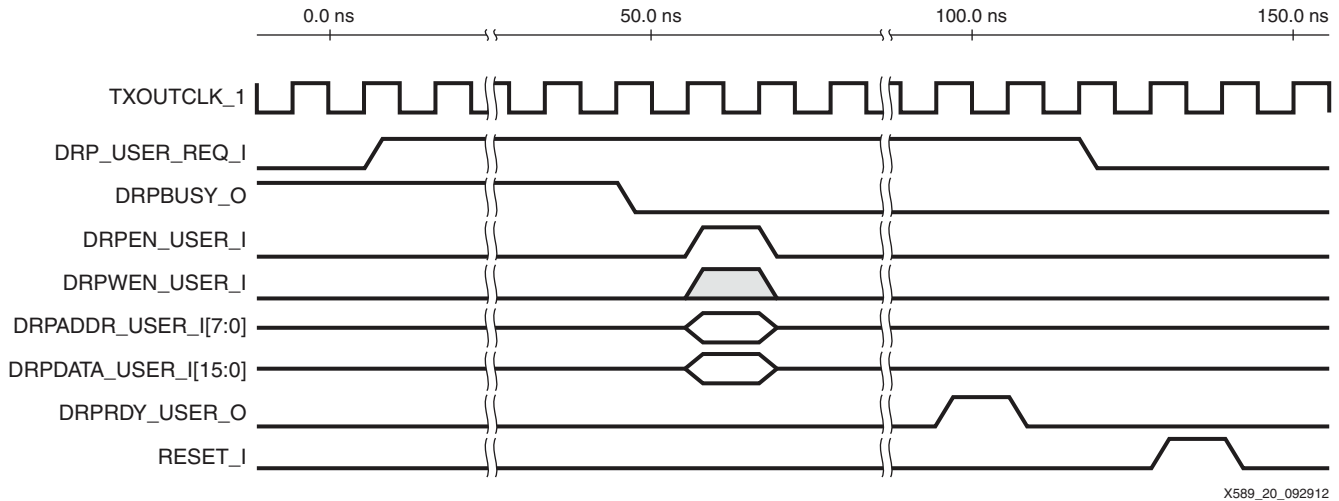


図 19： タイミング波形の例

インプリメンテーション

制約

UCF ファイルのサンプルがリファレンス デザインと共に提供されています。TXOUTCLK、TXOUTCLKPCS、および REFCLK_I には、Period 制約が必要です。TXOUTCLK と TXOUTCLKPCS 間のタイミングパスには TIG 制約を適用してください。必要なタイミング制約およびインプリメンテーション制約は、PICXO ネットリストの NGC ファイルに記述されています。1 つのデザインに複数の PICXO インスタンスが使用されている場合は、ユーザーが各インスタンスに U_SET 制約を追加する必要があります。たとえば、以下のように記述します。

```
INST "Inst1/VCXO/*" U_SET = "Inst1_VCXO";
INST "Inst2/VCXO/*" U_SET = "Inst2_VCXO";
```

すべての Period 制約を満たす必要があります。次に示すタイミング制約のエラーは、100ps 以内であれば許容可能です。

- TS_up_to_up_TIG
- TS_up_to_dn_TIG
- TS_dn_to_up_TIG
- TS_dn_to_dn_TIG

Virtex-6 FPGA のクロッキング

PICXO (図 20) には、2 つの入力クロック (TXOUTCLK_I と TXOUTCLKPCS_I) があり、両方とも GTX トランシーバーで駆動されます。GTX トランシーバーの TXOUTCLK は、TXOUTCLK_I 入力を駆動する前に BUFG を通過する必要があります。TXOUTCLKPCS_I は、GTX トランシーバーの TXOUTCLKPCS から直接駆動され、ローカル配線で接続されます。XST VHDL の属性 buffer_type を NONE に設定して、TXOUTCLKPCS_I 上に BUFG を自動挿入させないようにします (サンプルファイルの最上位を参照)。

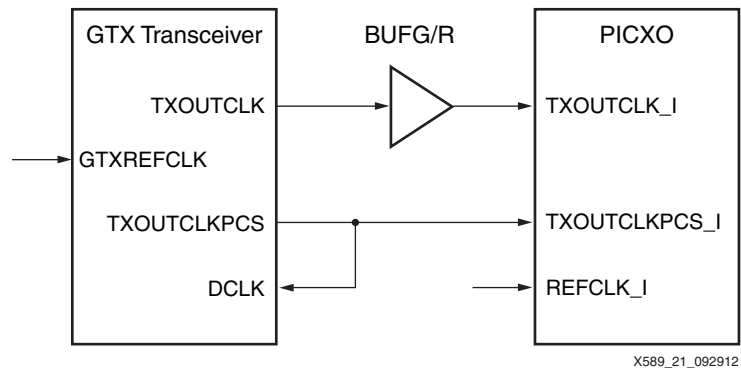


図 20 : Virtex-6 FPGA PICXO のクロッキング

Kintex-7 FPGA のクロッキング

図 21 に、プライマリ クロッキング手法を示します。GTX トランシーバーの TXOUTCLK は BUFG へ接続され、BUFG は PICXO の入力クロック TXOUTCLK_I、TXOUTCLKPCS_I、そして GTX DRP クロック (DCLK) を駆動します。

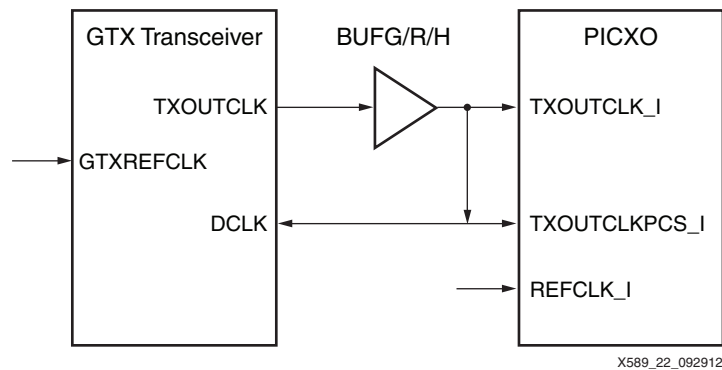


図 21 : Kintex-7 FPGA の PICXO クロッキング手法 (プライマリ)

図 22 に、セカンダリ クロッキング手法を示します。このクロッキング手法は、TXOUTCLK が GTX DRP クロックの仕様を超える場合に使用できます。この場合、GTX DRP クロックは TXOUTCLK 周波数の整数の約数にしてください。

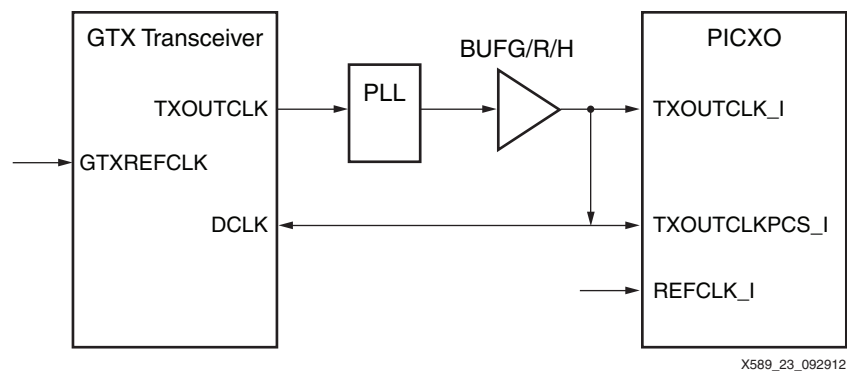


図 22 : Kintex-7 FPGA の PICXO クロッキング手法 (セカンダリ)

必須条件および制限

- 送信バッファのバイパスはサポートされていません。

Virtex-6 FPGA

- GTX トランシーバーの DRP クロック (DCLK) は、バッファを介さずに TXOUTCLKPCS へ直接接続してください。
- TXPMAPHASEALIGN は、1 に設定してください。
- PMA_TX_CFG のビット 17 は、1 に設定してください。
- TXOUTCLKCTRL は TXOUTCLKPMA_DIV2 に設定してください。
- GTX トランシーバーは、2 バイト幅インターフェイスに設定してください。
- TXOUTCLK と TXOUTCLKPCS は、同じ周波数にしてください。

Kintex-7 FPGA

- TXDLY_LCFG[2] と PCS_RSVD_ATTR[1] は、1 に設定してください。
- Kintex-7 FPGA ポート TXPHALIGN、TXPHALIGNEN、および TXPHOVRDEN は、1 に設定してください。
- TXPHDLYPD は、0 に接続してください。
- TXOUTCLKSEL は、TXOUTCLKPMA (010) に設定してください。

表 6: スタンドアロン PICXO の統計値と性能

ターゲット デバイス	Virtex-6 LXT および Virtex-6 SXT FPGA	Kintex-7 FPGA
LUT	1060	1078
レジスタ	765	764
SRL	2	1
キャリー チェーン	19	19
キャリー エレメント	498	498
MUXFXes	69	71
最大周波数	スピード グレードに依存し、DRP ポートの最大周波数と調和	スピード グレードに依存し、DRP ポートの最大周波数と調和

リファレンス
デザイン

リファレンス デザインは、Virtex-6 FPGA GTX トランシーバーのラッパー ファイル v1.8 [参照 3]と Kintex-7 GTX トランシーバーのラッパー ファイル v1.6 [参照 5] を利用し、ML605 および KC705 開発プラットフォームをターゲットとしています。受信データは、送信部へループバックされます。送信部は、PICXO インスタンスによってリカバリ クロック (RXRECLK) にロックされます。

ISE Design Suite のプロジェクト生成、ビットストリーム生成、およびインプリメントに役立つスクリプト (PICXO_V6_vhd.tcl、PICXO_V6_ver.tcl、および PICXO_K7_vhd.tcl) を提供しています。詳細は、readme.txt を参照してください。

Chipscope Pro VIO コアを使用して、PICXO ループのパラメーター制御が可能です (表 5)。Chipscope Pro ILA コアは、PICXO デバッグ信号を監視します (表 4)。src/chipscope フォルダにある Chipscope Pro のプロジェクト ファイル (ML605_DT.cpj および K7.cpj) を利用して、Chipscope Analyzer を簡単にセットアップできます。rst_cnt_o が High 駆動している間、位相/周波数検出器の出力 (error_o) をキャプチャできるため、PICXO の応答を監視できます。ロックしている場合は、error_o が 0 付近で動作します (図 11)。

Virtex-6 FPGA デザインでは、2 つのモジュール (double_reset および clock_detector) によって、リセット後や TXOUTCLK の損失後における正しい動作が保証されています [参照 2]。

サンプル デザインのシミュレーションは実行できません。GTX トランシーバー シミュレーション モデルには GTX トランシーバーの位相インターポレーターが含まれていません。drp_arbiter ソース コードが提供されているため、DRP ユーザー アクセスの機能シミュレーションが可能です。

リファレンス デザイン ファイルは、次のサイトからダウンロードできます。

<http://japan.xilinx.com/member/vcxoff/index.htm>

表 7: リファレンス デザインの詳細

パラメーター	内容
全般	
開発者	David Taylor, Matt Klein, Vincent Vendramini
ターゲット デバイス	Virtex-6 LXT XC6VLX240T FF1146 -1 Kintex-7 XC7K325T FFG900 -1
ソース コードの提供	あり
ソース コードの形式	VHDL
既存のザイリンクス アプリケーション ノート/リファレンス デザイン、CORE Generator™ ソフトウェア、またはサードパーティからのコード/ IP デザインに使用	はい
シミュレーション	
機能シミュレーションの実施	いいえ
タイミング シミュレーションの実施	いいえ
機能およびタイミング シミュレーションでのテストベンチの利用	いいえ
テストベンチの形式	N/A
使用したシミュレータ ソフトウェア ツール/バージョン	N/A
SPICE/IBIS シミュレーションの実施	N/A
インプリメンテーション	
使用した合成ソフトウェア ツール/バージョン	XST/v13.4 および v14.2
使用したインプリメンテーション ソフトウェア ツール/バージョン	ISE Design Suite/v13.4 および v14.2
スタティック タイミング解析の実施	はい
ハードウェア検証	
ハードウェア検証の実施	はい
検証に使用したハードウェア プラットフォーム	ML605、KC705

表 8 : デバイスの使用リソースと性能

	Virtex-6 FPGA		Kintex-7 FPGA	
	フルデザイン	Chipscope (ICON+VIO+ILA)	フルデザイン	Chipscope (ICON+VIO+ILA)
スライス LUT	1600	600	1511	607
スライスレジスタ数	1563	727	1512	733
配置済みスライス ⁽¹⁾	1009	N/A	1035	683
ブロック RAM	15	15	15	15
BUFG	4	1	5	1
GTXE1	1	0	1	0
MMCM	0	0	0	0
最大周波数	DRP は最大 150MHz に制限	N/A	DRP は最大 150MHz に制限	N/A

注記 :

1. 配置済みスライスの数は、パッキング結果によって異なる可能性があります。

参考資料

1. [UG360](#): 『Virtex-6 FPGA コンフィギュレーション ユーザー ガイド』 「ダイナミック リコンフィギュレーション ポート」 の章を参照
2. [EN142](#): 『Virtex-6 FPGA LX、LXT、SXT、および HXT Production エラッタ』
3. [UG366](#): 『Virtex-6 FPGA GTX トランシーバー ユーザー ガイド』
4. [UG470](#): 『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』 「ダイナミック リコンフィギュレーション ポート」 の章を参照
5. [UG476](#): 『7 シリーズ FPGA GTX/GTH トランシーバー ユーザー ガイド』

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2012 年 5 月 8 日	1.0	初版
2012 年 6 月 19 日	1.1	Verilog バージョンの内容を追加。「リファレンス デザイン」の VHDL コードをマイナー変更。表 5 を更新。表 8 のブロック RAM を変更。
2012 年 10 月 16 日	2.0	資料全体で Kintex-7 FPGA のサポートを追加 (図の追加、および表の変更を含む)。変更されたデザイン ファイルを含む「リファレンス デザイン」を参照。

Notice of Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available “AS IS” and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

Automotive Applications Disclaimer

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

本資料は英語版 (v2.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。