



WP498 (v1.1) 2018 年 5 月 29 日

SD-FEC の内蔵によりスループットと 電力効率を高めた Zynq UltraScale+ RFSoc

著者: Ambrose Finnerty, Martin Lee

柔軟な構成が可能な SD-FEC (Soft-Decision Forward Error Correction) IP ブロックを業界で初めて統合したザイリンクス Zynq[®] UltraScale+[™] RFSoc は、幅広いデータ通信アプリケーション向けに効率とスループットを高めた低消費電力の LDPC およびターボ コーデック ソリューションを可能にします。

概要

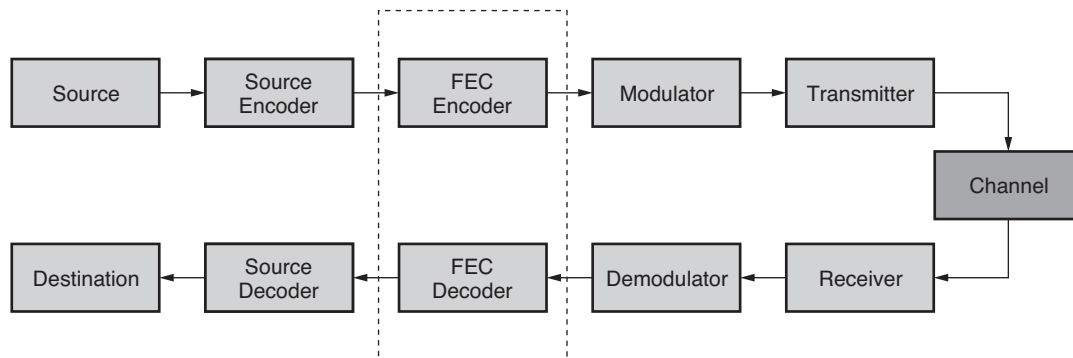
有線か無線かにかかわらず、データ通信の世界でシステム全体の品質要件を満たすには、伝送の信頼性を維持することが不可欠です。これらのシステムを理想的とはいえない環境で動作させる上で重要な役割を果たすのが、高性能な SD-FEC (>1Gb/s) です。ザイリンクスが発表した Zynq UltraScale+ RFSoc は、幅広い LDPC および LTE ターボ符号規格に完全準拠した SD-FEC IP ブロックを備えています。

© Copyright 2018 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix, ISE, Kintex, Spartan, Virtex, Vivado, Zynq, およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の各国のザイリンクス社の商標です。AMBA, AMBA Designer, Arm, ARM1176JZ-S, CoreSight, Cortex, PrimeCell, Mali, および MPCore は、EU およびその他の各国の Arm 社の登録商標です。MATLAB および Simulink は、MathWorks, Inc. の登録商標です。すべてのその他の商標は、それぞれの保有者に帰属します。

この資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

データ 伝送の信頼性の問題

現代のデータ通信では膨大な量のデータが発生し、これらはさまざまな種類の物理チャネルを経由してノード間で伝送されます。図 1 に、一般的なデータ通信システムの例を示します。



WP498_01_030318

図 1: 一般的なデータ通信システムのブロック図

これらのデータチャネルは完璧ではなく、程度の差こそあれ品質の問題を抱えているため、受信したデータには必ずエラーが含まれます。4G/5G 無線 [参照 1]、DOCSIS ケーブル [参照 2]、マイクロ波バックホール [参照 3] などの一般的なチャネルも例外ではなく、システムエンジニアはビットエラー率 (BER) などのメトリクスで評価される性能基準を事前に定義し、その基準を満たすようにシステムを設計する必要があります。

LDPC (Low-Density Parity Check) [参照 4] やターボ SD-FEC [参照 5] などの強力な前方エラー訂正 (FEC) アルゴリズムを使用すると、チャネルのシャノン容量 [参照 6] に迫る先進の通信システムを設計できます。ただしこれらの SD-FEC 符号化アルゴリズムは実装が難しく、通常は高度な専門知識が要求されます。

これらの SD-FEC アルゴリズムでは大量の可変精度算術演算および広いメモリ帯域幅が必要とされるため、高性能プログラマブルロジック、メモリ、DSP、I/O、さらに SerDes を備えた FPGA にインプリメントするのが理想的です。ところが、数ギガビットのデータレートをサポートするにはさらに厳しいシステム要件が求められるため、性能、消費電力、およびコストが設計上の大きな課題となります。この点において、ソフトインプリメンテーションは統合型ソリューションにかないません。

これらの SD-FEC アルゴリズムは非常に計算量が多く、FPGA のプログラマブルロジックにインプリメントするには多くのリソースが必要です。ザイリンクスの Zynq UltraScale+ RFSoc [参照 7] は、一部デバイスに SD-FEC IP を統合することにより、次のような利点を達成しています。

- 性能およびスループットのボトルネックを軽減
 - LDPC 復号の場合、約 3Gb/s のピークスループット
- リソース使用量を大幅に削減
 - 1 インスタンスの SD-FEC につき約 100k の LUT を節約
- 消費電力を大幅に削減
 - 統合型ソリューションへの移行により消費電力が 80% 低減

Zynq UltraScale+ RFSoc は、FPGA が持つ柔軟性とプログラマビリティはそのままに、これらすべての利点を提供します。このため、設計者は製品の差別化とシステム全体の最適化に専念できます。

SD-FEC および繰り返し復号への移行

表 1 に示すように、FEC の要件は音声、ビデオ会議、ビデオ再生、非リアルタイム データの各カテゴリによって異なります。たとえば LTE [参照 8] では、4G/LTE 固定ブロードバンド無線によるデータ/音声サービスを展開する際、サービス品質 (QoS) がネットワークの計画/設計における重要な要素となります。

表 1: 各種サービスの BER

サービス	BER 許容値	遅延許容値	注記
音声	$\sim 10^{-3}$	100ms	ビットレート保証あり
ビデオ会議	$\sim 10^{-4}$	150ms	ビットレート保証あり
ビデオ再生	$\sim 10^{-5}$	300ms	ビットレート保証なし
非リアルタイム データ	$< \sim 10^{-7}$	>300ms	ビットレート保証なし

これまでは、畳み込みリードソロモン (RS) 接続符号とビタビ復号 [参照 9] を用いて要件を満たすことができていました。この方式は、軟判定 [参照 10] 復号を採用すると効率がさらに向上し、符号化利得が約 3dB 増大します [参照 11]。符号化利得が 3dB 増大すると、同じ性能でチャネルの信号伝送距離を 2 倍にできます。

ところが、マルチレベル QAM (DOCSIS3.1 では最大 4096-QAM) など変調方式の複雑化に伴い、これらのシステムでは一定のビットエネルギー対雑音電力密度比 (Eb/No) [参照 12] に対して利用可能な BER が増大する傾向にあります。したがって、復調後のビットがチャネル品質の影響を受けやすくなっています。これらのシステムで性能要求を満たすには、より強力な SD-FEC 方式を採用する必要があります。

表 1 に示したさまざまな QoS 要件 (音声、データ、ビデオなど) に固有の BER 要件を満たす方式として広く使用されるようになってきているのが、繰り返し復号 [参照 13] です。

ターボおよび LDPC 符号は繰り返し符号で、最大限の性能を得ようとする、一般にビットあたりの演算量が畳み込み符号に対するビタビ復号よりも多くなります。しかしこれらの符号により、理論上のシャノン限界 [参照 14] に迫るシステムを構築できます。これらの符号化方式は成熟に達し、実装が現実的と考えられるようになっており、4G/5G 無線や DOCSIS 3.1 など多くのアプリケーションで採用が進んでいます。

SD-FEC を内蔵したザイリンクス ZYNQ ULTRASCALE+ RFSoc

幅広い種類のアプリケーションに対応するため、ザイリンクス Zynq UltraScale+ RFSoc には SD-FEC ブロックが内蔵されています。ARM® Cortex™-A53 プロセッサを含む SoC アーキテクチャに SD-FEC ブロックを内蔵したデバイスには、数ギガサンプルレートの RF データ コンバーター [参照 15] を内蔵したものとし、ないものがあります。これらのザイリンクス デバイスは、DSP、汎用プロセッサ (GPP)、プログラマブル ロジック、最適化された RF 信号処理ブロック (DUC と DDC) などを含む機能の豊富なプラットフォームです。

Zynq UltraScale+ RFSoc のうち、高速 RF データ コンバーターと SD-FEC の両方を備えたデバイスは 1 個のデバイスで全二重ソリューションを構築することも可能で、ケーブル/DOCSIS 3.1 リモート PHY などのアプリケーション向けソリューションとして非常に高い柔軟性を備えています。

5G NR (New Radio) 無線ベースバンド システムの場合も同様にデータ スループット、レイテンシ、符号化性能に対する要求が厳しく、プログラマブル ロジック ベースのソリューションの場合、SD-FEC アルゴリズムをインプリメントするには非常に多くの汎用プログラマブル ロジック リソースが必要です。LUT、メモリ、配線などのリソース使用量が増えると同時に、デザインの高速化が進むことで消費電力が増大し、ひいてはソリューションのコストも上昇します。1 つのデバイスに 8 つの SD-FEC ブロックを備えた Zynq UltraScale+ RFSoc は、1 つのデバイスでシステム全体のスループットを達成できます。

RF データ コンバーターと SD-FEC 以外にも、ザイリンクスはこれまで PCIe、Interlaken、イーサネット MAC など多くの IP ブロックをデバイスに統合してきた実績があります。SD-FEC の IP ブロックを統合することで次の利点が得られます。

- 必要なプログラマブル ロジック リソースの削減
- 消費電力の削減
- 開発期間の短縮
 - 機能とタイミングが事前に検証済みの IP
 - ソフトウェアおよびツールでサポートされたフロー
- ソフト インプリメンテーションに比べ予測性の高い性能向上
 - 高スループット、低レイテンシ
- コンフィギュレーションによる高い柔軟性

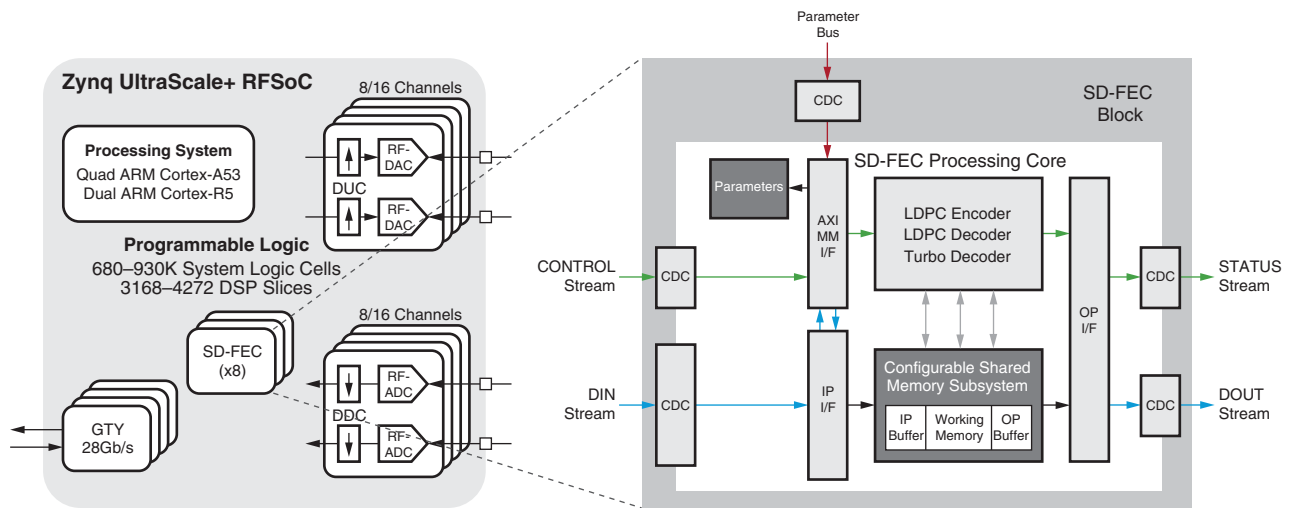
これらの利点は、いずれもソリューションのコスト削減につながります。

ザイリンクスの SD-FEC と RFSoc アーキテクチャは、主に次のアプリケーションをターゲットとしています。

- 4G/5G 無線 (ベースバンドおよびバックホール)
 - LTE で使用されるターボ符号および Wi-Fi/5G NR で使用される LDPC
- ケーブル アクセス
 - DOCSIS 3.1 リモート PHY で使用される LDPC 符号
- マイクロ波リンク

SD-FEC IP の概要

図 2 に、ザイリンクスの SD-FEC IP のブロック図を示します。



WP498_02_031918

図 2: SD-FEC のブロック図

SD-FEC ブロックには次の 3 つの動作モードがあり、いずれか 1 つを有効にして使用します。

- LDPC 符号化
- LDPC 復号化
- ターボ復号化 (LTE)

基盤のアルゴリズムが十分に成熟しており、属性やインプリメンテーションのトレードオフが知られているという点で設計者にとって扱いやすいことから、これら 3 つのモードがサポートされています。

LDPC の説明

LDPC 符号化および復号化は、ユーザーが指定するさまざまな準巡回 (QC) 符号でサポートされます。この SD-FEC ブロックは統合された IP ですが非常に柔軟な構成が可能で、最大 128 個の符号をパラメータメモリに格納できます。符号はブロック単位で選択でき、カスタムコードも追加できるなど、非常に高い柔軟性があります。SD-FEC は繰り返し復号をサポートした軟判定デコーダーで、復号を途中で打ち切って消費電力を削減できます。

ターボの説明

ターボ復号は 4G LTE-Advanced および LTE-Pro アプリケーションでのみサポートされます。LDPC デコーダーと同様に繰り返し復号をサポートしており、途中で打ち切りも可能です。

スループット

SD-FEC のピーク スループットは、次のとおりです。

- ターボ復号、6 回の繰り返しで約 1.8Gb/s
- LDPC 復号、8 回の繰り返しで約 3.0Gb/s
- LDPC 符号で約 20.0Gb/s

スループットは、符号の種類やアプリケーション (DOCSIS 3.1 や 5G NR など) によって異なります。サポートされる符号およびアプリケーションにおける BER の性能プロットなど、スループットと性能の詳細は、『Soft-Decision FEC Integrated Block LogiCORE IP 製品ガイド』[参照 16] を参照してください。

システム スループット

Zynq UltraScale+ RFSoc ファミリの一部デバイスは 8 個の SD-FEC 統合ブロックを備えており、使い方に応じて次のようなシステム スループットを達成できます (表 2 参照)。

表 2: ピーク システム スループット

モード	SD-FEC デコーダー数	SD-FEC エンコーダー数	デコーダーの ピーク スループット	エンコーダーの ピーク スループット
ターボ	4	N/A	>7.0Gb/s	N/A
LDPC	6	2	>18.0Gb/s	>40.0Gb/s
LDPC	0	8	N/A	>162.0Gb/s

SD-FEC で達成可能な最大スループットは、 $F_{MAX} = 667\text{MHz}$ の場合に選択した符号、符号レート、および復号の繰り返し回数によって決まります。表 2 には、ピーク スループットを達成可能なシステム構成のみを示しています。ピーク スループットには達しませんが、たとえば 4 つの LDPC デコーダーと 4 つの LDPC エンコーダーなどの組み合わせも可能です。

SD-FEC の実際の応用例 (5G 無線)

Zynq UltraScale+ RFSoc は 5G 無線アプリケーションに最適で、完全なプラットフォームソリューションを構築できます (図 3 参照)。

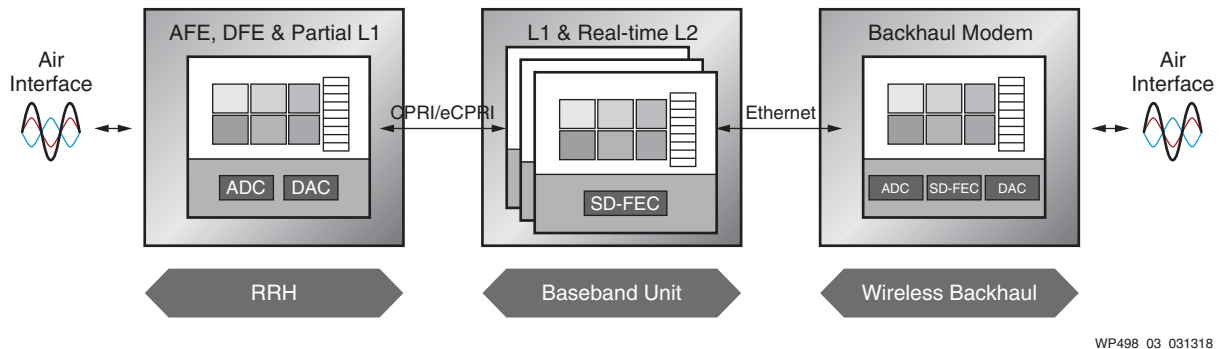


図 3: Zynq UltraScale+ RFSoc で構築した 5G 無線プラットフォームソリューション

無線バックホールには、RF-ADC/DAC と SD-FEC ブロックを両方備えた Zynq UltraScale+ RFSoc ファミリーを使用します。また、リモート ラジオ ヘッド (RRH) には SD-FEC 機能を持たず RF-ADC/DAC だけを内蔵したデバイスを使用できます。

ベースバンドユニット (BBU) に関してはアナログ処理の必要がなく、レイヤー 1 (L1) の符号化/復号化に対する厳しい要件を満たす必要があります。Zynq UltraScale+ ファミリーには、データコンバーターがなく SD-FEC のみを内蔵したデバイスがあります。5G 無線システムのベースバンドユニットにおける処理要求を満たすには、このデバイスを選択するのが最適です。このソリューションは特にスケーラビリティが高く、1つのデバイスで LDPC 符号化および L1 の LDPC 復号化に必要なシステム全体のスループット要件を満たすことができます。

無線ベースバンドユニット (BBU)

4G/5G 無線ベースバンドユニットソリューションにおける内蔵 SD-FEC の価値を理解するために、SD-FEC の利点を実際のユースケースに当てはめて考えてみます。

必要なプログラマブルロジックリソースの削減

LDPC、特にターボデコーダーをプログラマブルロジックにソフト IP としてインプリメントすると、非常に多くのリソースを消費することが広く知られています。SD-FEC ソリューションをインプリメントすると、リソース使用量はさらに増大します。エンコーダーの方が必要なリソースは少ないとはいえ、それでも相当な量を消費します (表 3 参照)。

表 3: ソフト IP ソリューションの場合のプログラマブルロジックリソース使用量

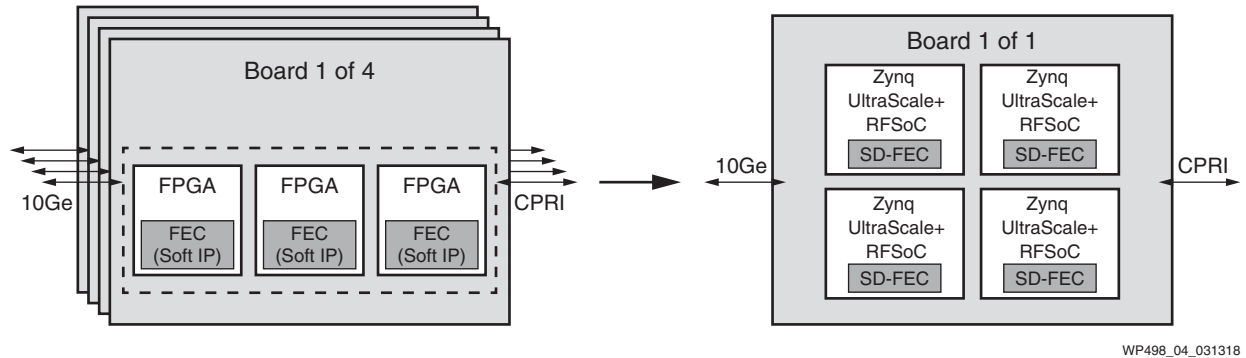
ソフト IP	LUT	フリップフロップ	ブロック RAM
LDPC エンコーダー	~14.5k	~12.5k	~24
LDPC デコーダー	~58.5k	~60.5k	~125
ターボデコーダー (1)	~107k	~171.5k	~246

1. ターボデコーダー IP のリソース使用量は両方のアーキテクチャの並列度が同じになるように正規化してあります。

SD-FEC は 1 つの統合 IP ブロックで上記のモードをすべてサポートしているため、これらのリソース使用量と直接比較するのは正確ではありません。実際に即して SD-FEC のすべてのモードを同等のソフトインプリメンテーションと比較すれば、さらに大きなリソース節約効果があります。

これらブロックのリソース使用量は 1 インスタンスではそれほど顕著でないかもしれませんが、4G/5G ベースバンド L1 アプリケーションを含むほとんどのシステムでは、これらのターボデコーダーおよび LDPC デコーダー/エンコーダーを複数インスタンス使用しなければシステムスループットの要件を満たすことができません。複数インスタンスをインスタンス化した場合、プログラマブルロジックのリソースを非常に多く消費します。統合ソリューションを使用すると、これらのリソースをその他の L1 または L2 処理に割り当てることができます。

たとえばマルチキャリアのプレ 5G/5G システムに向けた完全な L1 システムを FPGA で構築しようとする、1つのキャリアに必要な FEC エンコーダー/デコーダーをすべてインプリメントするには複数のデバイスが必要となり、キャリアの数だけ PCB が必要になることがあります (図 4 参照)。



WP498_04_031318

図 4: SD-FEC による PCB 数の削減

これに対し、8つのSD-FECブロックを内蔵したZynq UltraScale+ RFSocを使用すると必要なリソース量を大幅に削減でき、FEC処理全体に必要なデバイスの削減にもつながります。場合によっては、ソリューション全体に必要なPCBの数も削減が可能で、これによりソリューションの小型化と設置コストの削減も実現します。

消費電力の削減

現在、ほとんどのアプリケーションで消費電力と熱が大きな懸念事項となっており、プロジェクトの開始時点からこれらを考慮した設計が求められています。実証済みの 16nm アーキテクチャを採用し、RF データ コンバーターと複数の SD-FEC ブロックを内蔵した Zynq UltraScale+ RFSoc には、消費電力の面で競合ソリューションに比べ大きな優位性があります。

5G ベースバンドで Zynq UltraScale+ RFSoc ベースのソリューションを使用すると、システム全体の消費電力が削減されます。完全なソリューションの構築に必要なデバイスと PCB の数が削減されることにより、全体的な消費電力が大幅に削減されます。

Zynq UltraScale+ RFSoc の統合 SD-FEC ブロックとソフト IP を比較する際は、スループットを考慮することが重要です。たとえば最大スループット 2Gb/s の LDPC 復号が必要なデザインを Zynq UltraScale+ RFSoc ファミリー以外のデバイスにインプリメントする場合を考えてみます。デバイスは RFSoc ZU21DR と同規模 (約 1M システム ロジック セル = 425k LUT) のものを使用します。スループット要件を満たすには約 300MHz 動作の LDPC デコーダー IP が 2 つ必要で、これをインプリメントするには 120k LUT (プログラマブル ロジック リソースの 28%) が必要です。FEC 処理部だけでも、ダイナミック消費電力は約 6.3W に達します。

RFSoc ZU21DR なら、プログラマブル ロジックを使用せず 1 個の SD-FEC ブロックだけで同じ 2Gb/s のスループット要件を満たすことができ、ダイナミック消費電力も約 80% 少ない 1.2W 程度まで削減されます (図 5 参照)。

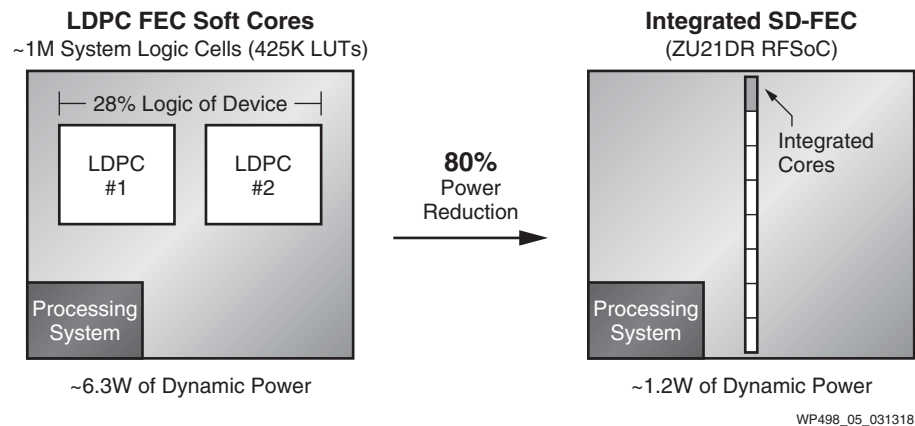


図 5: 内蔵 SD-FEC とソフト IP を使用した場合の LDPC デコーダーの消費電力の比較

この例は LDPC デコーダーのソフト インプリメンテーションと内蔵 SD-FEC ブロックを単純に比較したものです。前述のように SD-FEC は 1 つのブロックで複数のモードをサポートしているため、これは同じ条件での比較ではありませんが、この図を見ても両者の違いは明らかです。

開発期間の短縮

SD-FEC ブロックが統合されているということは、デバイス内部の ASIC スタイルゲートにファンクションがインプリメントされており、面積と消費電力の効率に優れていることを意味します。また、SD-FEC が事前検証済みのブロックとしてインプリメントされていることも意味します。つまり機能とタイミングが標準規格に準拠していることがブロック内で保証されているため、ブロックレベルの検証やタイミングクロージャは必要ありません。このため研究開発の負担が軽減され、アプリケーションの FEC 処理部を短期間でインプリメントでき、デザイン全体の簡略化にもつながります。この結果、タイムトゥマーケット (TTM) の厳しいスケジュールにも対応できます。

ソフト インプリメンテーションに比べ予測性の高い性能向上

SD-FEC ブロックは ASIC のようなソリューションであり、FPGA のプログラマブル ロジックにソフト IP コアをインプリメントした場合に比べ、ブロックの F_{MAX} を引き上げることができます。

SD-FEC コアは、使用するデバイスのスピードグレードにかかわらず 667MHz クロックで動作可能です。個々の SD-FEC ブロックの総スループットは、ブロックの動作速度に直接比例します。このため、ソフト インプリメンテーションに比べ予測性の高い形でスループットを向上できます。ソフト インプリメンテーションでこれほどの高クロックレートを達成するのは非常に困難で、スピードグレードにもよりますが、 $F_{MAX}=300 \sim 400\text{MHz}$ であることがほとんどです。最も低速なスピードグレードの場合、SD-FEC の $F_{MAX}=667\text{MHz}$ とソフト インプリメンテーションでは 2 倍の性能差があります。

コンフィギュレーションによる高い柔軟性

内蔵の SD-FEC ブロックは非常に柔軟な構成が可能で、ターボ デコーダー、LDPC エンコーダー、LDPC デコーダーのいずれかに構成できます。LDPC エンコーダーおよびデコーダーの場合、5G NR、DOCSIS 3.1、および Wi-Fi をサポートするプリセット符号が用意されていますが、カスタム LDPC 符号を使用するように SD-FEC ブロックをプログラムすることもできます。

コードのカスタマイズにより、ソリューションの柔軟性は飛躍的に向上します。たとえば ASIC ソリューションの場合、最新の規格への対応は仕様確定してからでなければ開始できませんが、この SD-FEC ならそれよりもはるかに早い段階でサポートを開始できます。このように柔軟な構成が可能のため、規格の策定が完了する前から試作品と量産ソリューションの両方を開発できます。

SD-FEC ブロック自体の柔軟性に加え、プログラマブル ロジックの柔軟性も利用できるため、デコーダーに供給するデータをプログラマブル ロジックで前処理したり、SD-FEC コントローラーで使用する符号を動的に設定したりできます。3GPP で策定されている 5G NR の最新リビジョン [参照 17] では多数の LDPC 符号が定義されているため、このことは特に大きな長所となります。Vivado IP カタログから利用可能なザイリンクス SD-FEC IP ラッパー コアが、これらのアプリケーション向けのプログラマブル ロジック 5G コントローラーを提供しています。

ソリューション全体のコスト削減

あらゆるプロジェクトにおいてコストは重要な関心事であり、総コストを最小化すること、そしてリビジョン更新のたびにシステムコストを削減することが常に求められます。Zynq UltraScale+ RFSoc プラットフォームは、機能の統合によってコストの削減を可能にしています。

RF データ コンバーターを統合することにより、PCB 上でディスクリット データ コンバーターと JESD インターフェイスが不要になり、最終機器の PCB に実装する部品の点数を大幅に削減できます。

先に示したように、SD-FEC ブロックを内蔵したデバイスを 5G ベースバンドに応用すると、FPGA リソース使用量と研究開発の負担が大幅に削減されます。また、L1 ベースバンド FEC アルゴリズムを実装するのに複数の FPGA を使用する必要もなくなります。アプリケーションによっては PCB 数も削減でき、システム設計のさらなる簡略化とソリューション全体のコスト削減が可能です。

さらに、アプリケーションの開発期間とタイムトゥーマーケットが短縮されることもプロジェクト全体のコスト削減につながります。

まとめ

ザイリンクスは、柔軟な構成が可能な SD-FEC ブロックを業界で初めて統合した Zynq UltraScale+ RFSoc をリリースしました。この SD-FEC は、通信分野の多くの無線およびケーブルアプリケーションに非常に大きな利点をもたらします。

「SD-FEC の実際の応用例 (5G 無線)」では、この SD-FEC ブロックによるリソース使用量と部品点数の削減効果について見てきました。これらのリソース削減により、FEC アルゴリズムのインプリメンテーションの消費電力が大幅に削減されます。特にスループット要件が高く複数の SD-FEC ブロックが必要なソリューションの場合、システム レベルではさらに大きな削減効果があります。

この ASIC ライクな SD-FEC ブロックは事前検証済みで、ソフト インプリメンテーションに比べ高スループット、低レイテンシ、低消費電力を実現できます。このブロックは LTE および LTE-A アプリケーションのターボ復号をサポートできるため、4G およびプレ 5G システム向けの低消費電力ソリューションとして利用できます。

LDPC は符号化と復号化の両方をサポートしており、5G 無線ベースバンドおよびバックホールプラットフォームなどのアプリケーションもサポートできます。Zynq UltraScale+ RFSoc ファミリの中でも RF-ADC/DAC と SD-FEC の両方を統合した ZU28DR は、DOCSIS 3.1 規格のリモート PHY に最適なソリューションとなります。

このホワイトペーパーで紹介したように、複数の SD-FEC 統合ブロックを備えた Zynq UltraScale+ RFSoc アーキテクチャは、性能、柔軟性、消費電力、タイムトゥマーケット、およびコストが重視される無線およびケーブル市場のアプリケーションに非常に大きな利点をもたらします。

参考資料

1. Gibson, Jerry D. (2013) 『Mobile Communications Handbook, Third Edition: Edition 3』 CRC Press
2. CableLabs ウェブサイト: <http://www.cablelabs.com/innovations/docsis3-1/>
3. ザイリンクス ウェブサイト: <https://japan.xilinx.com/applications/wireless-communications/wireless-backhaul.html>
4. Johnson, Sarah J. 『Introducing Low-Density Parity-Check Codes』 School of Electrical Engineering and Computer Science (オーストラリア ニューカッスル大学)
<https://pdfs.semanticscholar.org/657c/5be8e9af37dea31e357cda636e123ba03411.pdf>
5. Studer, C., Benkeser, C., Belfanti, S., Huang, Q. (2011) 『Design and Implementation of a Parallel Turbo-Decoder ASIC for 3GPP-LTE』 IEEE Journal of Solid-State Circuits
<http://www.csl.cornell.edu/~studer/papers/11JSSC-turbo.pdf>
6. Viswanathan, M. 『Simulation of Digital Communication Systems using MATLAB』
<https://www.gaussianwaves.com/2008/04/channel-capacity/>
7. ザイリンクス ウェブサイト: <https://japan.xilinx.com/products/silicon-devices/soc/rfsoc.html>
8. Dahlman, Erik ほか (2013) 『4G: LTE/LTE-Advanced for Mobile Broadband, Second Edition』 Academic Press
9. Hagenauer, J., Hoher, P. (1989 年 11 月) 『A Viterbi Algorithm with Soft-decision Outputs and Its Applications』 Proc.IEEE GLOBECOM (pp. 47.11 ~ 47.17, テキサス州ダラス)
10. Jose R., Ameenudeen Pe 『Analysis of Hard Decision and Soft Decision Decoding Algorithms of LDPC Codes in AWGN』
[http://ieeexplore.ieee.org/document/7154744/?arnumber=7154744&punumber%3D7140196%26filter%3DAND\(p_IS_Number:7154658\)%26pageNumber%3D4](http://ieeexplore.ieee.org/document/7154744/?arnumber=7154744&punumber%3D7140196%26filter%3DAND(p_IS_Number:7154658)%26pageNumber%3D4)
11. 「Coding gain」 の項目 (Wikipedia), https://en.wikipedia.org/wiki/Coding_gain
12. 「 E_b/N_0 」 の項目 (Wikipedia), <https://en.wikipedia.org/wiki/Eb/N0>
13. Guruswami, V. (2006) 『Iterative Decoding of Low-Density Parity Check Codes』
<https://www.cs.cmu.edu/~venkatg/pubs/papers/ldpc.pdf>
14. 「Noisy-channel coding theorem」 の項目 (Wikipedia)
https://en.wikipedia.org/wiki/Noisy-channel_coding_theorem
15. ザイリンクス ホワイト ペーパー 『ザイリンクス RF サンプリング ソリューション』
https://japan.xilinx.com/support/documentation/white_papers/wp489-rfsampling-solutions.pdf
16. ザイリンクス ユーザー ガイド 『Soft-Decision FEC Integrated Block v1.1 LogiCore IP 製品ガイド』
https://japan.xilinx.com/cgi-bin/docs/ipdoc?c=sd_fec;v=latest;d=pg256-sdfec-integrated-block.pdf
17. NR 『Multiplexing and channel coding (Release 15)』 3GPP TS38.212 v1.1.1 (2017-11), R1-1719225.zip
http://www.3gpp.org/ftp/Specs/archive/38_series/38.212/

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2018年5月29日	1.1	「スループット」にザイリンクス ユーザー ガイドへのリンクを追加。 「コンフィギュレーションによる高い柔軟性」を更新。
2018年3月29日	1.0	初版

免責事項

本通知に基づいて貴殿または貴社（本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」、以下同じ）に開示される情報（以下「本情報」といいます）は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1) 本情報は「現状有姿」、およびすべて受領者の責任で (with all faults) という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず（商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません）、すべての保証および条件を負わない（否認する）ものとします。また、(2) ザイリンクスは、本情報（貴殿または貴社による本情報の使用を含む）に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない（契約上、不法行為上（過失の場合を含む）、その他のいかなる責任の法理によるかを問わない）ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害（第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます）が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

自動車用のアプリケーションの免責条項

オートモーティブ製品 (製品番号に「XA」が含まれる) は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能 (「セーフティ設計」) がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション (「セーフティアプリケーション」) における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品の責任の制限を規定する適用法令および規則にのみ従うものとします。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。