



UltraScale アーキテクチャおよび 製品データシート: 概要

DS890 (v4.8) 2025 年 11 月 19 日

Production 製品仕様

概要

UltraScale アーキテクチャには、革新的な機能によって特に総消費電力の削減を実現し、幅広いシステム要件に対応する高性能 FPGA、MPSoC、および RFSoc ファミリがあります。

Spartan™ UltraScale+™ FPGA: ロジックに対して高い I/O 比率を誇るデバイスで、メモリ コントローラーを統合し、幅広い分野のコスト重視アプリケーションに最適です。

Artix™ UltraScale+ FPGA: コスト重視デバイスとして最高のシリアル帯域幅と演算密度を提供し、クリティカルなネットワークアプリケーション、ビジョン/ビデオ処理、およびセキュアな接続に対応します。

Kintex™ UltraScale FPGA: 対コスト性能に優れた高性能 FPGA であり、モノリシック デバイスとスタックド シリコン インターコネクト (SSI) テクノロジーを採用したデバイスの両方で展開しています。DSP およびブロック RAM の対ロジック比率が高く、低コストのパッケージにトランシーバーが搭載されているこの FPGA は、さまざまな機能を対コスト性能が最適になるよう組み合わせて備えています。

Kintex UltraScale+ FPGA: 性能の強化とオンチップ UltraRAM メモリの採用によって BOM コストの削減を可能にするこのデバイスは、高性能なペリフェラルと低コストなシステム統合を理想的な組み合わせで実現します。また、Kintex UltraScale+ FPGA には多くの電源オプションがあり、最小限の消費電力で必要なシステム パフォーマンスが得られるよう最適なバランスを取ることができます。

Virtex™ UltraScale FPGA: 容量および性能共に優れた FPGA であり、モノリシック デバイスと SSI テクノロジー デバイスの両方で展開しています。Virtex UltraScale デバイスは、最高のシステム容量、帯域幅、そして性能を提供しており、システム レベルの機能を数多く統合することで重要な市場とアプリケーションの要件に対応します。

Virtex UltraScale+ FPGA: 利用可能なトランシーバー帯域幅、DSP 数、オンチップ メモリおよびインパッケージ メモリ容量のすべてにおいて UltraScale アーキテクチャで最も高い性能を提供します。また、多くの電源オプションがあり、最小限の消費電力で必要なシステム パフォーマンスが得られるよう最適なバランスを取ることができます。

Zynq™ UltraScale+ MPSoC: 高性能で電力効率に優れた Arm® v8 ベースの Cortex®-A53 64 ビット アプリケーションプロセッサと Arm Cortex-R5F リアルタイムプロセッサを組み合わせ、UltraScale アーキテクチャを採用することで実現したプログラマブル MPSoC です。これまでにない省電力性、ヘテロニアスなプロセッシング、およびプログラマブル アクセラレーションを提供します。

Zynq UltraScale+ RFSoc: プログラマブル ロジックおよびヘテロニアスなプロセッシング性能に RF データ コンバーター サブシステムと前方エラー訂正を兼ね備えたデバイスです。RF-ADC、RF-DAC、および SD-FEC (Soft Decision FEC) を統合することで、マルチバンド/マルチモードのセルラー無線やケーブル インフラストラクチャに適したサブシステムを提供します。

AMD アダプティブ コンピューティングは、従業員、顧客、パートナーそれぞれが認められ、受け入れられていると実感できる環境作りに取り組んでいます。その一環として、製品資料およびその他関連資料に含まれる非包括的な用語/表現を排除していきます。当社ソフトウェアおよび IP に組み込まれている用語を含め、人を差別、疎外したり、歴史的な偏見を増長する可能性のある表現をなくすための社内的取り組みが始まっています。該当表現を改め、進化する業界標準に則った取り組みを進めていますが、旧製品資料には配慮に欠ける表現が残っている可能性があります。詳細は、この [リンク](#) を参照してください。

DS890 (v4.8) 2025 年 11 月 19 日

Production 製品仕様

ファミリの比較

表 1: デバイス リソース

	Spartan UltraScale+ FPGA	Artix UltraScale+ FPGA	Kintex UltraScale+ FPGA	Kintex UltraScale+ FPGA	Virtex UltraScale+ FPGA	Virtex UltraScale+ FPGA	Zynq UltraScale+ MPSoC	Zynq UltraScale+ RFSoc
MPSoC プロセッシング システム							✓	✓
RF-ADC/DAC								✓
SD-FEC								✓
システム ロジック セル (K)	11 ~ 218	82 ~ 308	318 ~ 1,451	356 ~ 1,843	783 ~ 5,541	862 ~ 8,938	81 ~ 1,143	328 ~ 930
ブロック RAM (Mb)	1.7 ~ 6.8	3.5 ~ 10.5	12.7 ~ 75.9	12.7 ~ 60.8	44.3 ~ 132.9	23.6 ~ 94.5	3.8 ~ 34.6	15.8 ~ 38.0
UltraRAM (Mb)	0 ~ 18.0			0 ~ 81		90 ~ 360	0 ~ 36	13.5 ~ 45.0
HBM DRAM (GB)						0 ~ 16		
DSP (スライス)	24 ~ 384	216 ~ 1,200	768 ~ 5,520	1,368 ~ 3,528	600 ~ 2,880	1,320 ~ 12,288	216 ~ 3,528	1,200 ~ 4,272
DSP 処理速度 (GMAC/s)	595	1,860	8,180	6,287	4,268	21,897	6,287	7,613
トランシーバー	0 ~ 8	4 ~ 12	12 ~ 64	16 ~ 76	36 ~ 120	32 ~ 128	0 ~ 72	4 ~ 16
GT の最大速度 (Gb/s)	16.3	16.3	16.3	32.75	30.5	58.0	32.75	32.75
最大シリアル帯域幅 (BIDIR) (Gb/s)	261	393	2,086	3,268	5,616	8,384	3,268	1,048
メモリ インターフェイス性能 (Mb/s)	4,266	2,400	2,400	2,666	2,400	2,666	2,666	2,666
PL I/O ピン	220 ~ 572	128 ~ 304	312 ~ 832	280 ~ 668	338 ~ 1,456	208 ~ 2,072	82 ~ 668	152 ~ 408

機能概要

RF データ コンバーター サブシステム

ほとんどの Zynq UltraScale+ RFSoc は、高周波 (RF) アナログ/デジタル コンバーター (RF-ADC) と RF デジタル/アナログ コンバーター (RF-DAC) をそれぞれ複数個含む RF データ コンバーター サブシステムを備えています。電力効率に優れた高精度で高速な RF-ADC および RF-DAC は、real データ用に、あるいはほとんど場合、個別に設定することも I/Q データ用にペアで設定することもできます。詳細は、「RF-ADC」および「RF-DAC」を参照してください。

デジタル フロントエンド (DFE)

Zynq UltraScale+ RFSoc DFE デバイスは、5G 無線で必要とされる多くの DFE 機能を実行する IP コアを統合しています。5G に向けて新しい無線規格が急速に進化する中、統合された DFE IP とプログラマブル ロジックの適応性を組み合わせて使用することで、低リスクで柔軟な 5G 実装が可能になります。

SD-FEC (Soft Decision Forward Error Correction)

一部の Zynq UltraScale+ RFSoc には、不安定またはノイズの多い通信チャネルでデータを転送する際のエラー抑制手段として、データのデコード/エンコードに使用できる非常に柔軟な SD-FEC ブロックが内蔵されています。SD-FEC ブロックは、5G 無線、バックホール、DOCSIS、および LTE アプリケーションで使用する LDPC (低密度パリティ チェック) デコード/エンコードおよびターボ デコードをサポートします。

プロセッシング システム

Zynq UltraScale+ MPSoC および RFSoc は、デュアルおよびクワッド コア Arm Cortex-A53 (APU) と、デュアル コア Arm Cortex-R5F (RPU) をプロセッシング システム (PS) に備えています。さらに一部のデバイスには、専用の Arm Mali™-400 MP2 グラフィックス プロセッシング ユニット (GPU) があります。表 2 を参照してください。

表 2: Zynq UltraScale+ MPSoC および RFSoc デバイスの機能

	MPSoC			RFSoc
	CG デバイス	EG デバイス	EV デバイス	DR デバイス
APU	デュアル コア Arm Cortex-A53	クワッド コア Arm Cortex-A53	クワッド コア Arm Cortex-A53	クワッド コア Arm Cortex-A53
RPU	デュアル コア Arm Cortex-R5F	デュアル コア Arm Cortex-R5F	デュアル コア Arm Cortex-R5F	デュアル コア Arm Cortex-R5F
GPU	-	Mali-400MP2	Mali-400MP2	-
VCU	-	-	H.264/H.265	-

プロセッサの機能をサポートするため、PS には専用機能を備えた多数のペリフェラルが内蔵されています。データ保存またはコンフィギュレーション格納用の外部メモリとのインターフェイスとして、PS にはマルチプロトコルのダイナミック メモリ コントローラー、DMA コントローラー、NAND コントローラー、SD/eMMC コントローラーおよびクワッド SPI コントローラーがあります。外部メモリへのインターフェイスに加え、APU にはレベル 1 (L1) とレベル 2 (L2) のキャッシュ階層、RPU には L1 キャッシュと密結合メモリ サブシステムがあります。これらはそれぞれ 256 KB オンチップ メモリへのアクセスできます。

高速インターフェイスとして、PS には PS-GTR と呼ばれる 4 チャネルのトランシーバー (TX/RX ペア) があり、最大 6.0 Gb/s のデータ レートをサポートしています。これらのトランシーバーを高速ペリフェラルと接続することで、5.0 GT/s の PCIe (Gen 2) ルート コンプレックスまたはエンドポイント (x1, x2, または x4 コンフィギュレーション)、シリアル ATA (SATA) (データ レート 1.5 Gb/s、3.0 Gb/s、または 6.0 Gb/s)、最大 2 レーンの DisplayPort™ (データ レート 1.62 Gb/s、2.7 Gb/s、または 5.4 Gb/s) をサポートします。PS-GTR トランシーバーは USB 3.0 および SGMII (Serial Gigabit Media Independent Interface) 経由でコンポーネントに接続することもできます。

汎用コネクティビティとして、PS にはホスト、デバイス、On-The-Go (OTG) として設定可能な 2 つの USB 2.0 コントローラー、I2C コントローラー、UART、ISO11898-1 に準拠した CAN2.0B コントローラーが用意されています。このほか、4 つのトライスピード イーサネット MAC、128 ビットの GPIO (うち MIO 経由では 78 ビット、EMIO 経由では 96 ビットを利用可能) もあります。

プロセッシング ユニットとペリフェラルの接続、および PS とプログラマブル ロジック (PL) のインターフェイスには Arm AMBA® AXI4 プロトコルに基づく広帯域コネクティビティを採用しています。

詳細は、『Zynq UltraScale+ MPSoC 概要』(DS891) を参照してください。

I/O、トランシーバー、PCIe、100G イーサネット、150G Interlaken

データは、高性能なパラレル SelectIO™ インターフェイスと高速シリアル トランシーバー コネクティビティを共に使用し、オンチップ/オフチップに伝送されます。I/O ブロックは I/O 規格と電圧を柔軟にサポートすることで、最先端のメモリ インターフェイスおよびネットワーク プロトコルを提供します。UltraScale アーキテクチャ デバイスに搭載されるシリアル トランシーバーは、最大 58.0 Gb/s でデータを転送し、前世代のトランシーバーと比較してビットあたりの消費電力を大幅に削減しながら、25G+ のバックプレーン デザインを可能にします。PS-GTR を除くすべてのトランシーバーは、8.0 GT/s (Gen3) および 16.0 GT/s (Gen4) の PCIe に必要なデータ レートをサポートします。PCIe 用統合ブロックはエンドポイントまたはルート ポート用に構成でき、ターゲット デバイスのスピード グレードおよびパッケージによって、さまざまなリンク幅とスピードに対応します。150 Gb/s Interlaken および 100 Gb/s イーサネット (100G MAC/PCS) 用の統合ブロックは、UltraScale デバイスの性能を拡張し、Nx100G スイッチおよびブリッジアプリケーションをシナプティックに、そして高い信頼性でサポートします。

クロックおよびメモリ インターフェイス

UltraScale デバイスは、クロック合成、バッファリング、コンポーネントの配線を含む優れたクロック管理回路を備え、さまざまなデザイン要件に対応する高機能なフレームワークを提供します。クロックはクロック ネットワークによって柔軟に分配できるため、クロック信号に関連したスキュー、消費電力、そして遅延が最小限に抑えられます。クロック管理テクノロジーは専用のメモリ インターフェイス回路と密接に統合されているため、DDR4 など高性能な外部メモリがサポートされます。また、UltraScale デバイスではパラレル メモリ インターフェイスだけでなく、ハイブリッド メモリ キューブ (HMC) などのシリアル メモリもサポートされます。

配線、SSI、ロジック、ストレージ、信号処理

コンフィギュラブルロジックブロック (CLB) には、6 入力のルックアップテーブル (LUT) とフリップフロップ、27x18 乗算器を持つ DSP スライス、ビルトイン FIFO を備え ECC をサポートする 36 Kb ブロック RAM、4Kx72 UltraRAM ブロック (UltraScale+ デバイスのみ) が含まれ、これらはすべて高性能で低レイテンシの豊富なインターコネクで接続されます。CLB はロジック機能以外にも、シフトレジスタ、マルチプレクサー、キャリーロジック機能を提供します。LUT は分散メモリとして構成でき、高機能でコンフィギュラブルなブロック RAM を補います。96 ビット XOR ファンクション、27 ビット前置加算器、30 ビット A 入力を備える DSP スライスは、乗累算、積和算、パターン検出など多数の独立したファンクションを実行します。デバイスのインターコネクに加え、SSI テクノロジーを使用するデバイスでは、低レイテンシな専用のインターフェイス タイルによって信号が SLR (Super-Logic Region) 間を行き来できます。このような組み合わせ配線リソースにより、次世代のバス データ幅も問題なくサポートされます。Virtex UltraScale+ HBM デバイスは 16 GB の広帯域メモリを備えています。

コンフィギュレーション、暗号化、システム モニター

FPGA、MPSoC、RFSoc の安全で信頼性の高い動作は、デバイス レベルのさまざまな機能によって確保されています。UltraScale アーキテクチャ デバイスは多様な種類とファミリで提供されているため、これらの機能や性能もさまざまです。機能の詳細は、『UltraScale アーキテクチャ コンフィギュレーション ユーザー ガイド』(UG570) および『Zynq UltraScale+ デバイス テクニカル リファレンス マニュアル』(UG1085) を参照してください。

デバイス間の移行

UltraScale および UltraScale+ ファミリはフットプリントの互換性を備えているため、あるデバイス/ファミリのデザインを別のデバイス/ファミリへ移行できます。フットプリント識別子コードが同じ 2 つのパッケージは、フットプリント互換性があります。たとえば、A1156 パッケージの Kintex UltraScale デバイスは、同パッケージの Kintex UltraScale+ デバイスとフットプリント互換性があります。同様に、B2104 パッケージの Virtex UltraScale デバイスは、同パッケージの Virtex UltraScale+ デバイスおよび Kintex UltraScale デバイスとフットプリント互換性があります。すべての有効なデバイス/パッケージの組み合わせは、この文書の「デバイスとパッケージの各組み合わせにおける最大 I/O 数」の各表で示しています。UltraScale と UltraScale+ デバイス/パッケージ間の移行の詳細は、『UltraScale アーキテクチャ PCB デザイン ユーザー ガイド』(UG583) を参照してください。

Spartan UltraScale+ FPGA の機能一覧

表 3: Spartan UltraScale+ FPGA の機能一覧

	SU10P	SU25P	SU35P	SU45P	SU60P	SU65P	SU100P	SU150P	SU200P
システム ロジック セル	10,938	21,875	35,700	52,500	65,625	65,625	100,800	137,813	218,400
CLB フリップフロップ	10,000	20,000	32,640	48,000	60,000	60,000	92,160	126,000	199,680
CLB LUT	5,000	10,000	16,320	24,000	30,000	30,000	46,080	63,000	99,840
最大分散 RAM (Mb)	0.1	0.1	0.2	0.5	0.7	0.6	0.9	1.3	2.0
ブロック RAM ブロック	48	48	48	72	96	108	144	168	192
ブロック RAM (Mb)	1.7	1.7	1.7	2.5	3.4	3.8	5.1	5.9	6.8
UltraRAM ブロック	0	0	0	0	0	0	0	16	64
UltraRAM (Mb)	0	0	0	0	0	0	0	4.5	18
メモリ コントローラー	0	0	0	0	0	2	2	2	2
CMT (MMCM が 1 個、PLL が 2 個)	2	2	2	3	3	5	5	6	6
最大 XP5IO 数 ⁽¹⁾	0	0	0	0	0	132	132	132	132
最大 HPIO 数 ⁽²⁾	52	52	52	52	52	52	52	104	104
最大 HDIO 数 ⁽³⁾	252	252	252	210	210	294	294	336	336
DSP スライス	24	36	48	96	144	144	144	384	384
プラットフォーム管理コントローラー	1	1	1	1	1	1	1	1	1
GTH トランシーバー ⁽⁴⁾	0	0	0	4	4	4	4	8	8
トランシーバー フラクショナル PLL	0	0	0	2	2	2	2	4	4
PCIE4CE ⁽⁵⁾	0	0	0	1	1	1	1	2	2

注記:

- XP5IO は、1.2V から 1.5V の I/O 電圧をサポートする High Performance I/O です。
- HP は High Performance I/O で、1.0V から 1.8V の I/O 電圧をサポートします。
- HD は High Density I/O で、1.2V から 3.3V の I/O 電圧をサポートします。
- GTH のデータレートはパッケージによって異なり、CMVB529 の場合は最大 12.5 Gb/s、SBVF784、SBVG784、SBVA1024、NVBA1089 の場合は最大 16.3 Gb/s です。
- サポートされる PCIe の構成は、トランシーバー数で決まります。

Spartan UltraScale+ デバイスとパッケージの各組み合わせにおける最大 I/O 数

表 4: Spartan UltraScale+ デバイスとパッケージの各組み合わせにおける最大 I/O 数

パッケージ	寸法 (mm)	SU10P	SU25P	SU35P	SU45P	SU60P	SU65P	SU100P	SU150P	SU200P
		HDIO、HPIO XP5IO、GTH								
CMVA361	10x10	168、52 0、0	168、52 0、0	168、52 0、0						
CMVA529	12x12	252、52 0、0	252、52 0、0	252、52 0、0	280、52 0、0					
CMVB529	12x12						100、52 132、4	100、52 132、4		
CMVE529	12x12				188、52 0、4	188、52 0、4				
SBVC529	19x19						120、52 132、0	120、52 132、0		
SBVD529	19x19				210、52 0、4	210、52 0、4				
SBVB625	21x21	252、52 0、0	252、52 0、0	252、52 0、0	188、52 0、0	188、52 0、0				
SBVF784	23x23						224、52 132、4	224、52 132、4	224、52 132、4	224、52 132、4
SBVG784	23x23						126、52 132、4	126、52 132、4	126、104、 132、8	126、104 132、8
SBVF900	25x25								78、104 132、8	78、104 132、8
SBVA1024	27x27						294、52 132、4	294、52 132、4	294、104、 132、8	294、104 132、8
NBVA1089	31x31								336、104、 132、8	336、104、 132、8

注記:

1. パッケージ記載の詳細は、「[注文情報](#)」を参照してください。

Artix UltraScale+ FPGA の機能一覧

表 5: Artix UltraScale+ FPGA の機能一覧

	AU7P	AU10P	AU15P	AU20P	AU25P
システム ロジック セル	81,900	96,250	170,100	238,437	308,437
CLB フリップフロップ	74,880	88,000	155,520	218,000	282,000
CLB LUT	37,440	44,000	77,760	109,000	141,000
最大分散 RAM (Mb)	1.1	1.0	2.5	3.2	4.7
ブロック RAM ブロック	108	100	144	200	300
ブロック RAM (Mb)	3.8	3.5	5.1	7.0	10.5
UltraRAM ブロック	–	–	–	–	–
UltraRAM (Mb)	–	–	–	–	–
CMT (MMCM が 1 個、PLL が 2 個)	2	3	3	4	4
最大 HP I/O ⁽¹⁾	104	156	156	156	208
最大 HD I/O ⁽²⁾	144	72	72	72	96
DSP スライス	216	400	576	900	1,200
システム モニター	1	1	1	1	1
GTH トランシーバー ⁽³⁾	4	12	12	–	–
GTY トランシーバー ⁽³⁾	–	–	–	12	12
トランシーバー フラクショナル PLL	2	6	6	6	6
PCIe4 (PCIe Gen3 x16) ⁽⁴⁾	–	–	–	1	1
PCIe4C (PCIe Gen3 x16/Gen4 x8) ⁽⁴⁾⁽⁵⁾	1	1 ⁽⁶⁾	1 ⁽⁶⁾	–	–

注記:

- HP は High Performance I/O で、1.0V から 1.8V の I/O 電圧をサポートします。
- HD は High Density I/O で、1.2V から 3.3V の I/O 電圧をサポートします。
- GTH と GTY トランシーバーのラインレートはパッケージによって制限があります。SFVB784、SBVB484、および UBVA368 の場合は 12.5 Gb/s までです。
- サポートされる PCIe の構成は、トランシーバー数で決まります。
- このブロックは 16.0 GT/s (Gen4) 動作の互換モードで動作します。互換モードの詳細は、『UltraScale+ Devices Integrated Block for PCI Express 製品ガイド』(PG213) を参照してください。
- PCIe Gen4 は、FFVB676 パッケージの AU10P および AU15P でのみ利用できます。

Artix UltraScale+ デバイスとパッケージの各組み合わせにおける最大 I/O 数

表 6: Artix UltraScale+ デバイスとパッケージの各組み合わせにおける最大 I/O 数

パッケージ ⁽¹⁾⁽²⁾⁽³⁾	パッケージ サイズ (mm)	AU7P	AU10P	AU15P	AU20P	AU25P
		HD I/O、HP I/O、GTH、GTY				
FCVA289	9x9	72、58、4、0				
UBVA368	11.5x9.5		24、104、8、0	24、104、8、0		
SBVB484	19x19		48、156、12、0	48、156、12、0		
SBVC484	19x19	144、104、4、0				
SFVB784	23x23				72、156、0、12	96、208、0、12
FFVB676	27x27		72、156、12、0	72、156、12、0	72、156、0、12	72、208、0、12

注記:

- パッケージ記載の詳細は、『注文情報』を参照してください。
- FF パッケージのボールピッチは 1.0 mm です。SB/SF パッケージのボールピッチは 0.8 mm です。UB パッケージのボールピッチは 0.5 mm です。
- パッケージコードの最後の文字と番号の並び (例: B676) が同じパッケージは、すべての UltraScale アーキテクチャ デバイス間でフットプリントの互換性があります。このファミリー内で、フットプリントに互換性のあるデバイスは太線で囲まれています。ファミリー内の移行の詳細は、『UltraScale+ FPGA 製品セレクションガイド』を参照してください。

Kintex UltraScale FPGA の機能一覧

表 7: Kintex UltraScale FPGA の機能一覧

	KU025 ⁽¹⁾	KU035	KU040	KU060	KU085	KU095	KU115
システム ロジック セル	318,150	444,343	530,250	725,550	1,088,325	1,176,000	1,451,100
CLB フリップフロップ	290,880	406,256	484,800	663,360	995,040	1,075,200	1,326,720
CLB LUT	145,440	203,128	242,400	331,680	497,520	537,600	663,360
最大分散 RAM (Mb)	4.1	5.9	7.0	9.1	13.4	4.7	18.3
ブロック RAM ブロック	360	540	600	1,080	1,620	1,680	2,160
ブロック RAM (Mb)	12.7	19.0	21.1	38.0	56.9	59.1	75.9
CMT (MMCM が 1 個、PLL が 2 個)	6	10	10	12	22	16	24
I/O DLL	24	40	40	48	56	64	64
最大 HP I/O ⁽²⁾	208	416	416	520	572	650	676
最大 HR I/O ⁽³⁾	104	104	104	104	104	52	156
DSP スライス	1,152	1,700	1,920	2,760	4,100	768	5,520
システム モニター	1	1	1	1	2	1	2
PCIe Gen3 x8 ⁽⁴⁾	1	2	3	3	4	4	6
150G Interlaken	0	0	0	0	0	2	0
100G イーサネット	0	0	0	0	0	2	0
GTH 16.3 Gb/s トランシーバー ⁽⁵⁾	12	16	20	32	56	32	64
GTY 16.3 Gb/s トランシーバー ⁽⁶⁾	0	0	0	0	0	32	0
トランシーバー フラクショナル PLL	0	0	0	0	0	16	0

- 注記:**
- 一部の高度なコンフィギュレーション機能は KU025 でサポートされていません。詳細は、「[FPGA のコンフィギュレーション](#)」を参照してください。
 - HP は High Performance I/O で、1.0V から 1.8V の I/O 電圧をサポートします。
 - HR は High Range I/O で、1.2V から 3.3V の I/O 電圧をサポートします。
 - サポートされる PCIe の構成は、トランシーバー数で決まります。
 - SF/FB パッケージの GTH トランシーバーは、最大 12.5 Gb/s のデータ レートをサポートします。[表 8](#) を参照してください。
 - Kintex UltraScale デバイスの GTY トランシーバーは、最大 16.3 Gb/s のデータ レートをサポートします。[表 8](#) を参照してください。

Kintex UltraScale デバイスとパッケージの各組み合わせにおける最大 I/O 数

表 8: Kintex UltraScale デバイスとパッケージの各組み合わせにおける最大 I/O 数

パッケージ (1)(2)(3)	パッケージサ イズ (mm)	KU025	KU035	KU040	KU060	KU085	KU095	KU115
		HR、HP GTH	HR、HP GTH	HR、HP GTH	HR、HP GTH	HR、HP GTH	HR、HP GTH、GTY(4)	HR、HP GTH
SFVA784(5)	23x23		104、364 8	104、364 8				
FBVA676(5)	27x27		104、208 16	104、208 16				
FBVA900(5)	31x31		104、364 16	104、364 16				
FFVA1156	35x35	104、208 12	104、416 16	104、416 20	104、416 28		52、468 20、8	
FFVA1517	40x40				104、520 32			
FLVA1517	40x40					104、520 48		104、520 48
FFVC1517	40x40						52、468 20、20	
FLVD1517	40x40							104、234 64
FFVB1760	42.5x42.5						52、650 32、16	
FLVB1760	42.5x42.5					104、572 44		104、598 52
FLVD1924	45x45							156、676 52
FLVF1924	45x45					104、520 56		104、624 64
FLVA2104	47.5x47.5							156、676 52
FFVB2104	47.5x47.5						52、650 32、32	
FLVB2104	47.5x47.5							104、598 64

- 注記:
1. パッケージ記載の詳細は、「注文情報」を参照してください。
 2. FB/FF/FL パッケージのボールピッチは 1.0 mm です。SF パッケージのボールピッチは 0.8 mm です。
 3. パッケージコードの最後の文字と番号の並び (例: A2104) が同じパッケージは、すべての UltraScale アーキテクチャ デバイス間でフットプリントの互換性があります。このファミリー内で、フットプリントに互換性のあるデバイスは太線で囲まれています。ファミリー内での移行の詳細は、『UltraScale+ FPGA 製品セレクションガイド』を参照してください。
 4. Kintex UltraScale デバイスの GTY トランシーバーは、最大 16.3 Gb/s のデータレートをサポートします。
 5. SF/FB パッケージの GTH トランシーバーは、最大 12.5 Gb/s のデータレートをサポートします。

Kintex UltraScale+ FPGA の機能一覧

表 9: Kintex UltraScale+ FPGA の機能一覧

	KU3P	KU5P	KU9P	KU11P	KU13P	KU15P	KU19P
システム ロジック セル	355,950	474,600	599,550	653,100	746,550	1,143,450	1,842,750
CLB フリップフロップ	325,440	433,920	548,160	597,120	682,560	1,045,440	1,684,800
CLB LUT	162,720	216,960	274,080	298,560	341,280	522,720	842,400
最大分散 RAM (Mb)	4.7	6.1	8.8	9.1	11.3	9.8	11.6
ブロック RAM ブロック	360	480	912	600	744	984	1,728
ブロック RAM (Mb)	12.7	16.9	32.1	21.1	26.2	34.6	60.8
UltraRAM ブロック	48	64	0	80	112	128	288
UltraRAM (Mb)	13.5	18.0	0	22.5	31.5	36.0	81.0
CMT (MMCM が 1 個、PLL が 2 個)	4	4	4	8	4	11	9
最大 HP I/O ⁽¹⁾	208	208	208	416	208	572	468
最大 HD I/O ⁽²⁾	96	96	96	96	96	96	72
DSP スライス	1,368	1,824	2,520	2,928	3,528	1,968	1,080
システム モニター	1	1	1	1	1	1	1
GTH トランシーバー 16.3 Gb/s	0	0	28	32	28	44	0
GTY トランシーバー 32.75 Gb/s ⁽³⁾	16	16	0	20	0	32	32
トランシーバー フラクショナル PLL	8	8	14	26	14	38	16
PCIe4 (PCIe Gen3 x16) ⁽⁴⁾	1	1	0	4 ⁽⁴⁾	0	5 ⁽⁴⁾	0
PCIe4C (PCIe Gen3 x16/ Gen4 x8) ⁽⁴⁾⁽⁵⁾	0	0	0	0	0	0	3 ⁽⁶⁾
150G Interlaken	0	0	0	1	0	4	0
100G イーサネット (RS-FEC あり)	0	1	0	2	0	4	1

注記:

- HP は High Performance I/O で、1.0V から 1.8V の I/O 電圧をサポートします。
- HD は High Density I/O で、1.2V から 3.3V の I/O 電圧をサポートします。
- GTY トランシーバーのラインレートはパッケージによって制限があります。SFVB784 の場合は 12.5 Gb/s まで、FFVA676、FFVD900、および FFVA1156 の場合は 16.3 Gb/s までです。表 10 を参照してください。
- サポートされる PCIe の構成は、トランシーバー数で決まります。
- このブロックは 16.0 GT/s (Gen4) 動作の互換モードで動作します。互換モードの詳細は、『UltraScale+ Devices Integrated Block for PCI Express 製品ガイド』(PG213) を参照してください。
- KU19P には、Tandem コンフィギュレーションをサポートするために必要な機能を備えた PCIe 用の統合ブロックがありません。

Kintex UltraScale+ デバイスとパッケージの各組み合わせにおける最大 I/O 数

表 10: Kintex UltraScale+ デバイスとパッケージの各組み合わせにおける最大 I/O 数

パッケージ (1)(2)(4)	パッケージサイ ズ (mm)	KU3P	KU5P	KU9P	KU11P	KU13P	KU15P	KU19P
		HD、HP GTH、GTY	HD、HP GTH、GTY	HD、HP GTH、GTY	HD、HP GTH、GTY	HD、HP GTH、GTY	HD、HP GTH、GTY	HD、HP GTH、GTY
SFVB784 ⁽³⁾	23x23	96、208 0、16	96、208 0、16					
FFVA676 ⁽³⁾	27x27	48、208 0、16	48、208 0、16					
FFVB676	27x27	72、208 0、16	72、208 0、16					
FFVD900 ⁽³⁾	31x31	96、208 0、16	96、208 0、16		96、312 16、0			
FFVE900	31x31			96、208 28、0		96、208 28、0		
FFVA1156 ⁽³⁾	35x35				48、416 20、8		48、468 20、8	
FFVE1517	40x40				96、416 32、20		96、416 32、24	
FFVA1760	42.5x42.5						96、416 44、32	
FFVE1760	42.5x42.5						96、572 32、24	
FFVJ1760	42.5x42.5							72、468 0、32
FFVB2104	47.5x47.5							72、468 0、32

注記:

1. パッケージ記載の詳細は、「[注文情報](#)」を参照してください。
2. FF パッケージのボール ピッチは 1.0 mm です。SF パッケージのボール ピッチは 0.8 mm です。
3. GTY トランシーバーのライン レートはパッケージによって制限があります。SFVB784 の場合は 12.5 Gb/s まで、FFVA676、FFVD900、および FFVA1156 の場合は 16.3 Gb/s までです。
4. パッケージ コードの最後の文字と番号の並び (例: A676) が同じパッケージは、すべての UltraScale アーキテクチャ デバイス間でフットプリントの互換性があります。このファミリー内で、フットプリントに互換性のあるデバイスは太線で囲まれています。ファミリー内での移行の詳細は、『[UltraScale+ FPGA 製品セレクション ガイド](#)』を参照してください。

Virtex UltraScale FPGA の機能一覧

表 11: Virtex UltraScale FPGA の機能一覧

	VU065	VU080	VU095	VU125	VU160	VU190	VU440
システム ロジック セル	783,300	975,000	1,176,000	1,566,600	2,026,500	2,349,900	5,540,850
CLB フリップフロップ	716,160	891,424	1,075,200	1,432,320	1,852,800	2,148,480	5,065,920
CLB LUT	358,080	445,712	537,600	716,160	926,400	1,074,240	2,532,960
最大分散 RAM (Mb)	4.8	3.9	4.8	9.7	12.7	14.5	28.7
ブロック RAM ブロック	1,260	1,421	1,728	2,520	3,276	3,780	2,520
ブロック RAM (Mb)	44.3	50.0	60.8	88.6	115.2	132.9	88.6
CMT (MMCM が 1 個、PLL が 2 個)	10	16	16	20	28	30	30
I/O DLL	40	64	64	80	120	120	120
最大 HP I/O ⁽¹⁾	468	780	780	780	650	650	1,404
最大 HR I/O ⁽²⁾	52	52	52	104	52	52	52
DSP スライス	600	672	768	1,200	1,560	1,800	2,880
システム モニター	1	1	1	2	3	3	3
PCIe Gen3 x8	2	4	4	4	4	6	6
150G Interlaken	3	6	6	6	8	9	0
100G イーサネット	3	4	4	6	9	9	3
GTH 16.3 Gb/s トランシーバー	20	32	32	40	52	60	48
GTY 30.5 Gb/s トランシーバー	20	32	32	40	52	60	0
トランシーバー フラグショナル PLL	10	16	16	20	26	30	0

注記:

1. HP は High Performance I/O で、1.0V から 1.8V の I/O 電圧をサポートします。
2. HR は High Range I/O で、1.2V から 3.3V の I/O 電圧をサポートします。

Virtex UltraScale デバイスとパッケージの各組み合わせにおける最大 I/O 数

表 12: Virtex UltraScale デバイスとパッケージの各組み合わせにおける最大 I/O 数

パッケージ ⁽¹⁾⁽²⁾⁽³⁾	パッケージ サイズ (mm)	VU065	VU080	VU095	VU125	VU160	VU190	VU440
		HR、HP GTH、GTY	HR、HP GTH、GTY	HR、HP GTH、GTY	HR、HP GTH、GTY	HR、HP GTH、GTY	HR、HP GTH、GTY	HR、HP GTH、GTY
FFVC1517	40x40	52、468 20、20	52、468 20、20	52、468 20、20				
FFVD1517	40x40		52、286 32、32	52、286 32、32				
FLVD1517	40x40				52、286 40、32			
FFVB1760	42.5x42.5		52、650 32、16	52、650 32、16				
FLVB1760	42.5x42.5				52、650 36、16			
FFVA2104	47.5x47.5		52、780 28、24	52、780 28、24				
FLVA2104	47.5x47.5				52、780 28、24			
FFVB2104	47.5x47.5		52、650 32、32	52、650 32、32				
FLVB2104	47.5x47.5				52、650 40、36			
FLGB2104	47.5x47.5					52、650 40、36	52、650 40、36	
FFVC2104	47.5x47.5			52、364 32、32				
FLVC2104	47.5x47.5				52、364 40、40			
FLGC2104	47.5x47.5					52、364 52、52	52、364 52、52	
FLGB2377	50x50							52、1248 36、0
FLGA2577	52.5x52.5						0、448 60、60	
FLGA2892	55x55							52、1404 48、0

注記:

1. パッケージ記載の詳細は、「注文情報」を参照してください。
2. ボール ピッチはすべてのパッケージで 1.0 mm です。
3. パッケージ コードの最後の文字と番号の並び (例: A2104) が同じパッケージは、すべての UltraScale アーキテクチャ デバイス間でフットプリントの互換性があります。このファミリ内で、フットプリントに互換性のあるデバイスは太線で囲まれています。ファミリ内での移行の詳細は、『UltraScale アーキテクチャ製品セレクションガイド』を参照してください。

Virtex UltraScale+ FPGA の機能一覧

表 13: Virtex UltraScale+ FPGA の機能一覧

	VU3P	VU5P	VU7P	VU9P	VU11P	VU13P	VU19P	VU23P	VU27P	VU29P
システム ロジック セル	862,050	1,313,763	1,724,100	2,586,150	2,835,000	3,780,000	8,937,600	2,252,250	2,835,000	3,780,000
CLB フリップフロップ	788,160	1,201,154	1,576,320	2,364,480	2,592,000	3,456,000	8,171,520	2,059,200	2,592,000	3,456,000
CLB LUT	394,080	600,577	788,160	1,182,240	1,296,000	1,728,000	4,085,760	1,029,600	1,296,000	1,728,000
最大分散 RAM (Mb)	12.0	18.3	24.1	36.1	36.2	48.3	58.4	14.2	36.2	48.3
ブロック RAM ブロック	720	1,024	1,440	2,160	2,016	2,688	2,160	2,112	2,016	2,688
ブロック RAM (Mb)	25.3	36.0	50.6	75.9	70.9	94.5	75.9	74.3	70.9	94.5
UltraRAM ブロック	320	470	640	960	960	1,280	320	352	960	1,280
UltraRAM (Mb)	90.0	132.2	180.0	270.0	270.0	360.0	90.0	99.0	270.0	360.0
HBM DRAM (GB)	–	–	–	–	–	–	–	–	–	–
CMT (MMCM が 1 個、PLL が 2 個)	10	20	20	30	12	16	40	11	16	16
最大 HP I/O ⁽¹⁾	520	832	832	832	624	832	1,976	572	676	676
最大 HD I/O ⁽²⁾	0	0	0	0	0	0	96	72	0	0
DSP スライス	2,280	3,474	4,560	6,840	9,216	12,288	3,840	1,320	9,216	12,288
システム モニター	1	2	2	3	3	4	4	1	4	4
GTY トランシーバー 32.75 Gb/s ⁽³⁾	40	80	80	120	96	128	80	34	32	32
GTM トランシーバー 58.0 Gb/s	0	0	0	0	0	0	0	4	48	48
100G/50G KP4 FEC	0	0	0	0	0	0	0	2/4	24/48	24/48
トランシーバー フラクショナル PLL	20	40	40	60	48	64	40	20	40	40
PCIE4 (PCIe Gen3 x16) ⁽⁴⁾	2	4	4	6	3	4	0	0	1	1
PCIE4C (PCIe Gen3 x16/ Gen4 x8) ⁽⁴⁾⁽⁵⁾	0	0	0	0	0	0	8	4	0	0
150G Interlaken	3	4	6	9	6	8	0	0	8	8
100G イーサネット (RS-FEC あり)	3	4	6	9	9	12	0	2	15	15

注記:

1. HP は High Performance I/O で、1.0V から 1.8V の I/O 電圧をサポートします。
2. HD は High Density I/O で、1.2V から 3.3V の I/O 電圧をサポートします。
3. FLGF1924 パッケージの GTY トランシーバーは、最大 16.3 Gb/s のデータ レートをサポートします。表 14 を参照してください。
4. サポートされる PCIe の構成は、トランシーバー数で決まります。
5. このブロックは 16.0 GT/s (Gen4) 動作の互換モードで動作します。互換モードの詳細は、『UltraScale+ Devices Integrated Block for PCI Express 製品ガイド』(PG213) を参照してください。

Virtex UltraScale+ デバイスとパッケージの各組み合わせにおける最大 I/O 数

表 14: Virtex UltraScale+ デバイスとパッケージの各組み合わせにおける最大 I/O 数

パッケージ (1)(2)(3)(4)(5)	パッケージ サイズ (mm)	VU3P	VU5P	VU7P	VU9P	VU11P	VU13P	VU19P	VU23P	VU27P	VU29P
		HP、GTY	HP、GTY	HP、GTY	HP、GTY	HP、GTY	HP、GTY	HP、HD、GTY	HP、HD、GTY、GTM	HP、GTY、GTM	HP、GTY、GTM
VSVA1365	35x35								364、0、34 ⁽⁷⁾ 、4		
FFVC1517	40x40	520、40									
FSVJ1760	42.5x42.5								572、72、34、4		
FLGF1924 ⁽⁵⁾	45x45					624、64					
FLVA2104	47.5x47.5		832、52	832、52							
FLGA2104	47.5x47.5				832、52						
FHGA2104	52.5x52.5 ⁽⁶⁾						832、52				
FLVB2104	47.5x47.5		702、76	702、76							
FLGB2104	47.5x47.5				702、76	572、76					
FHGB2104	52.5x52.5 ⁽⁶⁾						702、76				
FLVC2104	47.5x47.5		416、80	416、80							
FLGC2104	47.5x47.5				416、104	416、96					
FHGC2104	52.5x52.5 ⁽⁶⁾						416、104				
FSGD2104	47.5x47.5				676、76	572、76					
FIGD2104	52.5x52.5 ⁽⁶⁾						676、76			676、16、30	676、16、30
FLGA2577	52.5x52.5				448、120	448、96	448、128				
FSGA2577	52.5x52.5						448、128			448、32、48	448、32、48
FSVA3824	65x65							1976、96、48			
FSVB3824	65x65							1664、96、80			

注記:

1. パッケージ記載の詳細は、「[注文情報](#)」を参照してください。
2. ボールピッチはすべてのパッケージで 1.0 mm です。
3. パッケージコードの最後の文字と番号の並び (例: A2104) が同じパッケージは、すべての UltraScale アーキテクチャ デバイス間でフットプリントの互換性があります。このファミリー内で、フットプリントに互換性のあるデバイスは太線で囲まれています。ファミリー内での移行の詳細は、『[UltraScale アーキテクチャ製品セレクションガイド](#)』を参照してください。
4. 特定の移行に関する詳細は、『[UltraScale アーキテクチャ PCB デザイン ユーザー ガイド](#)』(UG583) を参照してください。
5. FLGF1924 パッケージの GTY トランシーバーは、最大 16.3 Gb/s のデータ レートをサポートします。
6. これらの 52.5x52.5 mm オーバーハング パッケージは、対応する (すなわち最後の文字と番号の並びが同じ) 47.5x47.5 mm パッケージと PCB ボール フットプリントが共通で、フットプリントに互換性があります。
7. クワッド 224 ~ 230 および 232 内の GTY は 16 Gb/s に制限されています。

表 15: Virtex UltraScale+ HBM FPGA の機能一覧

	VU31P	VU33P	VU35P	VU37P	VU45P	VU47P	VU57P
システム ロジック セル	961,800	961,800	1,906,800	2,851,800	1,906,800	2,851,800	2,851,800
CLB フリップフロップ	879,360	879,360	1,743,360	2,607,360	1,743,360	2,607,360	2,607,360
CLB LUT	439,680	439,680	871,680	1,303,680	871,680	1,303,680	1,303,680
最大分散 RAM (Mb)	12.5	12.5	24.6	36.7	24.6	36.7	36.7
ブロック RAM ブロック	672	672	1,344	2,016	1,344	2,016	2,016
ブロック RAM (Mb)	23.6	23.6	47.3	70.9	47.3	70.9	70.9
UltraRAM ブロック	320	320	640	960	640	960	960
UltraRAM (Mb)	90.0	90.0	180.0	270.0	180.0	270.0	270.0
HBM DRAM (GB)	4	8	8	8	16	16	16
CMT (MMCM が 1 個、PLL が 2 個)	4	4	8	12	8	12	12
最大 HP I/O ⁽¹⁾	208	208	416	624	416	624	624
DSP スライス	2,880	2,880	5,952	9,024	5,952	9,024	9,024
システム モニター	1	1	2	3	2	3	3
GTY トランシーバー 32.75 Gb/s ⁽²⁾	32	32	64	96	64	96	32
GTM トランシーバー 58.0 Gb/s	0	0	0	0	0	0	32
100G/50G KP4 FEC	0	0	0	0	0	0	16/32
トランシーバー フラクショナル PLL	16	16	32	48	32	48	32
PCIE4 (PCIe Gen3 x16) ⁽³⁾	0	0	1	2	1	2	0
PCIE4C (PCIe Gen3 x16/ Gen4 x8) ⁽³⁾⁽⁴⁾	4	4	4	4	4	4	4
150G Interlaken	–	–	2	4	2	4	4
100G イーサネット (RS-FEC あり)	2	2	5	8	5	8	10

注記:

- HP は High Performance I/O で、1.0V から 1.8V の I/O 電圧をサポートします。
- FLGFI1924 パッケージの GTY トランシーバーは、最大 16.3 Gb/s のデータレートをサポートします。表 16 を参照してください。
- サポートされる PCIe の構成は、トランシーバー数で決まります。
- このブロックは 16.0 GT/s (Gen4) 動作の互換モードで動作します。互換モードの詳細は、『UltraScale+ Devices Integrated Block for PCI Express 製品ガイド』(PG213) を参照してください。

Virtex UltraScale+ HBM デバイスとパッケージの各組み合わせにおける最大 I/O 数

表 16: Virtex UltraScale+ HBM デバイスとパッケージの各組み合わせにおける最大 I/O 数

パッケージ ⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾	パッケージサイズ (mm)	VU31P	VU33P	VU35P	VU37P	VU45P	VU47P	VU57P
		HP, GTY	HP, GTY	HP, GTY	HP, GTY	HP, GTY	HP, GTY	HP, GTY, GTM
FSVH1924	45x45	208, 32						
FSVH2104	47.5x47.5		208, 32	416, 64		416, 64		
FSVH2892	55x55			416, 64	624, 96	416, 64	624, 96	
FSVK2892	55x55							624, 32, 32

注記:

- パッケージ記載の詳細は、「注文情報」を参照してください。
- ボールピッチはすべてのパッケージで 1.0 mm です。
- パッケージコードの最後の文字と番号の並び (例: A2104) が同じパッケージは、すべての UltraScale アーキテクチャ デバイス間でフットプリントの互換性があります。このファミリ内で、フットプリントに互換性のあるデバイスは太線で囲まれています。ファミリ内での移行の詳細は、『UltraScale アーキテクチャ製品セレクションガイド』を参照してください。
- 特定の移行に関する詳細は、『UltraScale アーキテクチャ PCB デザイン ユーザー ガイド』(UG583) を参照してください。

Zynq UltraScale+ MPSoC: CG デバイスの機能一覧

表 17: Zynq UltraScale+ MPSoC: CG デバイスの機能一覧

	ZU1CG	ZU2CG	ZU3CG	ZU3TCG	ZU4CG	ZU5CG	ZU6CG	ZU7CG	ZU9CG
アプリケーションプロセッシングユニット	デュアルコア Arm Cortex-A53 MPCore (CoreSight、NEON および単精度/倍精度浮動小数点演算ユニット、32 KB/32 KB L1 キャッシュ、1 MB L2 キャッシュ内蔵)								
リアルタイムプロセッシングユニット	デュアルコア Arm Cortex-R5F (CoreSight、単精度/倍精度浮動小数点演算ユニット、32 KB/32 KB L1 キャッシュ、TCM 内蔵)								
エンベデッドおよび外部メモリ	256 KB オンチップ メモリ (ECC あり)、外部 DDR4、DDR3、DDR3L、LPDDR4、LPDDR3、外部クワッド SPI、NAND、eMMC								
汎用コネクティビティ	214 本の PS I/O、UART、CAN、USB 2.0、I2C、SPI、32b GPIO、リアルタイム クロック、ウォッチドッグ タイマー、トリプル タイマー カウンター								
高速コネクティビティ	4 つの PS-GTR、PCIe Gen1/2、シリアル ATA 3.1、DisplayPort 1.2a、USB 3.0、SGMII								
システム ロジック セル	81,900	103,320	154,350	157,500	192,150	256,200	469,446	504,000	599,550
CLB フリップフロップ	74,880	94,464	141,120	144,000	175,680	234,240	429,208	460,800	548,160
CLB LUT	37,440	47,232	70,560	72,000	87,840	117,120	214,604	230,400	274,080
分散 RAM (Mb)	1.0	1.2	1.8	2.1	2.6	3.5	6.9	6.2	8.8
ブロック RAM ブロック	108	150	216	144	128	144	714	312	912
ブロック RAM (Mb)	3.8	5.3	7.6	5.1	4.5	5.1	25.1	11.0	32.1
UltraRAM ブロック	0	0	0	48	48	64	0	96	0
UltraRAM (Mb)	0	0	0	14.0	13.5	18.0	0	27.0	0
DSP スライス	216	240	360	576	728	1,248	1,973	1,728	2,520
CMT	3	3	3	1	4	4	4	8	4
最大 HP I/O ⁽¹⁾	156	156	156	52	156	156	208	416	208
最大 HD I/O ⁽²⁾	24	96	96	72	96	96	120	48	120
システム モニター	2	2	2	2	2	2	2	2	2
GTH トランシーバー ⁽³⁾	-	-	-	8	16	16	24	24	24
GTY トランシーバー	-	-	-	-	-	-	-	-	-
トランシーバー フラクショナル PLL	0	0	0	4	8	8	12	12	12
PCIE4 (PCIe Gen3 x16) ⁽⁴⁾	-	-	-	-	2	2	-	2	-
PCIE4C (PCIe Gen3 x16/Gen4 x8) ⁽⁴⁾⁽⁵⁾	-	-	-	1	-	-	-	-	-
150G Interlaken	-	-	-	-	-	-	-	-	-
100G イーサネット (RS-FEC あり)	-	-	-	-	-	-	-	-	-

注記:

- HP は High Performance I/O で、1.0V から 1.8V の I/O 電圧をサポートします。
- HD は High Density I/O で、1.2V から 3.3V の I/O 電圧をサポートします。
- SFVC784、SFVD784、および SFVE784 パッケージの GTH トランシーバーは、最大 12.5 Gb/s のデータ レートをサポートします。表 18 を参照してください。
- サポートされる PCIe の構成は、トランシーバー数で決まります。
- このブロックは 16.0 GT/s (Gen4) 動作の互換モードで動作します。互換モードの詳細は、『UltraScale+ Devices Integrated Block for PCI Express 製品ガイド』(PG213) を参照してください。

Zynq UltraScale+: CG デバイスとパッケージの各組み合わせにおける最大 I/O 数

表 18: Zynq UltraScale+ MPSoC: CG デバイスとパッケージの組み合わせにおける最大 I/O 数

パッケージ (1)(2)(3)(4)(5)	パッケージサイズ (mm)	ZU1CG	ZU2CG	ZU3CG	ZU3TCG	ZU4CG	ZU5CG	ZU6CG	ZU7CG	ZU9CG
		HD、HP GTH、GTY	HD、HP GTH、GTY	HD、HP GTH、GTY	HD、HP GTH、GTY	HD、HP GTH、GTY	HD、HP GTH、GTY	HD、HP GTH、GTY	HD、HP GTH、GTY	HD、HP GTH、GTY
UBVA494 ⁽⁶⁾	9.5x15	24、58 0、0								
UBVA530 ⁽⁶⁾	9.5x16		24、58 0、0	24、58 0、0						
SBVA484 ⁽⁶⁾	19x19	24、58 0、0	24、58 0、0	24、58 0、0						
SFVA625	21x21	24、156 0、0	24、156 0、0	24、156 0、0						
SFVC784 ⁽⁷⁾	23x23	24、156 0、0	96、156 0、0	96、156 0、0	72、52 4、0	96、156 4、0	96、156 4、0			
SFVD784 ⁽⁷⁾⁽⁸⁾	23x23				72、52 8、0					
SFVE784 ⁽⁷⁾⁽⁸⁾	23x23					72、58 8、0	72、58 8、0			
FBVB900	31x31					48、156 16、0	48、156 16、0		48、156 16、0	
FFVC900	31x31							48、156 16、0		48、156 16、0
FFVB1156	35x35							120、208 24、0		120、208 24、0
FFVC1156	35x35								48、312 20、0	
FFVF1517	40x40								48、416 24、0	

注記:

1. パッケージ記載の詳細は、「[注文情報](#)」を参照してください。
2. FB/FF パッケージのボールピッチは 1.0 mm です。SB/SF パッケージのボールピッチは 0.8 mm です。UB パッケージのボールピッチは 0.5 mm です。
3. すべてのデバイスとパッケージの組み合わせで、4 つの PS-GTR トランシーバーがボンディングされています。
4. すべてのデバイスとパッケージの組み合わせで、214 本の PS I/O がボンディングされています。ただし、UBVA494、UBVA530、SBVA484 および SFVA625 パッケージの ZU1CG、ZU2CG、および ZU3CG では 170 本の PS I/O がボンディングされています。170 本の PS I/O がボンディングされているパッケージは、32 ビットの DDR のみをサポートします。
5. パッケージコードの最後の文字と番号の並び (例: A484) が同じパッケージは、すべての UltraScale アーキテクチャ デバイス間でフットプリントの互換性があります。このファミリ内で、フットプリントに互換性のあるデバイスは太線で囲まれています。
6. 58 本の HP I/O ピンはすべて同じ V_{CC0} から電源が供給されます。
7. SFVC784、SFVD784、SFVE784 パッケージの GTH トランシーバーは、最大 12.5 Gb/s のデータレートをサポートします。
8. D784 と E784 間の移行がサポートされています。詳細は、『Zynq UltraScale+ Device パッケージおよびピン配置仕様ユーザーガイド』(UG1075) を参照してください。

Zynq UltraScale+ MPSoC: EG デバイスの機能一覧

表 19: Zynq UltraScale+ MPSoC: EG デバイスの機能一覧

	ZU1EG	ZU2EG	ZU3EG	ZU3TEG	ZU4EG	ZU5EG	ZU6EG	ZU7EG	ZU9EG	ZU11EG	ZU15EG	ZU17EG	ZU19EG
アプリケーションプロセッシングユニット	クワッド コア Arm Cortex-A53 MPCore (CoreSight、NEON および単精度/倍精度浮動小数点演算ユニット、32 KB/32 KB L1 キャッシュ、1 MB L2 キャッシュ内蔵)												
リアルタイムプロセッシングユニット	デュアル コア Arm Cortex-R5F (CoreSight、単精度/倍精度浮動小数点演算ユニット、32 KB/32 KB L1 キャッシュ、TCM 内蔵)												
エンベデッドおよび外部メモリ	256 KB オンチップ メモリ (ECC あり)、外部 DDR4、DDR3、DDR3L、LPDDR4、LPDDR3、外部クワッド SPI、NAND、eMMC												
汎用コネクティビティ	214 本の PS I/O、UART、CAN、USB 2.0、I2C、SPI、32b GPIO、リアルタイムクロック、ウォッチドッグタイマー、トリプルタイマーカウンタ												
高速コネクティビティ	4 つの PS-GTR、PCIe Gen1/2、シリアル ATA 3.1、DisplayPort 1.2a、USB 3.0、SGMII												
グラフィックスプロセッシングユニット	Arm Mali-400 MP2、64 KB L2 キャッシュ												
システムロジックセル	81,900	103,320	154,350	157,500	192,150	256,200	469,446	504,000	599,550	653,100	746,550	926,194	1,143,450
CLB フリップフロップ	74,880	94,464	141,120	144,000	175,680	234,240	429,208	460,800	548,160	597,120	682,560	846,806	1,045,440
CLB LUT	37,440	47,232	70,560	72,000	87,840	117,120	214,604	230,400	274,080	298,560	341,280	423,403	522,720
分散 RAM (Mb)	1.0	1.2	1.8	2.1	2.6	3.5	6.9	6.2	8.8	9.1	11.3	8.0	9.8
ブロック RAM ブロック	108	150	216	144	128	144	714	312	912	600	744	796	984
ブロック RAM (Mb)	3.8	5.3	7.6	5.1	4.5	5.1	25.1	11.0	32.1	21.1	26.2	28.0	34.6
UltraRAM ブロック	0	0	0	48	48	64	0	96	0	80	112	102	128
UltraRAM (Mb)	0	0	0	14.0	13.5	18.0	0	27.0	0	22.5	31.5	28.7	36.0
DSP スライス	216	240	360	576	728	1,248	1,973	1,728	2,520	2,928	3,528	1,590	1,968
CMT	3	3	3	1	4	4	4	8	4	8	4	11	11
最大 HP I/O ⁽¹⁾	156	156	156	52	156	156	208	416	208	416	208	572	572
最大 HD I/O ⁽²⁾	24	96	96	72	96	96	120	48	120	96	120	96	96
システムモニター	2	2	2	2	2	2	2	2	2	2	2	2	2
GTH トランシーバー ⁽³⁾	0	0	0	8	16	16	24	24	24	32	24	44	44
GTY トランシーバー	-	-	-	-	-	-	-	-	-	16	-	28	28
トランシーバー フラクショナル PLL	-	-	-	4	8	8	12	12	12	24	12	36	36
PCIe4 (PCIe Gen3 x16) ⁽⁴⁾	-	-	-	-	2	2	-	2	-	4	-	4	5
PCIe4C (PCIe Gen3 x16/Gen4 x8) ⁽⁴⁾⁽⁵⁾	-	-	-	1	-	-	-	-	-	-	-	-	-
150G Interlaken	-	-	-	1	-	-	-	-	-	1	-	2	4
100G イーサネット (RS-FEC あり)	-	-	-	-	-	-	-	-	-	2	-	2	4

注記:
 1. HP は High Performance I/O で、1.0V から 1.8V の I/O 電圧をサポートします。
 2. HD は High Density I/O で、1.2V から 3.3V の I/O 電圧をサポートします。
 3. SFVC784、SFVD784、および SFVE784 パッケージの GTH トランシーバーは、最大 12.5 Gb/s のデータレートをサポートします。表 20 を参照してください。
 4. サポートされる PCIe の構成は、トランシーバー数で決まります。
 5. このブロックは 16.0 GT/s (Gen4) 動作の互換モードで動作します。互換モードの詳細は、『UltraScale+ Devices Integrated Block for PCI Express 製品ガイド』(PG213) を参照してください。

Zynq UltraScale+ MPSoC: EG デバイスとパッケージの各組み合わせにおける最大 I/O 数

表 20: Zynq UltraScale+ MPSoC: EG デバイスとパッケージの組み合わせにおける最大 I/O 数

パッケージ (1)(2)(3)(4)(5)	パッケージ サイズ (mm)	ZU1EG	ZU2EG	ZU3EG	ZU3TEG	ZU4EG	ZU5EG	ZU6EG	ZU7EG	ZU9EG	ZU11EG	ZU15EG	ZU17EG	ZU19EG
		HD, HP GTH, GTY	HD, HP GTH, GTY	HD, HP GTH, GTY	HD, HP GTH, GTY	HD, HP GTH, GTY	HD, HP GTH, GTY	HD, HP GTH, GTY	HD, HP GTH, GTY	HD, HP GTH, GTY	HD, HP GTH, GTY	HD, HP GTH, GTY	HD, HP GTH, GTY	HD, HP GTH, GTY
UBVA494 ⁽⁶⁾	9.5x15	24, 58 0, 0												
UBVA530 ⁽⁶⁾	9.5x16		24, 58 0, 0	24, 58 0, 0										
SBVA484 ⁽⁶⁾	19x19	24, 58 0, 0	24, 58 0, 0	24, 58 0, 0										
SFVA625	21x21	24, 156 0, 0	24, 156 0, 0	24, 156 0, 0										
SFVC784 ⁽⁷⁾	23x23	24, 156 0, 0	96, 156 0, 0	96, 156 0, 0	72, 52 4, 0	96, 156 4, 0	96, 156 4, 0							
SFVD784 ⁽⁷⁾⁽⁸⁾	23x23				72, 52 8, 0									
SFVE784 ⁽⁷⁾⁽⁸⁾	23x23					72, 58 8, 0	72, 58 8, 0							
FBVB900	31x31					48, 156 16, 0	48, 156 16, 0		48, 156 16, 0					
FFVC900	31x31							48, 156 16, 0		48, 156 16, 0		48, 156 16, 0		
FFVB1156	35x35							120, 208 24, 0		120, 208 24, 0		120, 208 24, 0		
FFVC1156	35x35								48, 312 20, 0		48, 312 20, 0			
FFVB1517	40x40										72, 416 16, 0		72, 572 16, 0	72, 572 16, 0
FFVF1517	40x40							48, 416 24, 0			48, 416 32, 0			
FFVC1760	42.5x42.5										96, 416 32, 16		96, 416 32, 16	96, 416 32, 16
FFVD1760	42.5x42.5												48, 260 44, 28	48, 260 44, 28
FFVE1924	45x45												96, 572 44, 0	96, 572 44, 0

注記:

1. パッケージ記載の詳細は、「[注文情報](#)」を参照してください。
2. FB/FF パッケージのボールピッチは 1.0 mm です。SB/SF パッケージのボールピッチは 0.8 mm です。UB パッケージのボールピッチは 0.5 mm です。
3. すべてのデバイスとパッケージの組み合わせで、4 つの PS-GTR トランシーバーがボンディングされています。
4. すべてのデバイスとパッケージの組み合わせで、214 本の PS I/O がボンディングされています。ただし、UBVA494、UBVA530、SBVA484 および SFVA625 パッケージの ZU1EG、ZU2EG、および ZU3EG では 170 本の PS I/O がボンディングされています。170 本の PS I/O がボンディングされているパッケージは、32 ビットの DDR のみをサポートします。
5. パッケージコードの最後の文字と番号の並び (例: A484) が同じパッケージは、すべての UltraScale アーキテクチャデバイス間でフットプリントの互換性があります。このファミリー内で、フットプリントに互換性のあるデバイスは太線で囲まれています。
6. 58 本の HP I/O ピンはすべて同じ V_{CC0} から電源が供給されます。
7. SFVC784、SFVD784、SFVE784 パッケージの GTH トランシーバーは、最大 12.5 Gb/s のデータレートをサポートします。
8. D784 と E784 間の移行がサポートされています。詳細は、『Zynq UltraScale+ Device パッケージおよびピン配置仕様ユーザーガイド』(UG1075) を参照してください。

Zynq UltraScale+ MPSoC: EV デバイスの機能一覧

表 21: Zynq UltraScale+ MPSoC: EV デバイスの機能一覧

	ZU4EV	ZU5EV	ZU7EV
アプリケーションプロセッシングユニット	クラウド コア Arm Cortex-A53 MPCore (CoreSight、NEON および単精度/倍精度浮動小数点演算ユニット、32 KB/32 KB L1 キャッシュ、1 MB L2 キャッシュ内蔵)		
リアルタイムプロセッシングユニット	デュアル コア Arm Cortex-R5F (CoreSight、単精度/倍精度浮動小数点演算ユニット、32 KB/32 KB L1 キャッシュ、TCM 内蔵)		
エンベデッドおよび外部メモリ	256 KB オンチップ メモリ (ECC あり)、外部 DDR4、DDR3、DDR3L、LPDDR4、LPDDR3、外部クラウド SPI、NAND、eMMC		
汎用コネクティビティ	214 本の PS I/O、UART、CAN、USB 2.0、I2C、SPI、32b GPIO、リアルタイム クロック、ウォッチドッグ タイマー、トリプル タイマー カウンター		
高速コネクティビティ	4 つの PS-GTR、PCIe Gen1/2、シリアル ATA 3.1、DisplayPort 1.2a、USB 3.0、SGMII		
グラフィックスプロセッシングユニット	Arm Mali-400 MP2、64 KB L2 キャッシュ		
ビデオ コーデック	1	1	1
システム ロジック セル	192,150	256,200	504,000
CLB フリップフロップ	175,680	234,240	460,800
CLB LUT	87,840	117,120	230,400
分散 RAM (Mb)	2.6	3.5	6.2
ブロック RAM ブロック	128	144	312
ブロック RAM (Mb)	4.5	5.1	11.0
UltraRAM ブロック	48	64	96
UltraRAM (Mb)	13.5	18.0	27.0
DSP スライス	728	1,248	1,728
CMT	4	4	8
最大 HP I/O ⁽¹⁾	156	156	416
最大 HD I/O ⁽²⁾	96	96	48
システム モニター	2	2	2
GTH トランシーバー 16.3 Gb/s ⁽³⁾	16	16	24
GTY トランシーバー 32.75 Gb/s	0	0	0
トランシーバー フラクショナル PLL	8	8	12
PCIE4 (PCIe Gen3 x16) ⁽⁴⁾	2	2	2
150G Interlaken	0	0	0
100G イーサネット (RS-FEC あり)	0	0	0

注記:

- HP は High Performance I/O で、1.0V から 1.8V の I/O 電圧をサポートします。
- HD は High Density I/O で、1.2V から 3.3V の I/O 電圧をサポートします。
- SFVC784 および SFVE784 パッケージの GTH トランシーバーは、最大 12.5 Gb/s のデータ レートをサポートします。表 22 を参照してください。
- サポートされる PCIe の構成は、トランシーバー数で決まります。

Zynq UltraScale+: EV デバイスとパッケージの各組み合わせにおける最大 I/O 数

表 22: Zynq UltraScale+ MPSoC: EV デバイスとパッケージの組み合わせにおける最大 I/O 数

パッケージ (1)(2)(3)(4)	パッケージ サイズ (mm)	ZU4EV	ZU5EV	ZU7EV
		HD、HP GTH、GTY	HD、HP GTH、GTY	HD、HP GTH、GTY
SFVC784 ⁽⁵⁾	23x23	96、156 4、0	96、156 4、0	
SFVE784 ⁽⁵⁾	23x23	72、58 8、0	72、58 8、0	
FBVB900	31x31	48、156 16、0	48、156 16、0	48、156 16、0
FFVC1156	35x35			48、312 20、0
FFVF1517	40x40			48、416 24、0

注記:

1. パッケージ記載の詳細は、「注文情報」を参照してください。
2. FB/FF パッケージのボールピッチは 1.0 mm です。SF パッケージのボールピッチは 0.8 mm です。
3. すべてのデバイスとパッケージの組み合わせで、4 つの PS-GTR トランシーバーがボンディングされています。
4. パッケージコードの最後の文字と番号の並び (例: B900) が同じパッケージは、すべての UltraScale アーキテクチャ デバイス間でフットプリントの互換性があります。このファミリー内で、フットプリントに互換性のあるデバイスは太線で囲まれています。
5. SFVC784 および SFVE784 パッケージの GTH トランシーバーは、最大 12.5 Gb/s のデータレートをサポートします。

Zynq UltraScale+ RFSoc: デバイスの機能一覧

表 23: Zynq UltraScale+ RFSoc の機能一覧

		XCZU21DR	XCZU25DR	XCZU27DR	XCZU28DR	XCZU29DR	XCZU39DR	XCZU42DR	XCZU43DR	XCZU46DR	XCZU47DR	XCZU48DR	XCZU49DR
12ビット RF-ADC、DDCあり	ADC 数	0	8	8	8	16	16	–	–	–	–	–	–
	最大レート (GSPS)	0	4.096	4.096	4.096	2.058	2.220	–	–	–	–	–	–
14ビット RF-ADC、DDCあり	ADC 数	–	–	–	–	–	–	8	2	4	8	4	16
	最大レート (GSPS)	–	–	–	–	–	–	2.5	5.0	5.0	2.5	5.0	2.5
14ビット RF-DAC、DUCあり	DAC 数	0	8	8	8	16	16	8	4	12	8	8	16
	最大レート (GSPS)	0	6.554	6.554	6.554	6.554	6.554	9.85	9.85	9.85	9.85	9.85	9.85
SD-FEC		8	0	0	8	0	0	0	0	8	0	8	0
アプリケーション プロセッシングユニット		クワッド コア Arm Cortex-A53 MPCore (CoreSight™、NEON および単精度/倍精度浮動小数点演算ユニット、32 KB/32 KB L1 キャッシュ、1 MB L2 キャッシュ内蔵)											
リアルタイム プロセッシングユニット		デュアル コア Arm Cortex-R5F (CoreSight、単精度/倍精度浮動小数点演算ユニット、32 KB/32 KB L1 キャッシュ、TCM 内蔵)											
エンベデッドおよび外部メモリ		256 KB オンチップ メモリ (ECC あり)、外部 DDR4、DDR3、DDR3L、LPDDR4、LPDDR3、外部クワッド SPI、NAND、eMMC											
汎用コネクティビティ		214 本の PS I/O、UART、CAN、USB 2.0、I2C、SPI、32b GPIO、リアルタイム クロック、ウォッチドッグ タイマー、トリプル タイマー カウンター											
高速コネクティビティ		4 つの PS-GTR、PCIe® Gen1/2、シリアル ATA 3.1、DisplayPort 1.2a、USB 3.0、SGMII											
システム ロジック セル		930,300	678,318	930,300	930,300	930,300	930,300	489,300	930,300	930,300	930,300	930,300	930,300
CLB フリップフロップ		850,560	620,176	850,560	850,560	850,560	850,560	447,360	850,560	850,560	850,560	850,560	850,560
CLB LUT		425,280	310,088	425,280	425,280	425,280	425,280	223,680	425,280	425,280	425,280	425,280	425,280
分散 RAM (Mb)		13.0	9.6	13.0	13.0	13.0	13.0	6.8	13.0	13.0	13.0	13.0	13.0
ブロック RAM ブロック		1,080	792	1,080	1,080	1,080	1,080	648	1,080	1,080	1,080	1,080	1,080
ブロック RAM (Mb)		38.0	27.8	38.0	38.0	38.0	38.0	22.8	38.0	38.0	38.0	38.0	38.0
UltraRAM ブロック		80	48	80	80	80	80	160	80	80	80	80	80
UltraRAM (Mb)		22.5	13.5	22.5	22.5	22.5	22.5	45.0	22.5	22.5	22.5	22.5	22.5
DSP スライス		4,272	3,145	4,272	4,272	4,272	4,272	1,872	4,272	4,272	4,272	4,272	4,272
CMT		8	6	8	8	8	8	5	8	8	8	8	8
最大 HP I/O		208	299	299	299	312	312	130	299	312	299	299	312
最大 HD I/O		72	48	48	48	96	96	24	48	48	48	48	96
システム モニター		2	2	2	2	2	2	2	2	2	2	2	2
GTY トランシーバー		16	8	16	16	16	16	8	16	16	16	16	16
フラクショナル PLL		8	4	8	8	8	8	4	8	8	8	8	8
PCIe Gen3 x16		2	1	2	2	2	2	–	–	–	–	–	–
PCIe Gen3 x16/Gen4 x8 ⁽¹⁾		–	–	–	–	–	–	0	2	2	2	2	2
150G Interlaken		1	1	1	1	1	1	0	1	1	1	1	1
100G イーサネット (RS-FEC あり)		2	1	2	2	2	2	1	2	2	2	2	2

注記:

1. このブロックは 16.0 GT/s (Gen4) 動作の互換モードで動作します。互換モードの詳細は、『UltraScale+ Devices Integrated Block for PCI Express 製品ガイド』(PG213) を参照してください。

表 24: Zynq UltraScale+ RFSoc デバイスとパッケージの各組み合わせにおける最大 I/O 数

パッケージ ⁽¹⁾	サイズ (mm)	ZU21DR	ZU25DR	ZU27DR	ZU28DR	ZU29DR	ZU39DR	ZU42DR	ZU43DR	ZU46DR	ZU47DR	ZU48DR	ZU49DR
		PSIO HDIO、HPIO PS-GTR、GTY RF-ADC、RF-DAC											
FFVD1156	35x35	214 72、208 4、16 0、0											
FFVE1156	35x35		214 48、104 4、8 8、8	214 48、104 4、8 8、8	214 48、104 4、8 8、8			214 24、130 4、8 10、8	214 48、104 4、8 4、4		214 48、104 4、8 8、8	214 48、104 4、8 8、8	
FSVE1156	35x35		214 48、104 4、8 8、8	214 48、104 4、8 8、8	214 48、104 4、8 8、8			214 24、130 4、8 10、8	214 48、104 4、8 4、4		214 48、104 4、8 8、8	214 48、104 4、8 8、8	
FFVG1517	40x40		214 48、299 4、8 8、8	214 48、299 4、16 8、8	214 48、299 4、16 8、8				214 48、299 4、8 4、4		214 48、299 4、16 8、8	214 48、299 4、16 8、8	
FSVG1517	40x40		214 48、299 4、8 8、8	214 48、299 4、16 8、8	214 48、299 4、16 8、8				214 48、299 4、8 4、4		214 48、299 4、16 8、8	214 48、299 4、16 8、8	
FFVF1760	42.5x42.5					214 96、312 4、16 16、16	214 96、312 4、16 16、16						214 96、312 4、16 16、16
FSVF1760	42.5x42.5					214 96、312 4、16 16、16	214 96、312 4、16 16、16						214 96、312 4、16 16、16
FFVH1760	42.5x42.5									214 48、312 4、16 12 ⁽²⁾ 、12			
FSVH1760	42.5x42.5									214 48、312 4、16 12 ⁽²⁾ 、12			

注記:

1. パッケージコードの最後の文字と番号の並び (例: B900) が同じパッケージは、すべての UltraScale アーキテクチャ デバイス間でフットプリントの互換性があります。このファミリー内で、フットプリントに互換性のあるデバイスは太線で囲まれています。
2. 12 個の RF-ADC のうち 8 つは最大 2.5 GSPS で、4 つは最大 5.0 GSPS で動作可能です。

表 25: Zynq UltraScale+ RFSoc の機能一覧

		XCZU63DR		XCZU64DR		XCZU65DR		XCZU67DR	
14 ビット RF-ADC、DDC あり	ADC 数	4	2	8	2	6	8	2	
	最大レート (GSPS)	2.95	5.9	2.95	5.9	5.9	2.95	5.9	
14 ビット RF-DAC、DUC あり	DAC 数	4		8		6		8	
	最大レート (GSPS)	10.0		10.0		10.0		10.0	
SD-FEC		0		0		0		0	
デジタルフロントエンド		チャンネルフィルター、DUC/DDC、ミキサー、CFR、複素イコライザー、PQ、リサンブラー、DPD							
Low PHY IP		FFT/iFFT、PRACH		-		FFT/iFFT、PRACH		FFT/iFFT、PRACH	
アプリケーションプロセッシングユニット		クワッド コア Arm Cortex-A53 MPCore (CoreSight™、NEON および単精度/倍精度浮動小数点演算ユニット、32 KB/32 KB L1 キャッシュ内蔵) 1 MB L2 キャッシュ							
リアルタイムプロセッシングユニット		デュアル コア Arm Cortex-R5F (CoreSight、単精度/倍精度浮動小数点演算ユニット、32 KB/32 KB L1 キャッシュ、TCM 内蔵)							
エンベデッドおよび外部メモリ		256 KB オンチップ メモリ (ECC あり)、外部 DDR4、DDR3、DDR3L、LPDDR4、LPDDR3、外部クワッド SPI、NAND、eMMC							
汎用コネクティビティ		214 本の PS I/O、UART、CAN、USB 2.0、I2C、SPI、32b GPIO、リアルタイム クロック、ウォッチドッグ タイマー、トリプル タイマー カウンター							
高速コネクティビティ		4 つの PS-GTR、PCIe® Gen1/2、シリアル ATA 3.1、DisplayPort 1.2a、USB 3.0、SGMII							
システム ロジック セル		393,750		328,125		489,300		489,300	
CLB フリップフロップ		360,000		300,000		447,360		447,360	
CLB LUT		180,000		150,000		223,680		223,680	
分散 RAM (Mb)		5.4		4.5		6.9		6.9	
ブロック RAM ブロック		500		450		648		648	
ブロック RAM (Mb)		17.6		15.8		22.8		22.8	
UltraRAM ブロック		130		80		160		160	
UltraRAM (Mb)		37.0		23.0		45.0		45.0	
DSP スライス		1,200		1,872		1,872		1,872	
CMT		5		5		5		5	
最大 HP I/O		130		130		130		130	
最大 HD I/O		24		24		24		24	
システム モニター		2		2		2		2	
GTY トランシーバー		4		8		8		8	
フラクショナル PLL		4		4		4		4	
100G イーサネット (RS-FEC あり)		1		1		1		1	

表 26: Zynq UltraScale+ RFSoc デバイスとパッケージの各組み合わせにおける最大 I/O 数

パッケージ (1)	サイズ (mm)	ZU63DR	ZU64DR	ZU65DR	ZU67DR
		PSIO HDIO、HPIO PS-GTR、GTY RF-ADC、RF-DAC			
FFVE1156	35x35	214 24、130 4、4 6、4	214 24、130 4、8 10、8	214 24、130 4、8 6、6	214 24、130 4、8 10、8
FSVE1156	35x35	214 24、130 4、4 6、4	214 24、130 4、8 10、8	214 24、130 4、8 6、6	214 24、130 4、8 10、8

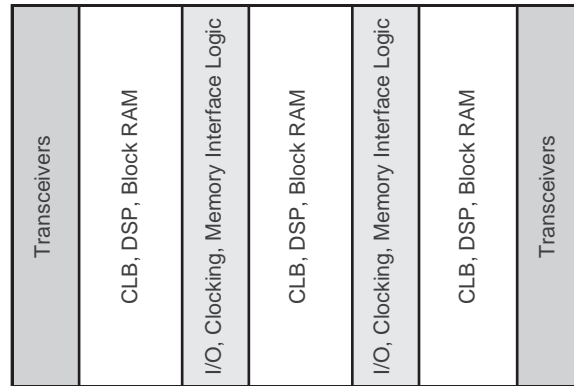
注記:

1. パッケージ コードの最後の文字と番号の並び (例: B900) が同じパッケージは、すべての UltraScale アーキテクチャ デバイス間でフットプリントの互換性があります。このファミリ内で、フットプリントに互換性のあるデバイスは太線で囲まれています。

デバイス レイアウト

UltraScale デバイスは、カラムそして格子状に配列されています。リソース カラムの組み合わせ比率はデバイスによって多様で、デバイスの集積度、ターゲットとする市場とアプリケーション、デバイス コストなどに合わせて最適な性能を提供します。

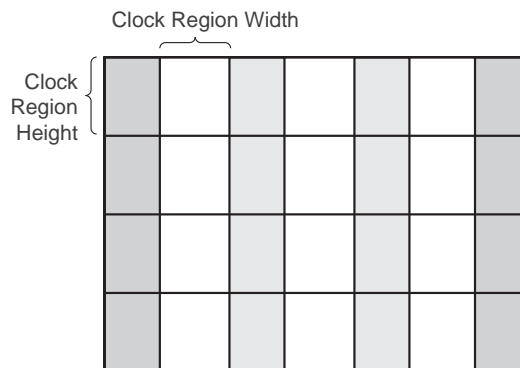
Zynq UltraScale+ MPSoC および RFSoc では、プログラマブル ロジック リソースの一部のカラムのカラム全体または一部がプロセッシング システムで置き換えられており、この部分がデバイスの中心的な役割を果たします。図 1 に、リソースをグループ分けしたカラムを示すデバイス レベルの図を示します。ここでは、図をシンプルにするため、プロセッシング システム、PCIe 用統合ブロック、コンフィギュレーション ロジック、システム モニターは示していません。



DS890_01_101712

図 1: リソースがカラム状に配列された FPGA

デバイス内のリソースは、セグメント化されたクロック領域に分割されています。クロック領域の高さは CLB 60 個分です。I/O バンク 52 個、DSP スライス 24 個、ブロック RAM 12 個、UltraRAM 8 個、またはトランシーバー チャネル 4 個もクロック領域の高さに相当します。クロック領域の幅は、デバイス サイズやクロック領域におけるリソースの組み合わせにかかわらず基本的に同じであることから、デザインにおけるタイミングの結果が再利用可能です。セグメント化された各クロック領域には、水平方向と垂直方向にそれぞれ領域の幅と高さ分のクロック配線があります。これらのクロック配線は、クロック領域の境界で分割できるため、このアーキテクチャでは高性能で低消費電力のクロック分散が可能になります。図 2 に領域に分割された FPGA を図示します。



For graphical representation only, does not represent a real device.

DS890_02_121014

図 2: クロック領域に分割された FPGA

RF データ コンバーター サブシステム

Zynq UltraScale+ RFSoc は、複数の RF-ADC および RF-DAC で構成される RF データ コンバーター サブシステムを備えています。

RF-ADC

RF-ADC は real 入力信号用に個別に設定できます。また、XCZU43DR を除くすべてのデバイスでは、RF-ADC を I/Q 入力信号用にペアとして設定可能です。RF-ADC タイルには 1 つの PLL および 1 つのクロッキング インスタンスがあります。RF-ADC の間引きフィルターは、80% のナイキスト帯域幅および 89dB 阻止帯域の減衰において、さまざまな間引きモードで動作可能です。各 RF-ADC には 48 ビットの NCO (Numerically Controlled Oscillator) と、キャリブレーション済み 100Ω のオンチップ終端を備えた高速で高性能な専用差動入力バッファが含まれます。

RF-DAC

RF-DAC は real 出力用に個別に設定できます。また、XCZU43DR を除くすべてのデバイスでは、RF-DAC を I/Q 出力信号生成用にペアとして設定可能です。RF-DAC タイルには 1 つの PLL およびクロッキング インスタンスが含まれます。RF-DAC の補間フィルターは、80% のナイキスト帯域幅および 89 dB 阻止帯域の減衰において、さまざまな補間モードで動作可能です。各 RF-DAC には 48 ビットの NCO が含まれます。

SD-FEC (Soft Decision Forward Error Correction)

一部の Zynq UltraScale+ RFSoc ファミリーには、LDPC 符号を用いたエンコードとデコード、およびターボ符号を用いたデコードが可能な SD-FEC 統合ブロックが備えられています。

LDPC デコード/エンコード

AXI4-Lite インターフェイス経由で幅広い擬巡回符号を設定できます。符号パラメーター メモリは最大 128 符号で共有可能です。エンコーダーが適切なデコーダー符号を再利用できるように符号はブロック単位で選択できます。SD-FEC は正規化した min-sum デコード アルゴリズムを使用します。正規化係数は、0.0625 ~ 1 の範囲で 0.0625 の倍数としてプログラム可能です。符号語ごとに 1 ~ 63 回の反復が可能です。反復の早期打ち切りについては、符号語ごとに次に示す 2 つのうち両方、片方、またはどちらもなしを指定します。

- パリティ チェック 合格
- 前回の反復後、ハード情報またはパリティ ビットに変化なし

軟出力または硬出力は符号語ごとに、6 ビットの軟対数尤度比 (LLR) 入力と 8 ビット LLR 出力を用いて情報およびオプションのパリティを含めるように指定します。

ターボ デコード

ターボ モードでは、SD-FEC は Max、Max Scale、または Max Star アルゴリズムを使用できます。Max Scale アルゴリズムを使用した場合、スケール係数は 0.0625 ~ 1 の範囲で 0.0625 の倍数としてプログラム可能です。符号語ごとに 1 ~ 63 回の反復が可能です。これは AXI4-Stream 制御インターフェイスを使用して指定されます。反復の早期打ち切りについては、符号語ごとに次に示す 2 つのうち両方、片方、またはどちらもなしを指定します。

- CRC 合格
- 前回の反復後、硬判定に変化なし

軟出力または硬出力は符号語ごとに、8 ビットの軟対数尤度比 (LLR) 入出力を用いて組織符号とオプションのパリティ 0 およびパリティ 1 を含めるように指定します。

プロセッシング システム (PS)

Zynq UltraScale+ MPSoC および RFSoc は PS とプログラマブル ロジックの組み合わせで構成されています。Zynq UltraScale+ PS に備わっている機能はデバイスによって異なります。すべてのデバイスに APU、RPU、および複数のプロセッシング エンジンが外部コンポーネントに接続するための多くのペリフェラルが含まれます。EG および EV デバイスは GPU を備え、EV デバイスにはビデオ コーデック ユニット (VCU) が含まれます。PS の各コンポーネントの相互接続、および PL への接続には、複数のマスター/スレーブ トランザクションを同時にサポートする Arm AMBA AXI ノンブロッキング インターコネクタが採用されています。このインターコネクタを通過するトラフィックは、インターコネクタ内の QoS (Quality of Service) ブロックで制御されます。PL は、FIFO インターフェイスを経由して 12 個の専用 AXI 32、64、または 128 ビット ポートによって PS の高速インターコネクタと DDR に接続されます。

電源ドメインは PL と PS (フル電力、低電力、バッテリー電源ドメインの 3 つ) に合計 4 つあり、これらは個別に制御できます。また、多くのペリフェラルがクロック ゲーティングとパワー ゲーティングをサポートしており、ダイナミックおよびスタティック消費電力をさらに削減しています。

アプリケーション プロセッシング ユニット (APU)

APU は多機能なデュアル コアまたはクワッド コアの Arm Cortex-A53 プロセッサを採用しています。Cortex-A53 コアは Arm-v8A アーキテクチャに基づく 32/64 ビット アプリケーション プロセッサで、消費電力あたりのパフォーマンスを最大限に高めています。Arm v8 アーキテクチャはハードウェア仮想化をサポートしています。各 Cortex-A53 コアには、命令 L1 キャッシュ (32 KB、パリティ保護付き)、データ L1 キャッシュ (32 KB、ECC 保護付き)、NEON SIMD エンジン、および単精度/倍精度浮動小数点演算ユニットがあります。これらブロックに加え、APU はスヌープ制御ユニットと 1 MB の L2 キャッシュ (ECC 保護付き) も備え、システム レベル性能を向上させています。スヌープ制御ユニットによって L1 キャッシュのコヒーレンシが維持されるため、コヒーレンシ確保のためにソフトウェア帯域幅を消費する必要がありません。APU は仮想割り込みをサポートした割り込みコントローラーも内蔵しています。APU は、システム メモリ管理装置 (SMMU) を使用して CCI (Cache Coherent Interconnect) ブロック経由で 128 ビット ACE (AXI Coherency Extension) ポートにより PS 内のほかのコンポーネントと通信します。APU は 128 ビットのアクセラレータ コヒーレンシ ポート (ACP) を介してプログラマブル ロジック (PL) にも接続されており、PL 内のアクセラレータに低レイテンシのコヒーレント ポートを提供します。リアルタイム デバッグおよびトレースをサポートするため、各コアには Arm CoreSight™ デバッグ システムと通信する Embedded Trace Macrocell (ETM) もあります。

リアルタイム プロセッシング ユニット (RPU)

PS 内の RPU にはデュアル コア Arm Cortex-R5F が含まれます。Cortex-R5F コアは Arm-v7R アーキテクチャに基づく 32 ビット リアルタイム プロセッサ コアです。各 Cortex-R5F コアには ECC 保護に対応した 32 KB の L1 命令およびデータ キャッシュがあります。これらの L1 キャッシュに加え、各 Cortex-R5F コアにはシングル サイクルでのリアルタイム アクセスが可能な 128 KB の TCM (密結合メモリ) インターフェイスもあります。RPU には専用の割り込みコントローラーもあります。RPU はスプリット モードとロックステップ モードでの動作が可能です。スプリット モードでは両方のプロセッサがそれぞれ独立して動作し、ロックステップ モードでは、2 つのプロセッサが内蔵のコンパレータ ロジックを使用して並列に動作し、TCM は 256 KB のユニファイド メモリとして使用されます。RPU は、低電力ドメイン スイッチに接続された 128 ビット AXI-4 ポートを介して PS 内のほかのコンポーネントと通信します。また、PL とは 128 ビットの低レイテンシ AXI-4 ポートを介して直接通信します。リアルタイム デバッグおよびトレースをサポートするため、各コアには Arm CoreSight デバッグ システムと通信する Embedded Trace Macrocell (ETM) もあります。

外部メモリ

PS には、さまざまな種類の外部メモリと接続するための専用メモリ コントローラーがあります。ダイナミック メモリ コントローラーは DDR3、DDR3L、DDR4、LPDDR3、LPDDR4 メモリをサポートします。マルチプロトコル DDR メモリ コントローラーは、8、16、または 32 ビット DRAM メモリのシングル ランクまたはデュアル ランク構成で使用して、32 ビット アドレッシング モードで 2 GB のアドレス空間に、64 ビット アドレッシング モードで最大 32 GB のアドレス空間にアクセスできます。32 ビットと 64 ビットのどちらのバス アクセス モードも追加のビットを使用して ECC で保護されます。

SD/eMMC コントローラーは、Low Speed (デフォルト)、High Speed、Ultra High Speed (UHS) クロック レートで 1 および 4 ビット データ インターフェイスをサポートします。このコントローラーは、eMMC 4.51 規格に準拠した 1、4、8 ビット幅の eMMC インターフェイスもサポートしています。eMMC は Zynq UltraScale+ MPSoC および RFSoc のブートおよびコンフィギュレーションに最もよく使用されるモードの 1 つで、マネージド NAND デバイスからのブートをサポートしています。このコントローラーは内蔵 DMA によって高いパフォーマンスを実現しています。

クワッド SPI コントローラーは、ブートおよびコンフィギュレーションに最もよく使用されるデバイスです。このコントローラーは 4 バイトおよび 3 バイトのアドレッシング モードをサポートしています。どちらのアドレッシング モードでも、シングル、デュアル スタック、デュアル パラレルのコンフィギュレーションがサポートされます。シングル モードでは 1 個のクワッド シリアル NOR フラッシュ メモリがサポートされ、デュアル スタックおよびデュアル パラレル モードでは 2 個のクワッド シリアル NOR フラッシュ メモリがサポートされます。

NAND コントローラーは ONFI 3.1 規格に準拠しており、8 ピン インターフェイスで 200 Mb/s の帯域幅 (同期モード) を実現しています。24 ビットの ECC をサポートしているため、SLC NAND メモリを利用できます。2 つのチップ セレクトによってより深い階層のメモリをサポートすると共に、内蔵 DMA によって高いパフォーマンスを実現しています。

汎用コネクティビティ

PS には、CAN 2.0B、USB、イーサネット、I2C、UART などの業界標準プロトコルを用いて外部デバイスと接続するためのペリフェラルが多数用意されています。これらペリフェラルの多くがクロック ゲーティングおよびパワー ゲーティング モードをサポートしており、ダイナミックおよびスタティック消費電力をさらに削減しています。

USB 3.0/2.0

ホスト、デバイス、または OTG (On-The-Go) のいずれかにコンフィギュレーション可能な USB コントローラーが 2 つあります。このコアは USB 3.0 規格に準拠しており、上記のすべての構成でスーパー/ハイ/フル/ロー スピードをサポートしています。ホスト モードでは、USB コントローラーは Intel XHCI 規格に準拠します。デバイス モードでは、最大 12 のエンドポイントをサポートします。USB 3.0 モードで動作時は、シリアル トランシーバーを使用して最大 5.0 Gb/s で動作します。USB 2.0 モードでは、ULPI (Universal Low Peripheral Interface) を使用してコントローラーを最大 480 Mb/s で動作する外部 PHY に接続します。ULPI は USB 3.0 モードでも接続されており、高速動作に対応します。

イーサネット MAC

10 Mb/s、100 Mb/s、1 Gb/s の動作をサポートしたトライスピード イーサネット MAC が 4 つあります。これらの MAC はジャンボフレームをサポートし、IEEE Std 1588v2 に基づくインターフェイスによるタイムスタンプ機能にも対応しています。イーサネット MAC はシリアル トランシーバー (SGMII)、MIO (RGMII)、または EMIO (GMII) 経由で接続できます。GMII インターフェイスは、PL 内で別のインターフェイスに変換できます。

高速コネクティビティ

PS には最大 6.0 Gb/s のデータ レートをサポートした PS-GTR トランシーバー (TX/RX) が 4 つあり、PCIe、SATA、USB 3.0、SGMII、DisplayPort™ 経由でペリフェラルと通信できます。

PCIe

PCIe 用統合ブロック PCI Express ベース仕様 2.1 に準拠し、x1、x2、x4 ルート コンプレックスまたはエンドポイントとしてのコンフィギュレーションをサポートしています。どちらのコンフィギュレーションも、トランザクション オーダリング規則に準拠しています。DMA を内蔵し、仮想チャネルを 1 つサポートしており、完全にコンフィギュレーション可能なベース アドレスレジスタがあります。

SATA

SATA 3.1 規格に準拠した SATA ホスト ポート インターフェイスが 2 つあり、最大 2 つの外部デバイスを接続できます。この SATA インターフェイスはデータ レート 1.5 Gb/s、3.0 Gb/s、6.0 Gb/s に対応し、Partial および Slumber 電力モードをサポートした AHCI (Advanced Host Controller Interface) 1.3 に準拠しています。

DisplayPort

DisplayPort コントローラーは、VESA DisplayPort v1.2a 規格 (ソースのみ) に準拠したソース専用の DisplayPort (データ レート 1.62 Gb/s、2.7 Gb/s、5.4 Gb/s) を最大 2 レーンまでサポートしています。このコントローラーは、SST (Single Stream Transport)、最大 4Kx2K の解像度 (フレーム レート 30 Hz)、Y のみ、YCbCr444、YCbCr422、YCbCr420、RGB、YUV444、YUV422、xvYCC のビデオ フォーマット、およびカラー コンポーネントあたり 6、8、10、12 ビットのピクセル色深度をサポートしています。

グラフィックス プロセッシング ユニット (GPU)

PS には、最大解像度 1080p の 2D および 3D グラフィックス アクセラレーションをサポートした専用の Arm Mali-400 MP2 GPU があります。Mali-400 は 3D グラフィックス規格の OpenGL ES 1.1 および 2.0 と、2D ベクター グラフィックス規格の Open VG 1.1 をサポートしています。1 個のジオメトリ プロセッサ (GP) と 2 個のピクセルプロセッサにより、タイルレンダリングを並列に実行します。GP およびピクセルプロセッサには、4 KB のページ サイズをサポートした専用のメモリ管理装置があります。GPU には読み出し専用の 64 KB L2 キャッシュもあります。4X および 16X FSAA (Full Scene Anti-Aliasing) もサポートされます。この GPU は完全に自律動作し、APU と GPU を最大限に並列実行できます。また、内蔵のハードウェア テクスチャ伸長回路により、テクスチャを ETC フォーマットで圧縮したままグラフィックス ハードウェアで処理し、必要なサンプルのみをその場で伸長できます。複数レイヤーの効率的なアルファブレンディングもハードウェアでサポートしており、余分な帯域幅の消費を防いでいます。ピクセルフィルレートは 2M ピクセル/秒/MHz、トライアングルレートは 0.1M vertex (頂点)/秒/MHz をサポートします。この GPU は Mono 8、16、および YUV フォーマットで RGBA 8888、565、および 1556 のテクスチャ フォーマットを幅広くサポートしています。省電力性が重視されるアプリケーション向けに、この GPU は GP、ピクセルプロセッサ、L2 キャッシュごとにクロックおよびパワーゲーティングをサポートしています。パワーゲーティング中は、GPU はスタティック消費電力もダイナミック消費電力も一切消費しません。クロックゲーティング中はスタティック消費電力しか消費しません。

ビデオ コーデック ユニット (VCU)

ビデオ コーデック ユニット (VCU) は、High Efficiency Video Coding (HEVC) 規格 (例: H.265) および Advanced Video Coding (AVC) 規格 (例: H.264) などを含む複数規格のビデオ エンコードおよびデコード機能を提供します。この VCU は最大 4Kx2K (60 fps、約 600M ピクセル/秒) または 8Kx4K (~15 fps) のレートでエンコードとデコードを同時に実行できます。

入力/出力

すべての UltraScale FPGA、MPSoC、および RFSoc には、外部コンポーネントとの通信用に I/O ピンがあります。これ以外に、PS には I/O ペリフェラルと外部コンポーネントの通信用に MIO (Multiplexed I/O) と呼ばれる 78 本の I/O があります。I/O ペリフェラルに必要なピンが 78 本を超える場合、PL の I/O ピンを使用して MPSoC および RFSoc のインターフェイス機能を拡張できます。これを EMIO (Extended MIO) と呼びます。

UltraScale FPGA、および Zynq UltraScale+ MPSoC および RFSoc のプログラマブル ロジックの I/O ピンの数はデバイスおよびパッケージにより異なります。各 I/O ピンはコンフィギュレーション可能で、多数の規格に準拠しています。I/O には HR (High Range)、HP (High-Performance)、HD (High-Density) の 3 種類があります。HR I/O は、1.2 ~ 3.3V までの最も広範な I/O 電圧をサポートします。HP I/O は最高性能の動作向けに最適化されており、1.0V ~ 1.8V の電圧をサポートします。HD I/O は 24 バンク構成で機能を絞った I/O で、1.2V ~ 3.3V の電圧をサポートします。一部の Spartan UltraScale+ デバイスは、LPDDR4X、LPDDR5、および MIPI D-PHY などの非常に高速なインターフェイスに対応する XP5IO という I/O を備えています。

I/O ピンはすべてバンクに構成されており、HP および HR I/O ピンは 1 バンクに 52 本、HD I/O ピンは 1 バンクに 24 本、XP5IO ピンは 1 バンクに 66 本あります。各バンクには 1 つの共通 V_{CCO} 出力バッファ電源があり、これは特定の入力バッファにも電源を供給します。HR バンクは 2 分割可能で、それぞれに V_{CCO} 電源を持つことができます。一部のシングルエンドの入力バッファには、内部生成の、または外部に基準電圧 (V_{REF}) が必要です。 V_{REF} ピンは PCB から直接駆動するか、各バンク内部にある V_{REF} 生成回路を使用して内部生成できます。

I/O 電気特性

シングルエンド出力は従来型の CMOS プッシュプル出力構造を使用するもので、 V_{CCO} は High を、グラウンドは Low を駆動し、ハイインピーダンス状態も可能です。システム設計者はスルー レートおよび駆動能力を指定できます。入力は常にアクティブですが、出力がアクティブの間は通常無視されます。また、各ピンはオプションとして、弱いプルアップまたはプルダウン抵抗を付けることができます。

ほとんどの信号ピンペアが、差動入力ペアまたは出力ペアとして構成できます。さらに、差動入力ピンのペアを 100Ω の内部抵抗で終端できるオプションもあります。すべての UltraScale デバイスは LVDS 以外に RSDS、BLVDS、差動 SSTL、差動 HSTL の差動規格をサポートします。また、各 I/O はシングルエンドおよび差動の HSTL、SSTL などのメモリ I/O 規格をサポートします。UltraScale+ ファミリでは I/O バンクに専用 D-PHY を備えることで MIPI のサポートが追加されています。

トライステート型デジタル制御インピーダンスおよび低消費電力 I/O 機能

トライステート型デジタル制御インピーダンス (T_{DCI}) は、出力駆動インピーダンス (直列終端) を制御したり、または V_{CCO} に対する入力信号の並列終端や $V_{CCO}/2$ に対する分割 (テブナン) 終端を構成できます。 T_{DCI} を使用した信号には、オフチップの終端は不要です。これはボード スペースを節約するだけでなく、出力モードまたはトライステートの場合に終端が自動的にオフになるため、オフチップ終端の消費電力も大幅に削減されます。さらに、I/O の IBUF および IDELAY には低電力モードがあり、特にメモリ インターフェイスの実装時に、低消費電力化を図ることができます。

I/O ロジック

入力および出力遅延

すべての入力および出力は組み合わせ、またはレジスタ付きとして設定でき、ダブル データ レート (DDR) が全入力および出力でサポートされています。入力と出力はすべて、5 ~ 15 ps 単位で最大 1,250 ps まで個別に遅延させることができ、この遅延は IDELAY および ODELAY としてインプリメントされます。遅延ステップ数はコンフィギュレーションで設定できますが、使用中にも増加または減少させることが可能です。IDELAY および ODELAY をカスケード接続することで、一方方向の遅延量を 2 倍にできます。

ISERDES および OSERDES

アプリケーションの多くは、デバイス内部で高速なビット シリアル I/O とより低速なパラレル動作を組み合わせます。これには、I/O ロジック内にシリアライザーおよびデシリアライザー (SerDes) が必要です。各 I/O ピンには IOSERDES (ISERDES と OSERDES) があり、2、4、8 ビットの幅 (プログラム可能) でシリアルからパラレル、またはパラレルからシリアルヘデータを変換します。I/O ロジックのこのような機能により、トランシーバーではなく SelectIO インターフェイスでギガビット イーサネット/1000BaseX/SGMII などの高性能インターフェイスが可能になります。

高速シリアル トランシーバー

同一 PCB 上のデバイス間、バックプレーン経由、または長距離間のシリアル データ転送は、100 Gb/s や 400 Gb/s まで拡張するカスタム ライン カードを実現する上でその重要性を増しています。このような転送には、高データ レートでのシグナル インテグリティの問題に対応する専用のオンチップ回路および差動 I/O が必要です。

UltraScale アーキテクチャで使用するトランシーバーには 4 種類あり、FPGA では GTH、GTY、および GTM、MPSoC と RFSoC の PL では GTH および GTY、MPSoC と RFSoC の PS では PS-GTR を使用します。どのトランシーバーも、4 つのグループ (トランシーバー クワッド) にグループ化されています。各シリアル トランシーバーは、トランスミッターと レシーバーの組み合わせで構成されています。表 27 に、各トランシーバーの性能を示します。

表 27: トランシーバーの性能

	Spartan UltraScale+	Artix UltraScale+		Kintex UltraScale		Kintex UltraScale+		Virtex UltraScale		Virtex UltraScale+		Zynq UltraScale+ MPSoC および RFSoC		
タイプ	GTH	GTH	GTY	GTH	GTY	GTH	GTY	GTH	GTY	GTY	GTM	PS-GTR	GTH	GTY
最大データ レート	16.3 Gb/s	16.3 Gb/s	16.3 Gb/s	16.3 Gb/s	16.3 Gb/s	16.3 Gb/s	32.75 Gb/s	16.3 Gb/s	30.5 Gb/s	32.75 Gb/s	58.0 Gb/s	6.0 Gb/s	16.3 Gb/s	32.75 Gb/s
最小データ レート	0.5 Gb/s	0.5 Gb/s	0.5 Gb/s	0.5 Gb/s	0.5 Gb/s	0.5 Gb/s	0.5 Gb/s	0.5 Gb/s	0.5 Gb/s	0.5 Gb/s	9.8 Gb/s	1.25 Gb/s	0.5 Gb/s	0.5 Gb/s

GTH/GTY トランシーバー

シリアルトランスミッターおよびレシーバーは高度な位相ロック ループ (PLL) アーキテクチャを使用する独立した回路で、基準周波数入力をプログラム可能な 4 ~ 25 の値で逡倍することでビット シリアル データ クロックを生成します。トランシーバーそれぞれに、ユーザー定義可能な多数の機能およびパラメーターがあります。これらはすべてデバイス コンフィギュレーション中に定義でき、その多くは動作中にも変更できます。

トランスミッター (GTH/GTY)

トランスミッターは基本的にパラレル/シリアル コンバーターで、変換比率は GTH で 16、20、32、40、64、80 で、GTY では 16、20、32、40、64、80、128、160 です。これにより、データパス幅とタイミング マージンのバランスの取れた高性能が求められるデザインにも対応できます。トランスミッターの出力は、シングルチャネルの差動出力信号で PC ボードを駆動します。TXOUTCLK は適切に分周されたシリアル データ クロックで、内部ロジックからのパラレル データを直接ラッチするために使用できます。入力されるパラレル データはオプションの FIFO を通り、十分なデータ遷移が生じるようハードウェアでの 8B/10B、64B/66B、または 64B/67B エンコードがサポートされています。ビットシリアル出力信号は、差動信号によって 2 つのパッケージ ピンを駆動します。この出力信号ペアは、信号振幅幅とプリおよびポストエンファシスがプログラム可能で、PC ボードでの信号ロスやほかのインターコネク特性を補います。より短いチャンネルでは、振幅幅を小さくすることで低消費電力化が可能です。

レシーバー (GTH/GTY)

レシーバーは基本的に、入力ビットシリアル差動信号をパラレル ストリーム ワードに変換するシリアル/パラレル コンバーターで、GTH は 16、20、32、40、64、80 ビットに、GTY は 16、20、32、40、64、80、128、160 ビットに対応します。これにより、内部データ幅とさまざまなロジックのタイミング マージンのバランスの取れた設計が可能になります。レシーバーは、入力差動データ ストリームを受け取ってそれを DC 自動ゲイン制御、リニア イコライザー、DFE (Decision Feedback Equalizer) を介することで、PC ボード、ケーブル、光インターコネク特やほかのインターコネク特性を補い、基準クロック入力を使用してクロックの認識を開始します。別のクロックラインは不要です。データパターンは NRZ (Non-Return-to-Zero) エンコードを使用し、オプションとして選択したエンコード方式を用いることで十分なデータ遷移が生じるようにします。パラレル データは RXUSRCLK クロックを使用してデバイス ロジックに転送されます。短いチャンネルの場合、トランシーバーを特別な低電力モード (LPM) で使用することで、消費電力が約 30% 削減されます。レシーバーの DC 自動ゲイン制御、リニア イコライザー、DFE はオプションで自動適合に設定でき、さまざまなインターコネク特の特性を自動的に判断して補正できます。これによって、10G+ や 25G+ のバックプレーンにもより多くのマージンを確保できるようになります。

Out-of-Band 信号

トランシーバーは、高速シリアル データ転送がアクティブでないときに、トランスミッターからレシーバーへ低速の信号を転送するためによく使用される Out-of-Band (OOB) 信号を提供します。通常、リンクがパワー ダウン ステートにあるか初期化されていない場合がこれに該当し、この機能は PCIe、SATA/SAS、QPI のアプリケーションで有用です。

GTM トランシーバー

シリアルトランスミッターおよびレシーバーは高度な位相ロック ループ (PLL) アーキテクチャを使用する独立した回路で、基準周波数入力をプログラム可能な 16 ~ 160 の値で逡倍することでビット シリアルデータ クロックを生成します。トランシーバーそれぞれに、ユーザー定義可能な多数の機能およびパラメーターがあります。これらはすべてデバイス コンフィギュレーション中に定義でき、その多くは動作中にも変更できます。

トランスミッター (GTM)

トランスミッターは基本的にパラレル/シリアル コンバーターで、4 値 (PAM4) または 2 値 (NRZ) のパルス振幅変調信号を出力し、シングル チャネルの差動出力信号で PC ボードを駆動します。TXOUTCLK は適切に分周されたシリアル データ クロックで、内部ロジックからのパラレル データを直接ラッチするために使用できます。入力されるパラレル データは、オプションで RS (544、514) FEC (リード ソロモン前方エラー訂正) エンコーダーおよび/または 64b66b データ エンコーダーを通ります。ビット シリアル出力信号は、PAM4 差動信号によって 2 つのパッケージ ピンを駆動します。この出力信号ペアは、信号振幅幅とプリおよびポストエンファシスがプログラム可能で、PC ボードでの信号ロスやほかのインターコネクト特性を補います。より短いチャネルでは、振幅幅を小さくすることで低消費電力化が可能です。

レシーバー (GTM)

レシーバーは基本的に、入力される PAM4 差動信号をパラレル ストリーム ワードに変換するシリアル/パラレル コンバーターです。レシーバーは入力される差動データ ストリームを受け取り、AGC (自動ゲイン制御) および CTLE (Continuous Time Linear Equalizer) を介して送ります。その後、データは高速アナログ/デジタル コンバーターでサンプリングされます。復元されたビットの並列化および PCS への供給の前に、DSP ロジックに実装された DFE (判定帰還型イコライザー) および FFE (フィード フォワード イコライザー) を介してさらにデジタル イコライゼーションが適用されます。このイコライゼーションにより、サポートされるすべてのレートで、短距離転送のチップ間アプリケーションから高損失のバックプレーン アプリケーションまで柔軟にデータを受信できるようになります。クロック リカバリ回路は、高速 PLL からの派生クロックを生成してシリアル データを駆動し、適切に分周されて位相の揃ったクロック、RXOUTCLK を内部ロジックに供給します。パラレル データは、RS-FEC および/または 64b/66b デコーダーへオプションで転送された後、FPGA インターフェイスへ送信されます。

PCI Express デザイン用統合インターフェイス ブロック

UltraScale アーキテクチャには、3 種類の PCIe 用統合ブロックがあります。UltraScale デバイス上の統合ブロックは PCI Express Base Specification v3.1 に準拠し、最大で x8 のレーン幅と 8.0 GT/s (Gen3) のスピードで動作します。

UltraScale+ デバイスには PCIE4、PCIE4C、および PCIE4CE の 3 つのタイプの統合ブロックがあります。PCIE4 ブロックは PCI Express Base Specification v3.1 に準拠し、最大で Gen3 x16 をサポートしますが、より低いレーン幅およびスピード用にも構成可能です。このブロックは Gen4 の動作はサポートしません。

Virtex UltraScale+ HBM FPGA など PCIE4C ブロックのみを備えるデバイスと、PCIE4 ブロックと PCIE4C ブロックを共に備えるデバイスがあります。

PCIE4C ブロックは PCI Express Base Specification v3.1 に準拠し、最大で 8.0 GT/s (Gen3) をサポートするだけでなく、最大で 16.0 GT/s (Gen4) をサポートする PCI Express Base Specification v4.0 と互換性があります。このブロックは、Gen3 で最大 16 レーン、Gen4 で最大 8 レーンをサポートしますが、リソースおよび消費電力の削減を目的としてより低いレーン幅用にも構成できます。

PCIE4CE ブロックは PCI Express Base Specification v4.0 に準拠し、最大 16.0 GT/s (Gen4) をサポートします。このブロックは、Gen3 で最大 8 レーン、Gen4 で最大 8 レーンをサポートしますが、リソースおよび消費電力の削減を目的としてより低いレーン幅用にも構成できます。

UltraScale アーキテクチャが備える PCIe 統合ブロックはすべて、エンドポイントまたはルートポートとして構成可能です。ルートポートは、ルートコンプレックス相当の機能を提供し、PCI Express プロトコルを用いたチップ間のカスタム通信を可能にするだけでなく、イーサネットコントローラーやファイバーチャネル HBA などの ASSP エンドポイントデバイスを FPGA、MPSoC、または RFSoc に接続します。

表 28 に、最大レーン幅およびデータレートを示します。

表 28: PCIe のデータレート別最大レーン幅

	Spartan UltraScale+	Artix UltraScale+	Kintex UltraScale	Kintex UltraScale+	Virtex UltraScale	Virtex UltraScale+	Zynq UltraScale+ MPSoC	Zynq UltraScale+ RFSoc
Gen1 (2.5 GT/s)	x8	x8	x8	x16	x8	x16	x16	x16
Gen2 (5 GT/s)	x8	x8	x8	x16	x8	x16	x16	x16
Gen3 (8 GT/s)	x8	x8	x8	x16	x8	x16	x16	x16
Gen4 (16 GT/s) ⁽¹⁾	x4	x8 ⁽²⁾		x8		x8		x8

注記:

1. UltraScale+ デバイスのトランシーバーは 16.0 GT/s をサポートします。PCIe ソフト IP は、AMD のパートナーから入手可能です。
2. PCIe Gen4 は、FFVB676 パッケージの AU10P および AU15P で利用可能です。

高性能アプリケーション向けには、ブロックを高度にバッファリングすることで、1,024 バイトまでの柔軟性に優れた最大ペイロード サイズを提供します。この統合ブロックは、シリアルコネクティビリティ用に高速トランシーバーとインターフェイスし、データバッファリング用にはブロック RAM とインターフェイスします。全体として、これらのエレメントは PCI Express プロトコルの物理層、データリンク層、そしてトランザクション層を実装します。

AMD は、UltraScale および UltraScale+ デバイスの PCIe 統合ブロックのコンフィギュレーション用に LogiCORE™ IP を提供しています。その範囲は、PCIe パケットレベルの AXI-ストリーミング インターフェイスから、AXI-PCIe ブリッジや DMA エンジンなどの高度な IP まで多岐にわたります。これらの IP を使用する場合、リンク幅とスピード、最大ペイロード サイズ、基準クロック周波数など多くのパラメーターが設計者によって制御されます。各 IP で設定可能な機能の一覧は、それぞれの製品ガイドを参照してください。

Interlaken 用統合ブロック

一部の UltraScale アーキテクチャ デバイスは、Interlaken 用統合ブロックを備えています。Interlaken は 10 Gb/s ~ 150 Gb/s の通信速度に対応するように設計された、拡張可能なチップ間インターコネクト プロトコルです。UltraScale アーキテクチャの Interlaken 用統合ブロックは、Interlaken 仕様のリビジョン 1.2 に準拠し、1 レーンから 12 レーンに渡るデータ ストライプ/デストライプをサポートします。可能な構成は、12.5 Gb/s までで 1 ~ 12 レーン、25.78125 Gb/s までで 1 ~ 6 レーンで、各統合ブロックあたり最大 150 Gb/s をサポートする柔軟性を備えています。複数の Interlaken ブロックを持つ UltraScale デバイスでは、これらを活用することで簡単に、信頼性の高い Interlaken スイッチおよびブリッジをデザインできます。

100G イーサネット用統合ブロック

IEEE Std 802.3ba に準拠する UltraScale アーキテクチャの 100G イーサネット統合ブロックは、ユーザーによるカスタマイズと統計集計をサポートする、低レイテンシの 100 Gb/s イーサネット ポートを提供します。10 x 10.3125 Gb/s (CAUI) および 4 x 25.78125 Gb/s (CAUI-4) のコンフィギュレーションが可能なこの統合ブロックには、100G MAC と PCS ロジックの両方が含まれ、IEEE Std 1588v2 1-step および 2-step ハードウェア タイムスタンプに準拠します。

UltraScale+ デバイスの 100G イーサネットブロックには IEEE Std 802.3bj に準拠した RS-FEC (Reed Solomon Forward Error Correction) ブロックが含まれています。この RS-FEC ブロックは、ユーザー アプリケーションでイーサネット ブロックと組み合わせて使用することも、単独で使用することもできます。これらのファミリは、PCS を MAC なしで動作可能な OTN マッピング モードもサポートしています。

スタックド シリコン インターコネク ト (SSI) テクノロジ

AMD は 2 世代目となる 3D SSI テクノロジを採用することで、高容量デバイスを作成するにあたっての多くの難題を解決しています。SSI テクノロジと実績ある製造およびアセンブリ技術を用いることで、1 つのパッシブ インターポーザ ー層上で複数の SLR (Super Logic Region) を組み合わせることが可能となり、20,000 を超える低消費電力の内部 SLR 接続を持つデバイスが作成できるようになります。SLR 内の専用インターフェイス タイルにより、低レイテンシ、低消費電力で帯域幅の非常に広いコネクティビティが実現されます。表 29 に、SSI テクノロジを使用する SLR の数およびサイズを示します。

表 29: UltraScale および UltraScale+ 3D IC の SLR の数とサイズ

デバイス	Kintex UltraScale		Virtex UltraScale				Virtex UltraScale+														
	KU085	KU115	VU125	VU160	VU190	VU440	VU5P	VU7P	VU9P	VU11P	VU13P	VU19P	VU27P	VU29P	VU31P	VU33P	VU35P	VU37P	VU45P	VU47P	VU57P
SLR の数	2	2	2	3	3	3	2	2	3	3	4	4	4	4	1	1	2	3	2	3	3
SLR の幅 (領域内)	6	6	6	6	6	9	6	6	6	8	8	9	8	8	8	8	8	8	8	8	8
SLR の高さ (領域内)	5	5	5	5	5	5	5	5	5	4	4	5	4	4	4	4	4	4	4	4	4

クロック管理

UltraScale デバイスのクロック生成および分散コンポーネントは、メモリ インターフェイスと入力/出力回路を含むカラムに隣接した位置にあります。クロックと I/O が近くに配置されていることにより、メモリ インターフェイスの I/O やその他の I/O プロトコルへのクロッキングが低レイテンシになります。各 CMT (クロック マネージメント タイル) には、MMCM (ミックスド モード クロック マネージャー) が 1 つ、PLL が 2 つ、クロック分散バッファと配線、そして外部メモリ インターフェイスの実装専用の回路が含まれています。

MMCM (ミックスド モード クロック マネージャー)

MMCM は、入力クロックの幅広い周波数に対応する周波数合成回路として、またジッター フィルターとして機能できます。この MMCM の中心は、PFD (位相周波数検出回路) からの入力電圧に従って、それを高速化または低速化する VCO (電圧制御オシレーター) です。

さらに、DRP を介してコンフィギュレーションおよび通常動作でプログラム可能な 3 つの周波数分周器 (D、M、O) があります。前置分周器 D は入力周波数を低減させ、位相/周波数コンパレータの入力 1 つを供給します。フィードバック分周器 M は、位相コンパレータのその他の入力を供給する前に VCO 出力を分周するため、乗算器として機能します。D および M は、VCO が指定された周波数範囲内となるように適切に選択する必要があります。VCO には等分された 8 つの出力位相 (0°、45°、90°、135°、180°、225°、270°、315°) があり、それぞれが出力分周器の 1 つを駆動するよう選択できます。分周器はそれぞれ、1 ~ 128 の任意の整数で分周するようにコンフィギュレーションでプログラム可能です。

MMCM には入力ジッターのフィルター モードとして、狭帯域モード、広帯域モード、最適化モードの 3 つがあります。狭帯域モードではジッターの減衰が優先され、広帯域モードでは位相オフセットが優先されます。最適化モードの場合、ツールによって最適な設定が指定されます。

MMCM は、フィードバック パス (乗算器として機能) または出力パスの 1 つに分数カウンターを持つことができます。これらのカウンターは 1/8 という整数以外の増分をサポートするため、周波数を 8 の倍数で合成できます。MMCM は、VCO 周波数に従って小さな単位で増分させる固定位相シフトまたは動作中に変更可能な位相シフトもサポートします。増分は VCO 周波数に依存し、たとえば 1600 MHz では 11.2 ps となります。

PLL

MMCM の一部の機能を持つ PLL は各クロック マネージメント タイルに 2 つ含まれ、メモリ インターフェイス専用回路に必要なクロックを提供することを主な役割としています。PLL の中心となる回路は MMCM と同様で、PFD から VCO とプログラム可能な M、D、O カウンターに信号を入力します。各 PLL にはデバイス ファブリックへの分周出力が 2 つと、メモリ インターフェイス回路へのクロックおよびイネーブル信号が各 1 つあります。

Zynq UltraScale+ MPSoC および RFSoC は PS に 5 つの PLL が追加されており、PS の 4 つのプライマリ クロック ドメイン (APU、RPU、DDR コントローラー、および I/O ペリフェラル) を個別に設定できます。

クロック分配

UltraScale デバイスのクロックは、多数の水平トラックと垂直トラックを駆動するバッファを介してデバイス全体に分配されます。各クロック領域には水平および垂直それぞれの方向にクロック配線が 24 本あり、さらに隣接する MMCM および PLL への垂直クロック配線が 24 本あります。クロック領域内では、クロック信号が 16 個のゲート制御可能なリーフ クロックを経由してデバイス ロジック (CLB など) に配線されます。

クロック バッファにはいくつかのタイプがあります。BUFGCE および BUFCE_LEAF バッファはそれぞれ、グローバル レベルとリーフ レベルのクロック ゲーティング機能を提供します。BUFGCTRL はグリッチのないクロック マルチプレクサーおよびゲーティング機能を提供します。BUFGCE_DIV にはクロック ゲーティングに加えて、入力クロックを 1 ~ 8 分周する機能があります。BUFG_GT ではトランシーバー クロックを 1 ~ 8 分周できます。MPSoC および RFSoC では、クロックは専用バッファを用いて PS から PL へ転送できます。

メモリ インターフェイス

メモリ インターフェイスに求められるデータ レートは増加の一途で、現在そして次世代のメモリ テクノロジーに対応する、高性能で信頼性の高いインターフェイスを実現するための専用回路が必要となっています。すべての UltraScale デバイスは CMT と I/O カラムの間に専用の PHY ブロックを備え、外部メモリ (DDR4、DDR3、QDRII+、RLDRAM3 など) への高性能 PHY ブロックの実装をサポートします。各 I/O バンクにある PHY ブロックは、アドレス/制御およびデータ バスの信号プロトコルを生成するだけでなく、高性能なメモリ規格との信頼性の高い通信を確立するために不可欠なクロック/データの正確なアライメントを担います。複数の I/O バンクを使用して、ビット数の多いメモリ インターフェイスを構築することも可能です。一部の Spartan UltraScale+ デバイスには、外部の LPDDR4X および LPDDR5 メモリにアクセスできるメモリ コントローラーが含まれています。

UltraScale アーキテクチャ デバイスでは外部パラレル メモリ インターフェイスだけでなく、ハイブリッド メモリ キューブ (HMC) などの外部シリアル メモリとも高速シリアル トランシーバーを介して通信できます。UltraScale アーキテクチャのトランシーバーはすべて、HMC プロトコルを、最大 15 Gb/s のラインレートでサポートします。UltraScale デバイスでは、1 つの FPGA で最大帯域幅の HMC コンフィギュレーションを 64 レーン サポート可能です。

ブロック RAM

すべての UltraScale アーキテクチャ デバイスには、完全に独立した 2 つのポートを持ち、格納したデータのみを共有する 36 Kb のブロック RAM が多数含まれます。各ブロック RAM は、1 つの 36 Kb RAM または 2 つの独立した 18 Kb RAM として構成可能です。読み出しまたは書き込みのメモリ アクセスは、クロックによって制御されます。ブロック RAM カラム内の接続により、垂直方向に隣接するブロック RAM 間で信号をカスケードできるため、サイズが大きく、高速なメモリ アレイや消費電力が大幅に削減された FIFO を簡単に作成できます。

すべての入力、データ、アドレス、クロック イネーブル、書き込みイネーブルはレジスタが付きます。入力アドレスは常にクロックされ (アドレスのラッチが無効でない限り)、次の動作までデータを保持します。出力データにオプションとしてパイプライン レジスタを追加すると、1 サイクル分のレイテンシは増加しますが、より高いクロック レートでの動作が可能になります。書き込み動作中、データ出力は前に保存されたデータまたは新たに書き込まれたデータを反映させるか、変更なしでそのまま維持できます。また、ユーザー デザインで使用されていないブロック RAM サイトへの電源供給は自動的に切断されるため、総消費電力が削減されます。ブロック RAM すべてに、電力のゲーティングを動的に制御するためのピンが追加されました。

プログラム可能なデータ幅

各ポートは 32K×1、16K×2、8K×4、4K×9 (または 8)、2K×18 (または 16)、1K×36 (または 32)、512×72 (または 64) のいずれかに構成できます。ブロック RAM と FIFO のどちらとして構成しているかにかかわらず、2 つのポートには別々の比率を指定でき、これに対する制限はありません。各ブロック RAM は完全に独立した 2 つの 18 Kb ブロック RAM に分割でき、それぞれを 16K×1 ~ 512×36 の任意のアスペクト比で構成できます。36 Kb ブロック RAM について説明した内容は、分割した各 18 Kb ブロック RAM にも当てはまります。シンプル デュアル ポート (SDP) モードでのみ、18 ビット (18 Kb RAM の場合) または 36 ビット (36 Kb RAM の場合) 以上のデータ幅がサポートされます。このモードでは、一方のポートが読み出し専用、もう一方のポートが書き込み専用となります。そして、1 つ (読み出しまたは書き込み) のデータ幅がプログラム可能で、もう 1 つが 32/36 または 64/72 に固定されます。デュアル ポート 36 Kb RAM の場合は両方の幅がプログラム可能です。

エラー検出および訂正機能

64 ビット幅のブロック RAM は、追加で 8 つのビットのハミング コード ビットを生成、格納、そして使用でき、読み出し中にシングル ビット エラーの訂正、ダブル ビット エラーの検出 (ECC) を実行します。ECC ロジックは 64 ~ 72 ビット幅の外部メモリとのデータ転送にも使用できます。

FIFO コントローラー

各ブロック RAM は 36 Kb または 18 Kb の FIFO として構成できます。シングル クロック (同期) またはデュアル クロック (非同期/マルチレート) 動作に対応する内蔵型の FIFO コントローラーは、内部アドレス値を増分させ、Full、Empty、Programmable Full、Programmable Empty の 4 つのフラグを提供します。プログラム可能なフラグに対しては、フラグをアクティブにする FIFO カウンター値をユーザーが指定できます。FIFO の幅とワード数もプログラム可能で、1 つの FIFO で読み出しポートと書き込みポートに異なる幅を指定できます。また、よりワード数の大きな FIFO を簡単に作成するための専用カスケード バスがあります。

UltraRAM

UltraScale+ デバイスには、UltraRAM と呼ばれる高集積度のデュアルポート同期メモリブロックがあります。2つのポートは同じクロックを共用し、4K x 72 ビットのすべてをアドレス指定できます。各ポートはそれぞれ独立してメモリ アレイへの読み書きを実行できます。UltraRAM は 2 種類のライト イネーブルモードをサポートしています。1 つは、ブロック RAM のバイトライト イネーブルモードと同じです。もう 1 つは、データ バイトとパリティ バイトの書き込みを個別にゲーティングできるモードです。複数の UltraRAM ブロックを連結して大容量のメモリ アレイを構築することもできます。UltraRAM カラムには専用の配線があり、カラムの高さ全体を連結できます。さらに高い集積度が必要な場合、わずかなファブリック リソースを使用するだけで 1 つの SLR 内のすべての UltraRAM カラムを連結できます。これにより、1 インスタンスのサイズが約 100 Mb の RAM を構築できます。このため、UltraRAM は SRAM など外部メモリの置き換えとして理想的なソリューションとなります。288 Kb ~ 100 Mb の範囲でカスケード接続が可能な UltraRAM は、多岐にわたるメモリ要件に柔軟に対応します。

エラー検出および訂正機能

64 ビット幅の UltraRAM は、追加で 8 つのビットのハミング コード ビットを生成、格納、そして使用でき、読み出し中にシングル ビット エラーの訂正、ダブルビット エラーの検出 (ECC) を実行します。

HBM (広帯域メモリ)

Virtex UltraScale+ HBM デバイスには、FPGA ダイに隣接して 4 GB または 8 GB の HBM スタックがあります。FPGA は、スタックドシリコン インターコネクト テクノロジーを利用し、シリコン インターポーザーにある専用の低インダクタンス インターコネクトに接続するメモリ コントローラーを介して HBM スタックとやり取りします。Virtex UltraScale+ HBM FPGA には 1 つまたは 2 つの HBM スタックがあり、1 つの FPGA で最大 16 GB の HBM を備えることとなります。

この FPGA には、HBM との通信に使用する 32 の HBM AXI インターフェイスがあります。内蔵のスイッチ メカニズムによりアドレス指定機能に柔軟性があるため、32 の HBM AXI のいずれでも 1 つまたは両方の HBM スタック内の任意のメモリ アドレスにアクセス可能です。FPGA と HBM スタック間の接続にこのような柔軟性があることで、フロアプランやタイミング クロージャが容易になります。メモリ コントローラーは読み出しおよび書き込みのリオーダーを実行して、バス効率を向上させます。データのインテグリティは、エラーチェックとエラー訂正用の ECC 回路によって確保されます。

コンフィギュラブル ロジック ブロック

UltraScale アーキテクチャのコンフィギュラブル ロジック ブロック (CLB) はすべて、8 つの LUT と 16 個のフリップフロップを含みます。LUT は、出力が 1 つの 6 入力 LUT として、または出力は別々でアドレスまたはロジック入力が共通の 2 つの 5 入力 LUT として構成可能です。各 LUT はオプションとしてフリップフロップでラッチできます。CLB には LUT およびフリップフロップ以外にも、演算 キャリー ロジックおよびマルチプレクサーが含まれ、これらを使用することでよりビット数の大きなロジック ファンクションが作成できます。

1 つの CLB には 1 つのスライスが含まれ、スライスには SLICEL および SLICEM の 2 つの種類があります。SLICEM の LUT は、64 ビット RAM、32 ビットシフトレジスタ (SRL32)、または 2 つの SRL16 として構成可能です。UltraScale アーキテクチャの CLB は従来世代の AMD デバイスの CLB に比べ配線と接続が増加しています。また、制御信号も追加されていることからレジスタのパッキング効率が向上し、結果として全体的なデバイス使用率が改善されます。

インターコネクト

UltraScale アーキテクチャはさまざまな長さ (CLB 1、2、4、5、12、または 16 個分) の垂直および水平方向の配線リソースを備えているため、すべての信号をソースからデスティネーションへ容易に転送できます。このため、最も集積度の高いデバイスにおいても次世代の広いデータ バスをサポートでき、結果の品質とソフトウェア ランタイムが同時に向上します。

デジタル信号処理

DSP アプリケーションは、専用の DSP スライスに最適に実装された多数のバイナリ乗算器およびアキュムレータを使用します。UltraScale デバイスはいずれも専用の低消費電力 DSP スライスを数多く装備し、システム設計の柔軟性を維持しながら、高速処理と小型化を同時に実現しています。

各 DSP スライスは基本的に、専用の 27×18 ビット 2 の補数乗算器および 48 ビット アキュムレータで構成されます。乗算器は動作中にバイパスでき、2 つの 48 ビット入力は SIMD (単一命令複数データ) 演算ユニット (デュアルの 24 ビット加算/減算/累算、またはクワッドの 12 ビット加算/減算/累算)、またはオペランドが 2 つの 10 個の異なるロジック ファンクションから任意の 1 つを作成可能なロジックユニットに入力できます。

DSP には、通常対称フィルタに使用される前置加算器が追加されています。この加算器により、高密度に実装されたデザインの性能が向上し、DSP スライス数が最大 50% 削減されます。96 ビット幅の専用 XOR ファンクション (ビット幅は 12、24、48、または 96 にプログラム可能) により、前方エラー訂正や CRC アルゴリズムをインプリメントする際の性能が向上します。

さらに、収束丸め (偶数丸めとも呼ばれる) または対称丸めに使用できる 48 ビット幅のパターン検出回路も備えています。パターン検出回路をロジックユニットと併用する場合には、96 ビット幅のロジック ファンクションが実装可能です。

DSP スライスは多数のパイプラインおよび拡張性能を提供し、デジタル信号処理だけでなくその他多くのアプリケーションで速度と効率性を向上させます。このようなアプリケーションには、バス幅の広いダイナミックシフター、メモリ アドレスジェネレーター、多入力マルチプレクサー、メモリ マップされた I/O レジスタ ファイルが含まれます。また、アキュムレータは同期のアップ/ダウン カウンターとしても使用可能です。

システム モニター

UltraScale アーキテクチャのシステム モニターブロックは、オンチップの温度と電源センサーおよび ADC までの外部チャネルによって物理的環境をモニタリングすることで、システム全体の安全性、セキュリティ、信頼性を向上させるために使用されます。

すべての UltraScale アーキテクチャ デバイスが少なくとも 1 つのシステム モニターを内蔵しています。UltraScale+ FPGA および Zynq UltraScale+ MPSoC および RFSoC の PL のシステム モニターは、Kintex UltraScale と Virtex UltraScale デバイスのものと同様ですが、PMBus インターフェイスを含むその他の機能が追加されています。

Zynq UltraScale+ MPSoCs の PS には、追加のシステム モニターブロックがあります。表 30 を参照してください。

表 30: システム モニターの主な機能

	Kintex UltraScale Virtex UltraScale	Spartan UltraScale+ Artix UltraScale+ Kintex UltraScale+ Virtex UltraScale+ Zynq UltraScale+ PL	Zynq UltraScale+ PS
ADC	10 ビット 200kSPS	10 ビット 200kSPS	10 ビット、1 MSPS
インターフェイス	JTAG、I2C、DRP	JTAG、I2C、DRP、PMBus	APB

FPGA および MPSoC と RFSoC の PL では、センサー出力と最大 17 のユーザー割り当てによる外部アナログ入力は、10 ビット 200 kSPS の ADC でデジタル化され、その計測値が内部 FPGA (DRP)、JTAG、PMBus、または I2C インターフェイスを介してアクセス可能なレジスタに格納されます。I2C および PMBus インターフェイスの場合、デバイス コンフィギュレーション前後に System Manager/Host でオンチップ モニタリングに簡単にアクセスできます。

MPSoC および RFSoC の PS のシステム モニターは、10 ビット 1MSPS の ADC でセンサー出力をデジタル化します。この計測値はレジスタに格納され、PS のプロセッサおよびプラットフォーム管理ユニット (PMU) を用いて APB (Advanced Peripheral Bus) インターフェイスを介してアクセスされます。

ブート、コンフィギュレーション、およびセキュリティ

UltraScale アーキテクチャ デバイスは、カスタマイズしたプログラマブル ロジック コンフィギュレーション データを SRAM タイプの内部ラッチに格納します。コンフィギュレーション データは揮発性の媒体に格納されるため、デバイスへの電源投入ごとに再ロードする必要があります。格納されたデータは随時再ロードできます。コンフィギュレーション データは複数の方法およびデータ形式でロード可能で、これはモード ピンで決定します。また、コンフィギュレーション プロセスを簡潔にするためのコンフィギュレーション データパス専用ピンもあります。

UltraScale アーキテクチャ デバイスは、オプションの復号/認証ロジックを用いたセキュアおよび非セキュア ブートをサポートしています。認証のみが必要な場合、ほとんどのデバイスでは RSA アルゴリズムによる認証を利用できます。RSA 認証のサポートについては、『UltraScale アーキテクチャ コンフィギュレーション ユーザー ガイド』(UG570) を参照してください。

UltraScale アーキテクチャ デバイスには複数のコンフィギュレーション方法があり、堅牢なフィールド アップデートの方法も用意されています。これは特に、最終的な製品が出荷された後でデザインを更新する際に役立ちます。つまり、初期バージョンのデザインで製品をリリースできるため、製品をいち早く市場に投入できることになります。この機能によって、製品が既にフィールドにある状態でも、顧客のデザインを常に最新に維持できます。

また、コンフィギュレーション ブロックは、暗号化されていないコンフィギュレーションと同じ性能で 256 ビットの AES-GCM 復号化機能をサポートします。ほとんどの FPGA ファミリーは、RSA-2048 と SHA-3/384 を組み合わせた非対称ビットストリーム認証をサポートしており、追加機能として、SEU 検出/訂正やパーシャル リコンフィギュレーションが含まれます。また、すべてのファミリーは AES キーを格納するための eFUSE 技術をサポートしています。Spartan UltraScale+ FPGA を除くすべてのファミリーは、AES キーの格納用としてバッテリー バックアップ付き RAM をサポートしています。

Spartan UltraScale+ FPGA は、ポスト量子暗号 (PQC) スキームを使用した HWRoT セキュア ブートをサポートしています。AES-GCM ブロックには DPA (Dynamic Power Analysis) 対策が施されています。

Spartan UltraScale+ デバイスには最先端のセキュリティ機能があります。ブラック キーの格納、外部のセキュア ストレージ、ユニーク ID、キーの導出には PUF (Physical Unclonable Function) を利用できます。その他、セキュアでランダムなキーを生成する真性乱数生成器 (TRNG) も含まれています。

Zynq UltraScale+ MPSoC および RFSoc デバイスは、RSA-4096 非対称認証と SHA-3/384 を組み合わせた HWRoT (Hardware Root of Trust) によるセキュア ブートをサポートしています。

システム モニターでは、オンチップの温度および電源センサーによって物理的環境や最大で 17 個の外部アナログ入力をモニタリングできます。Zynq UltraScale+ MPSoC および RFSoc では、256 ビット AES-GCM および SHA/384 ブロックによるセキュア ブートをサポートする、コンフィギュレーション/セキュリティ ユニット (CSU) 経由でデバイスをブートします。ブート後は、CSU 内の暗号化エンジンをユーザーによる暗号化に使用できます。

MPSoc および RFSoc のブート

Zynq UltraScale+ MPSoCs および RFSoc は複数ステージのブート プロセスを使用し、非セキュア ブートおよびセキュア ブートをサポートしています。PS は、ブート プロセスとコンフィギュレーション プロセスのマスターとなります。セキュア ブートの場合は、AES-GCM、SHA-3/384 復号/認証、および 4096 ビット RSA ブロックによってイメージが復号および認証されます。

リセット時にデバイス モード ピンが読み出されて、使用されるプライマリ ブート デバイス (NAND、クワッド SPI、SD、eMMC、JTAG) が判定されます。JTAG は非セキュア ブート ソースとしてのみ使用可能で、デバッグを目的としています。Cortex-A53 または Cortex-R5F のいずれか一方の CPU がオンチップ ROM からのコードを実行し、ブート デバイスから OCM (オンチップ メモリ) へ FSBL (第 1 段階ブートローダー) をコピーします。

FSBL が OCM へコピーされると、プロセッサが FSBL を実行します。AMD はサンプル FSBL を提供していますが、ユーザーが独自の FSBL を作成することも可能です。FSBL によって PS のブートが開始し、PL のロードまたはコンフィギュレーションを実行できるようになります。PL コンフィギュレーションは、後に実行することもできます。FSBL は通常、ユーザー アプリケーションをロードするか、オプションとして U-Boot などの SSBL (第 2 段階ブートローダー) をロードします。SSBL は AMD またはサードパーティからサンプルを手でできますが、独自のものを作成することも可能です。SSBL は、いずれかのプライマリ ブート デバイス、または USB、イーサネットなどその他のソースからコードをロードすることでブート プロセスを継続します。FSBL で PL をコンフィギュレーションしなかった場合は SSBL でそれを実行できますが、ここでも先延ばしにしておくことができます。

スタティック メモリ インターフェイス コントローラー (NAND、eMMC、またはクワッド SPI) は、デフォルト設定でコンフィギュレーションされます。デバイスのコンフィギュレーション速度を上げるために、ブート イメージ ヘッダーにある情報でこれらの設定を変更可能です。ブート後に ROM のブート イメージをユーザーが読み出したり実行することはできません。

FPGA のコンフィギュレーション

SPI (シリアル NOR フラッシュ) インターフェイス、OSPI (オクタル SPI NOR フラッシュ) インターフェイス、および BPI (パラレル NOR フラッシュ) インターフェイスは、FPGA のコンフィギュレーションに使用される一般的な方法であり、マスター コンフィギュレーション モードと呼ばれています。この方法では、ユーザーが SPI、オクタル SPI、またはパラレル NOR フラッシュを FPGA に直接接続でき、FPGA の内部コンフィギュレーション ロジックがフラッシュからデータ イメージ (ビットストリームまたはプログラマブル デバイス イメージ) を読み出して、その FPGA をコンフィギュレーションするため、外部コントローラーは必要ありません。

FPGA が自動的にバス幅を検出するため、外部からの制御や切り替えは不要です。Spartan UltraScale+ デバイスでサポートされるコンフィギュレーション インターフェイスとバス幅は、SPI コンフィギュレーション インターフェイスの場合は x1/x2/x4、OSPI コンフィギュレーション インターフェイスの場合は x1/x8 です。Artix UltraScale+、Kintex UltraScale+、および Virtex UltraScale+ デバイスは、x1/x2/x4/デュアル x4 SPI インターフェイスと x8/x16 BPI コンフィギュレーション インターフェイスをサポートします。バス幅が広いほどコンフィギュレーション速度が向上し、電源投入後の FPGA の起動時間が短縮されます。

マスター モードの場合、FPGA は内部生成されたクロックからコンフィギュレーション クロックを駆動可能ですが、コンフィギュレーションをより高速で実行するため、外部のコンフィギュレーション クロック ソースを使用することもできます。これにより、マスター モードの使い易さを活かしたコンフィギュレーションが可能になります。一方、最大 32 ビット幅のスレーブ モードもサポートされており、これは特にプロセッサによるコンフィギュレーションの場合に有用です。さらに、新しい MCAP (Media Configuration Access Port) によって PCIe 用統合ブロックとコンフィギュレーション ロジックが直接接続されるため、PCI Express を経由した場合のコンフィギュレーションがシンプルになります。

KU025 FPGA では、SEU detection and mitigation (SEM) IP、RSA 認証、コンフィギュレーション後の CRC、および Security Monitor (SecMon) IP はサポートされません。

パッケージ

UltraScale デバイスは、有機フリップチップ、リッドレスフリップチップ、および InFO (Integrated Fan-Out) の各種パッケージで入手可能で、それぞれ異なる数の I/O およびトランシーバーをサポートします。サポートされる最大パフォーマンスは、パッケージのタイプと材質によって異なります。パッケージタイプ別のパフォーマンス仕様は該当デバイスのデータシートを参照してください。

フリップチップパッケージの場合、シリコン デバイスは高度なフリップチップ プロセスでパッケージ サブストレートに実装されます。デカップリング キャパシタがパッケージ上に分散して搭載されており、これによって同時スイッチング出力 (SSO) が生じる条件下でのシグナル インテグリティが最適化されます。

InFO パッケージは、ほかのパッケージタイプと比べて必要な PCB エリアがはるかに小さく、薄型化を可能にするスモール フォーム ファクターパッケージです。これにより、小規模アプリケーションで演算密度の高いデバイスを使用できます。また、パッケージ基板を排除することで、放熱と電力の分配、フライト タイム、およびシグナル インテグリティが向上します。

注文情報

表 31 に、このデバイス ファミリで提供されているスピード グレードおよび温度グレードを示します。V_{CCINT} 電源電圧はかっこ内に示しています。

表 31: スピード グレードと温度範囲

デバイス ファミリ	XC デバイス	スピード グレードと温度範囲			
		コマーシャル (C)	拡張 (E)		インダストリアル (I)
		0°C ~ +85°C	0°C ~ +100°C ⁽¹⁾	0°C ~ +110°C	-40°C ~ +100°C
Spartan UltraScale+	すべて		-2E (0.85V)		-2I (0.85V)
			-1E (0.85V)		-1I (0.85V)
					-1LI (0.85 または 0.72V)
Artix UltraScale+	すべて		-2E (0.85V)		-2I (0.85V)
			-1E (0.85V)		-1I (0.85V)
					-1LI (0.85 または 0.72V)
Kintex UltraScale	すべて		-3E ⁽²⁾ (1.0V)		
			-2E (0.95V)		-2I (0.95V)
		-1C (0.95V)			-1I (0.95V)
					-1LI ⁽²⁾ (0.95V または 0.90V)
Kintex UltraScale+	すべて		-3E (0.90V)		
			-2E (0.85V)		-2I (0.85V)
				-2LE ⁽³⁾ (0.85V または 0.72V)	
			-1E (0.85V)		-1I (0.85V)
					-1LI (0.85V または 0.72V)
Virtex UltraScale	VU065 VU080 VU095 VU125 VU160 VU190		-3E (1.0V)		
			-2E (0.95V)		-2I (0.95V)
			-1HE (0.95V または 1.0V)		-1I (0.95V)
	VU440		-3E (1.0V)		
			-2E (0.95V)		-2I (0.95V)
		-1C (0.95V)			-1I (0.95V)

表 31: スピード グレードと温度範囲 (続き)

デバイス ファミリ	XC デバイス	スピード グレードと温度範囲						
		コマーシャル (C)	拡張 (E)		インダストリアル (I)			
		0°C ~ +85°C	0°C ~ +100°C ⁽¹⁾	0°C ~ +110°C	-40°C ~ +100°C			
Virtex UltraScale+	VU3P		-3E (0.90V)					
	VU5P		-2E (0.85V)					
	VU7P							
	VU9P		-2LE ⁽³⁾ (0.85V または 0.72V)					
	VU11P							
	VU13P							
	VU23P		-1E (0.85V)				-1I (0.85V)	
	VU27P							
	VU29P							
	VU19P					-2E (0.85V)		
						-1E (0.85V)		
	VU31P VU33P VU35P VU37P VU45P VU47P VU57P					-3E (0.90V)		
-2E (0.85V)								
-2LE ⁽³⁾⁽⁴⁾ (0.85V または 0.72V)								
		-1E (0.85V)						

表 31: スピード グレードと温度範囲 (続き)

デバイス ファミリ	XC デバイス	スピード グレードと温度範囲			
		コマーシャル (C)	拡張 (E)		インダストリアル (I)
		0°C ~ +85°C	0°C ~ +100°C ⁽¹⁾	0°C ~ +110°C	-40°C ~ +100°C
Zynq UltraScale+	CG デバイ ス		-2E (0.85V)		-2I (0.85V)
				-2LE ⁽³⁾⁽⁵⁾ (0.85V または 0.72V)	
			-1E (0.85V)		-1I (0.85V)
					-1LI ⁽⁵⁾ (0.85V または 0.72V)
	ZU1EG ZU2EG ZU3EG ZU3TEG		-2E (0.85V)		-2I (0.85V)
				-2LE ⁽³⁾⁽⁵⁾ (0.85V または 0.72V)	
			-1E (0.85V)		-1I (0.85V)
					-1LI ⁽⁵⁾ (0.85V または 0.72V)
	ZU4EG ZU5EG ZU6EG ZU7EG ZU9EG ZU11EG ZU15EG ZU17EG ZU19EG		-3E (0.90V)		
			-2E (0.85V)		-2I (0.85V)
				-2LE ⁽³⁾⁽⁵⁾ (0.85V または 0.72V)	
			-1E (0.85V)		-1I (0.85V)
					-1LI ⁽⁵⁾ (0.85V または 0.72V)
	EV デバイ ス		-3E (0.90V)		
			-2E (0.85V)		-2I (0.85V)
				-2LE ⁽³⁾⁽⁵⁾ (0.85V または 0.72V)	
			-1E (0.85V)		-1I (0.85V)
					-1LI ⁽⁵⁾ (0.85V または 0.72V)
	ZU21DR ZU25DR ZU27DR ZU28DR ZU29DR		-2E (0.85V)		-2I (0.85V)
				-2LE ⁽³⁾⁽⁵⁾ (0.85V または 0.72V)	-2LI (0.72V) ⁽⁶⁾
			-1E (0.85V)		-1I (0.85V)
					-1LI ⁽⁵⁾ (0.85V または 0.72V)
	ZU39DR				-2I (0.85V)
					-2LI (0.72V) ⁽⁶⁾
	ZU42DR ZU43DR ZU46DR ZU47DR ZU48DR ZU49DR		-2E (0.85V)		-2I (0.85V)
					-2LI (0.72V) ⁽⁶⁾
		-1E (0.85V)		-1I (0.85V)	
				-1LI ⁽⁵⁾ (0.72V)	

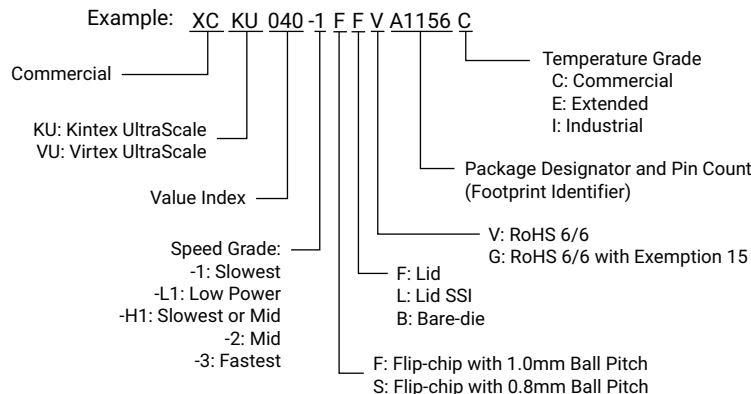
表 31: スピード グレードと温度範囲 (続き)

デバイス ファミリ	XC デバイス	スピード グレードと温度範囲			
		コマーシャル (C)	拡張 (E)		インダストリアル (I)
		0°C ~ +85°C	0°C ~ +100°C ⁽¹⁾	0°C ~ +110°C	-40°C ~ +100°C
Zynq UltraScale+ RFSoc DFE	ZU63DR				-2I (0.85V)
	ZU64DR				-2LI (0.72V) ⁽⁶⁾
	ZU65DR				-1I (0.85V)
	ZU67DR				-1LI (0.72V)

注記:

- 広帯域メモリの推奨される最大動作温度は 95°C です。
- KU025 および KU095 は、-3E または -1LI スピード/温度グレードで提供されていません。
- 2LE スピード/温度グレードでは、デバイスは 110°C のジャンクション温度で限られた時間動作できます。動作電圧 (標準の 0.85V または低電圧の 0.72V) に関係なく、タイミングパラメーターは 110°C を下回る温度でのスピード ファイルと同じように 110°C のスピード ファイルに準拠します。110°C Tj での動作はデバイスの寿命期間の 1% に限定されます。合計時間がこの 1% を越えなければ連続または一定間隔でデバイスを動作させることができます。
- 2LE スピード/温度グレードと表記されている HBM を備えたデバイスは、95°C ~ 105°C のジャンクション温度で限られた時間動作できます。最大 Tj = 105°C までの HBM 動作は、デバイスの寿命期間の 4.1% に限定されます。この 4.1% を超えない限り、また一度に 96 時間を超えない限り、連続または一定間隔で動作させることができます。HBM を 95°C 以上で動作させている間、リフレッシュレートは 95°C の場合 4 倍以上である必要があります。
- Zynq UltraScale+ MPSoC および RFSoc では、PL が低電圧 (0.72V) で動作している場合、PS は公称電圧 (0.85V) で動作します。
- 2LI スピード/温度グレードと表記されているデバイスは、110°C のジャンクション温度で限られた時間動作できます。タイミングパラメーターは 110°C を下回る温度でのスピード ファイルと同じように 110°C のスピード ファイルに準拠します。110°C Tj での動作はデバイスの寿命期間の 5% に限定されます。この 5% を越えなければ連続または一定間隔でデバイスを動作させることができます。

図 3 に示す注文情報は、Kintex UltraScale および Virtex UltraScale FPGA のすべてのパッケージに適用されます。デバイスパッケージマーキングの詳細は、『UltraScale および UltraScale+ FPGA パッケージおよびピン配置ユーザー ガイド』(UG575) の「パッケージマーク」を参照してください。



- L1 and -H1 are the ordering codes for the -1L and -1H speed grades, respectively.
- See UG575: UltraScale and UltraScale+ FPGAs Packaging and Pinouts User Guide for more information.

DS890_03_113023

図 3: Kintex UltraScale および Virtex UltraScale FPGA の注文情報

図 4 に示す注文情報は Spartan UltraScale+, Artix UltraScale+, Kintex UltraScale+, および Virtex UltraScale+ FPGA のすべてのパッケージに適用され、図 5 に示す情報は Zynq UltraScale+MPSoC および RFSoc のすべてのパッケージに適用されます。

UltraScale+ ファミリのスピード グレード -1L と -2L は、2 つある V_{CCINT} 動作電圧のいずれかで動作できます。0.72V の場合、Kintex UltraScale および Virtex UltraScale デバイスと同等の性能で動作し、消費電力を最大 30% 削減できます。0.85V の場合、Kintex UltraScale および Virtex UltraScale デバイスと同等の電力を消費しますが、30% 以上高速な動作が可能です。

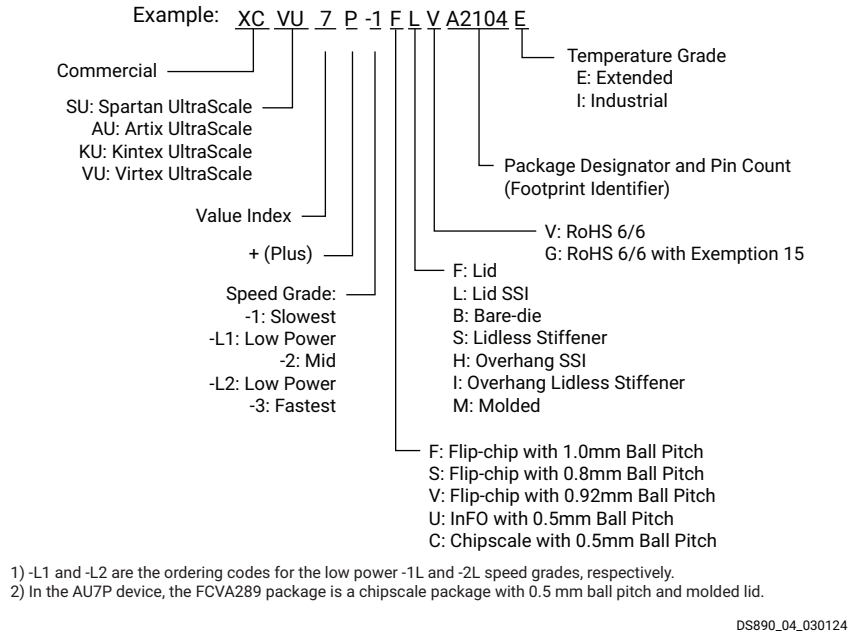


図 4: UltraScale+ FPGA の注文情報

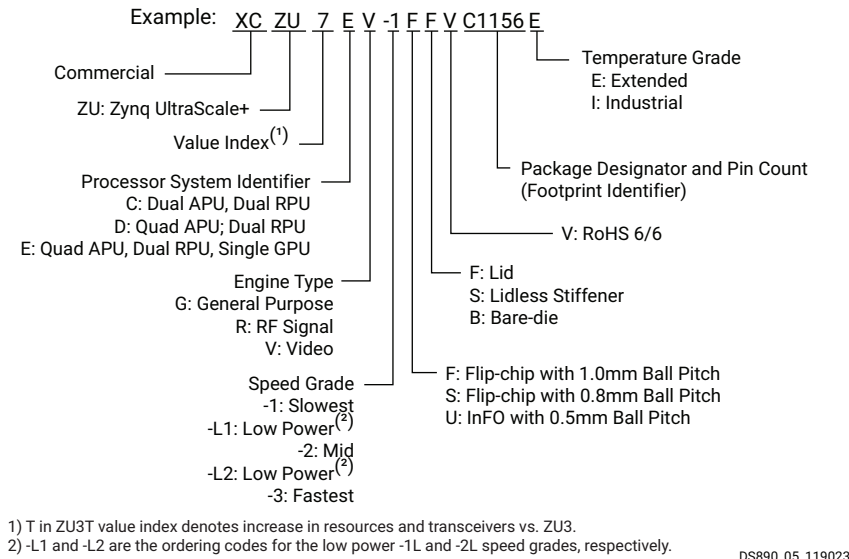


図 5: Zynq UltraScale+ MPSoC および RFSoc のライセンスおよび注文情報

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	変更内容
2025 年 11 月 19 日	4.8	表 3 と表 4 を更新: SU45 および SU60P デバイス、CMVE529 および SBVD529 パッケージを追加。CCIX の記載を削除。
2025 年 5 月 13 日	4.7	表 3 を更新し、SBVF900 パッケージを追加。表 4 を更新。
2025 年 3 月 18 日	4.6.1	表 19 の誤字を修正。
2024 年 11 月 30 日	4.6	表 5、表 28、「デバイスレイアウト」を更新。表 17、表 18、表 19、表 20、表 21、表 22 に SFVE784 パッケージを追加。
2024 年 3 月 4 日	4.5	この文書全体に Spartan UltraScale+ ファミリに関する説明を追加 (表 3 および表 4 を追加)。表 1、表 27、表 28、表 30、表 31、「入力/出力」、「PCI Express デザイン用統合インターフェイスブロック」、「メモリ インターフェイス」、「ブート、コンフィギュレーション、およびセキュリティ」、「FPGA のコンフィギュレーション」、および図 1-1 を更新。 表 17、表 19、および表 23 の注記を更新。 タイトル名「コンフィギュレーション、暗号化、システム モニター」を「コンフィギュレーション、暗号化、システム モニター」に変更。
2023 年 7 月 20 日	4.4.1	誤植の修正。
2023 年 6 月 22 日	4.4	表 6 から UBVA292 を削除し、FCVA289 を追加。文書全体に ZU63DR および ZU64DR の記述を追加。「デジタルフロントエンド (DFE)」を追加。表 25 および表 26 を追加。表 1、表 7、表 9、表 28、表 31 を更新。
2022 年 11 月 7 日	4.3	デバイス文書全体に AU7P および ZU3T デバイスの記述を追加。
2022 年 5 月 20 日	4.2	表 5 を更新し、注記 5 を追加。表 27 を更新。表 28 に Artix UltraScale+ FPGA の情報を更新。
2022 年 2 月 7 日	4.1.1	誤植の修正: 表 5 のフラクショナル PLL 数を更新。
2022 年 1 月 7 日	4.1	文書全体に Zynq UltraScale+ RFSoc DFE デバイスの記述を追加。表 28 の Artix UltraScale+ FPGA の情報を更新。
2021 年 3 月 16 日	4.0	文書全体に Artix UltraScale+ および Zynq UltraScale+ ZU1CG/EG デバイスの記述を追加。
2020 年 9 月 14 日	3.14	文書全体に ZU42DR の記述を追加。
2020 年 7 月 21 日	3.13	文書全体に KU19P の記述を追加。表 27 および表 28 を更新。
2020 年 6 月 25 日	3.12	文書全体に VU57P の記述を追加。「RF データ コンバーター サブシステム」、「RF-ADC」、「RF-DAC」、表 29、表 31 を更新。
2020 年 5 月 20 日	3.11	文書全体に VU23P の記述を追加。表 28 に Zynq UltraScale+ RFSoc を追加。表 1、表 14、表 27、表 29、「Interlaken 用統合ブロック」を更新。
2019 年 8 月 21 日	3.10	文書全体に VU19P および ZU43DR の記述を追加。
2019 年 6 月 27 日	3.9	文書全体に VU45P および VU47P の記述を追加。「配線、SSI、ロジック、ストレージ、信号処理」、および「HBM (広帯域メモリ)」を更新。表 31 に VU27P を追加。
2019 年 5 月 13 日	3.8	表 13 の VU27P および表 23 の ZU39DR を更新。
2019 年 2 月 20 日	3.7	XCZU39DR、XCZU46DR、XCZU47DR、XCZU48DR、および XCZU49DR を追加。表 23、表 24、「RF-ADC」、「RF-DAC」、表 31 を更新。
2018 年 11 月 12 日	3.6	文書全体で PCIe に関する説明を更新。該当箇所は、「プロセッシングシステム」、「I/O、トランシーバー、PCIe、100G イーサネット、150G Interlaken」、表 9、表 17、表 19、表 21、表 23、表 27、「PCI Express デザイン用統合インターフェイスブロック」、および表 28。表 13 と表 16 に記載の VU27P リソースおよびパッケージ情報を更新。
2018 年 8 月 21 日	3.5	Preliminary 製品仕様から Production 製品仕様に変更。「RF データ コンバーター サブシステム」を更新。「RF-ADC」および「RF-DAC」を更新。

日付	バージョン	変更内容
2018年5月17日	3.4	「RF データ コンバーター サブシステム」、表 23、「RF-ADC」、および表 31 (-3E を削除し、-2LI および DR デバイス向けの注記 4 を追加) を更新。表 16 に FSGA2577 を追加。
2018年3月12日	3.3	VU27P および VU29P の追加に伴い、表 1、「I/O、トランシーバー、PCIe、100G イーサネット、150G Interlaken」、表 13、表 16、「高速シリアルトランシーバー」、および表 27 を更新、「GTM トランシーバー」を追加。表 18 および表 20 の注記 4 を更新。
2018年1月23日	3.2	「RF データ コンバーター サブシステム」、表 23、「RF-ADC」、および「RF-DAC」に記載の RFADC/DAC レートを更新。
2017年11月15日	3.1	表 24 の FSVE1156、FSVG1517、および FSVF1760 パッケージの情報を更新。図 1-1 を更新。
2017年10月3日	3.0	文書全体に Zynq UltraScale+ RFSoc の情報を追加。「概要」、表 1、「RF データ コンバーター サブシステム」、「SD-FEC (Soft Decision Forward Error Correction)」、「プロセッシングシステム」(表 2 を含む)、「コンフィギュレーション、暗号化、システム モニター」、表 29、表 31、および図 1-1 を更新。 表 17、表 19、表 21 で、UltraRAM ZU4CG/ZU4EG/ZU4EV の値を更新。 表 23、表 24、「RF データ コンバーター サブシステム」、「SD-FEC (Soft Decision Forward Error Correction)」を追加。 図 3、図 4、図 5 を更新。
2017年2月15日	2.11	表 1、表 13 を更新 (HBM を Gb から GB に変更)。表 17、表 19、および表 21 を更新 (Zynq UltraScale+ MPSoC の DSP の数を更新)。「Interlaken 用統合ブロック」を更新。「HBM (広帯域メモリ)」を更新。表 31 を更新 (すべての UltraScale+ デバイスに -2E スピード グレードを追加)。XCZU2 および XCZU3 から -3E を削除。
2016年11月9日	2.10	表 1 を更新。表 13、表 16、表 29 および新しい「HBM (広帯域メモリ)」セクションに HBM デバイスを追加。「Interlaken 用統合ブロック」セクションを追加。
2016年9月27日	2.9	表 9、表 18、表 19、および表 20 を更新。
2016年6月3日	2.8	Zynq UltraScale+ MPSoC CG デバイスを追加 (表 2 を追加)。表 17、表 18、表 31、および図 1-1 を更新。EG および EV デバイス用に個別の表を作成 (表 19、表 20、表 21、および表 22)。 表 1、表 7、表 9 とその注記、表 10 とその注記、表 11、表 13、表 16、「プロセッシングシステム」、および「プロセッシングシステム (PS)」の詳細を更新。
2016年2月17日	2.7	「デバイス間の移行」を追加。表 8、表 9、表 10、表 16、表 17、表 18、および図 1-1 を更新。
2015年12月15日	2.6	表 1、表 9、表 10、表 13、表 18、および「ブート、コンフィギュレーション、およびセキュリティ」を更新。
2015年11月24日	2.5	「コンフィギュレーション、暗号化、システム モニター」、表 9、表 13、表 17、および表 31 を更新。
2015年10月15日	2.4	表 1、表 7、表 9、表 11、表 13、および表 17 のシステム ロジック セルの情報を更新。図 1-1 を更新。表 29 を更新。
2015年9月29日	2.3	表 8 の KU095 に A1156 を追加。表 9 を更新。表 13 の最大分散 RAM の情報を更新。表 17 の分散 RAM の情報を更新。表 29 を追加。表 31 を更新。図 1-1 を更新。
2015年8月14日	2.2	表 1 を更新。表 7、表 8、および表 31 に XCKU025 を追加。表 11、表 13、表 17、表 18、表 28 を更新。「システム モニター」を更新。表 31 に電圧情報を追加。
2015年4月27日	2.1	表 1、表 7、表 8、表 9、表 10、表 11、表 16、表 17、表 18、表 27、「I/O、トランシーバー、PCIe、100G イーサネット、150G Interlaken」、「PCI Express デザイン用統合インターフェイス ブロック」、「USB 3.0/2.0」、「クロック管理」、「システム モニター」、および図 1-1 を更新。
2015年2月23日	2.0	文書全体に UltraScale+ デバイス (Kintex UltraScale+ FPGA、Virtex UltraScale+ FPGA、Zynq UltraScale+ MPSoC) に関する情報を追加。
2014年12月16日	1.6	表 1、「I/O、トランシーバー、PCIe、100G イーサネット、150G Interlaken」、表 7、表 11、表 12、および表 27 を更新。
2014年11月17日	1.5	「I/O、トランシーバー、PCIe、100G イーサネット、150G Interlaken」、表 1、表 8、表 11、表 12、表 27、「入力/出力」、および図 1-1 を更新。

日付	バージョン	変更内容
2014年9月16日	1.4	表 1 のロジックセルの情報を更新。表 7、[I/O、トランシーバー、PCIe、100G イーサネット、150G Interlaken]、表 11、表 12、[100G イーサネット用統合ブロック]、および図 1-1 を更新。
2014年5月20日	1.3	表 12 を更新。
2014年5月13日	1.2	[注文情報] を追加。表 1、[クロックおよびメモリ インターフェイス]、表 7、表 11 (XCVU145 を削除し、XCVU190 を追加)、表 12 (XCVU145 を削除、XCVU160 から FLVD1924 を削除、XCVU190 を追加、表の注記を更新)、表 27、[PCI Express デザイン用統合インターフェイスブロック]、[Interlaken 用統合ブロック]、[メモリ インターフェイス] を更新。
2014年2月6日	1.1	表 1 および表 7 の PCIe の情報を更新。表 12 に FFVJ1924 パッケージを追加。
2013年12月10日	1.0	初版

お読みください: 重要な法的通知

本資料に掲載されている情報は情報提供のみを目的としており、技術的に不正確な情報、省略、誤植を含む可能性があります。ここに記載の情報は、製品およびロードマップの変更、コンポーネントとマザーボードのバージョン変更、新しいモデルや製品のリリース、製造業者の違いによる製品の差異、ソフトウェア変更、BIOS のフラッシュ、ファームウェア アップグレードなどを含む(ただしこれに限定されない)多くの理由によって変更される場合があります、不正確となる可能性があります。いかなるコンピューター システムにも完全に防止または軽減できないセキュリティの脆弱性のリスクが存在します。AMD は、情報の更新、または修正や改訂について一切の義務を負わないものとします。ただし AMD は本情報を改訂してその内容を随時変更する権利を有し、その改訂または変更に関して通知する義務を負いません。本情報は「現状有姿」で提供されます。AMD は本書の内容について一切の表明も保証も行わないものとし、本情報の不正確さ、誤り、省略について一切の責任を負いません。また、AMD は非侵害性、商品性、または特定目的適合性に関する黙示的保証を行わないものとします。AMD は本資料に含まれる情報の使用に起因する依存、直接、間接、特別、または結果的な損害に対して、AMD が当該の損害の可能性を知らされていた場合であっても、責任を負うことはありません。

自動車用アプリケーションの免責条項

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティアプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとし、セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品責任の制限を規定する適用法令および規則にのみ従うものとし、ます。

© Copyright 2013–2025 Advanced Micro Devices, Inc. AMD、AMD Arrow ロゴ、Artix、Kintex、LogiCORE、SelectIO、Spartan、UltraScale、UltraScale+、Virtex、Zynq、およびその組み合わせは Advanced Micro Devices, Inc. の商標です。本書に使用されているその他の製品名は識別目的のみに使用されており、所有するそれぞれの企業の商標である可能性があります。AMBA、AMBA Designer、Arm、ARM1176JZ-S、CoreSight、Cortex、PrimeCell、Mali、MPCore は米国およびその他の国や地域における Arm Limited の登録商標です。DisplayPort™ および DisplayPort™ のロゴは、米国およびその他の国々で登録された、Video Electronics Standards Association (VESA®) の商標です。PCI、PCIe、および PCI Express は PCI-SIG の商標であり、ライセンスに基づいて使用されています。すべてのその他の商標は、それぞれの所有者に帰属します。