WP469 (v1.0) 2015 年 9 月 28 日

MicroBlaze プロセッサ コアの使用でコスト重視のエンベデッド システム開発を迅速化

著者 : Vaibhav Kale

MicroBlaze™ ソフト プロセッサ コアおよび関連するエンベデッド ソリューションは、エンベデッド システムの迅速な構築を可能にし、コストが重視される量産向けアプリケーションのソフトウェア開発、IP 統合、およびデザインの作成時間を短縮します。

概要

MicroBlaze プロセッサは、フル機能でプログラマブル デバイスに最適化された 32 ビットの RISC ソフト プロセッサ コアです。産業、医療、オートモーティブ、民生機器、情報通信インフラ市場など、コストを重視する量産向けアプリケーションの多様な要件に応えます。高度に設定可能なこのプロセッサは、FPGA (Spartan®-6 または Artix®-7 の FPGA) 内のマイクロコントローラーまたはエンベデッド プロセッサ、あるいは ARM® Cortex®-A9 ベースの Zynq®-7000 All Programmable SoC (AP SoC) のコプロセッサとして使用できます。

最適化されたエンベデッド システムの開発には、使用が簡単なハードウェア/ソフトウェアの開発およびデバッグ ツール、ランタイム ソフトウェア、および IP が大きな役割を果たします。このニーズに応えるため、ザイリンクスから Vivado IP インテグレーター (IPI) および ISE® Embedded Edition (Spartan-6 FPGA 用) を含む Vivado® Design Suite も提供されています。これらのツールは、AXI4 ベースのプラグアンドプレイ エンベデッド IP や完全なソフトウェア開発キット (SDK) を主とした、IP およびシステム主体の開発環境を提供します。これらのコンポーネントを使用することで、ユーザーはより優れたシステムを迅速に開発できるようになり、結果、ソリューションの全体的な開発時間が短縮されます。

概要

コスト重視のローエンド アプリケーションにおいてもエンベデッド システムの複雑性と高度性が増す中、タイム トゥ マーケットに対する圧力が一層高まり続けています。

ローエンドのプログラマブル ソリューションでさえ、グルー ロジックの域をはるかに越え、エンベデッド プロセッシングによって主要なシステム インテリジェンスを実現する、フル機能の高付加価値コンポーネントとなっています。プログラマブル デバイスとエンベデッド プロセッサを適切に組み合わせただけでは、もはや完全なソリューションとは言えません。現在は、優れたソフトウェア ツール、ランタイム ソフトウェア、ペリフェラル IP のサポート、および資料を備えていることも同様に重要です。

このホワイト ペーパーでは、MicroBlaze プロセッサの主な機能に加えて、AXI4 のプラグアンドプレイ IP、Vivado IP インテグレーター ツール、ソフトウェアの開発およびデバッグを迅速にする SDK、リファレンス デザイン、キットおよびボード、そしてシリコン デバイス自体が含まれたザイリンクスの総合ソリューションについても説明します。

エンベデッド プロセッサの特性

ザイリンクスの FPGA エンベデッド プロセッサ システムには、カスタマイズ、旧式機能の移行、コンポーネントのコスト削減、ハードウェア アクセラレーションなどについて、一般的なマイクロプロセッサよりも優れた利点がより多くあります。

- **カスタマイズ :** エンベデッド プロセッサ システムの設計者は、設定オプションに基づいてエンベデッド プロセッサ全体を柔軟にカスタマイズできます。エンド アプリケーション側のニーズに合わせて、同一のハードウェア デバイス上で複数のプロセッサをソフト IP コアとしてインスタンス化できます。また、ザイリンクスの開発ツールによって特定のペリフェラルの設計および統合が容易になるため、設定可能なペリフェラルを使用できることも、カスタム エンベデッド ソリューションの作成で役立ちます。
- **旧式機能の移行 :** 一部の産業、特に航空宇宙および防衛の市場分野では、標準的な電子機器製品よりも非常に長い製品の使用期間を確保することが厳格な設計要件として求められます。旧式のコンポーネントを軽減する必要が生じた場合、問題の解決は困難だと思われがちですが、ソフト プロセッサによって優れたソリューションが提供され、長い使用期間にわたって、各種のデバイス ファミリ間で同一のコアをサポートし、移行することが可能になります。
- **システム統合でのコスト削減 :** プログラマブル デバイスの利点は、単にカスタマイズ可能なデジタル ロジックという点だけではありません。現在のテクノロジで使用できる広範な機能 (場合によってはデジタル以外の機能) を備えることができるという点も強みです。システムの高付加価値コンポーネントは、プロセッサ、DSP、ASSP、FPGA、SoC、またはそれらの組み合わせで構成でき、デジタル以外のコンポーネントには、ADC、センサー、および PHY インターフェイスなどを含めることができます。ザイリンクスのローエンド デバイスは、これらの機能の多くをワンチップに統合できます。デザイン内のコンポーネント数を削減することにより、ボードのサイズとインベントリ管理を削減できるため、設計の時間およびコストを節約できます。
- **ハードウェア アクセラレーション :** プログラマブル デバイス エンベデッド プロセッサを選択するもっともな理由は、ハードウェアとソフトウェア間でトレードオフを行い、効率とパフォーマンスを最大にする柔軟性だと考えられます。たとえば、ソフトウェアのボトルネックとなっているアルゴリズムが特定された場合、そのアルゴリズム専用のカスタム コプロセッシング エンジンを FPGA 内に設計できます。このコプロセッサを特殊な低レイテンシ チャネル経由で FPGA エンベデッド プロセッサに接続できます。そのまま使用するプロセッサとは異なり、ザイリンクスのデザイン ツールが、Vivado 高位合成などの機能とフローをサポートし、RTL を手作業で記述することなく C/C++ および SystemC から IP を作成できます。

MicroBlaze プロセッサの利点

2002 年以降 MicroBlaze プロセッサは進化を続け、新規市場や拡大する市場の要求に応えて先進機能を数多く装備しています。Spartan®-6 および Artix®-7 の FPGA、Zynq®-7000 AP SoC などを含むザイリンクスのローエンドのポートフォリオにおいて、MicroBlaze プロセッサはシステムの迅速な開発を可能にする主要な要素です。柔軟に設定可能なこのプロセッサは、FPGA 内のマイクロコントローラーまたはエンベデッド プロセッサ、あるいは ARM Cortex-A9 ベースの Zynq-7000 AP SoC のコプロセッサとして使用できます。

図 1 に、MicroBlaze プロセッサ コアのブロック図を示します。MicroBlaze IP コアは高度にカスタマイズ可能であり、70 を超える設定オプションをサポートしています。ブロック図には、固定のハードウェア機能/ブロック、および命令/データ キャッシュ、浮動小数点ユニット、メモリ管理ユニットなどの設定可能なオプションを示します。この柔軟性の高いコアを使用すると、フットプリントが非常に小さいステート マシンやマイクロコントローラーから、Linux を実行する高性能の演算集約的なマイクロプロセッサ ベースのシステムまで、実質的にあらゆるプロセッサのユース ケースを実装できます。IP は、3 段パイプライン モード (サイズ最適化) または 5 段パイプライン モード (速度最適化) で動作するように設定でき、ほかの FPGA ベースのソフト プロセッシング ソリューションよりも高い DMIPS (Dhrystone Million Instructions per Second) のパフォーマンスを実現します。

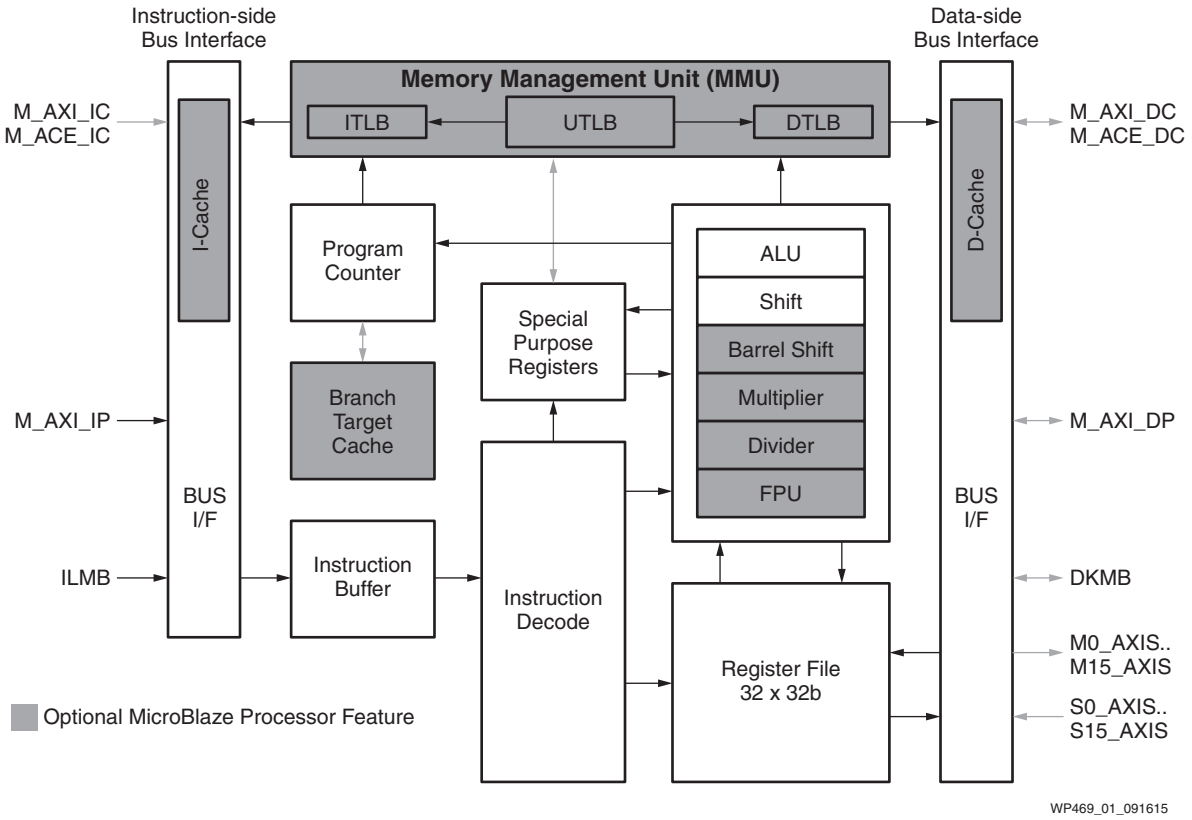

図 1 : MicroBlaze エンベデッド プロセッサのブロック図

MicroBlaze プロセッサのインプリメンテーションを容易にする Configuration ウィザードがザイリンクスから提供されているため、ユーザーは定義済みの設定オプションをすぐに利用できます。70 以上の個別オプションを持つパレットからプロセッサを設定する必要はなく、ユース ケースに基づいて定義済みオプションを選択できます。表 1 に、各種の定義済みオプションと、一般的なユース ケースの説明を示します。

表 1 : MicroBlaze プロセッサの Configuration ウィザードの定義済みオプション

定義済みの設定	説明
Minimum Area	MicroBlaze コアのエリアが最小、キャッシュなし、デバッグなし。
Maximum Performance	最高性能、大型のキャッシュ、デバッグあり、および実行ユニット。
Maximum Frequency	達成可能な最大周波数。小型のキャッシュ、デバッグなし、少数の実行ユニット。
Linux with MMU	メモリ管理ユニット (MMU) を使用して Linux を実行するときに高性能が得られる設定。メモリ管理対応、大型キャッシュ、デバッグあり、すべての実行ユニットを装備。
Low-End Linux with MMU	MicroBlaze プロセッサ エンベデッド リファレンス システムに対応する設定。ローエンド システムでの Linux 開発に適した設定。メモリ管理対応、小型キャッシュ、デバッグあり。
Typical	性能、エリア、および周波数の間で妥当なバランスをとった設定。スタンドアロン プログラム、および低オーバーヘッドのカーネルに適する。キャッシュとデバッグが可能。

2 ステップの設定フローを使用できます。定義済みの設定 (表 1 参照) を選択し、次に特定の設定オプションをいくつか選択して実際のユース ケースに合わせて調整します。たとえば、定義済みの設定 [Minimum Area] を選択してから、デバッグの目的で [Enable MicroBlaze Debug Module] を選択できます。

次に、MicroBlaze の主な機能を簡単に説明します。これらの機能の多くはユーザー設定が可能なため、設定プロセスの一環として有効にする必要があります。

パイプラインの数

MicroBlaze プロセッサでの命令実行はパイプライン処理されます。デザインの要件に合わせて、エリア最適化の設定 (3 段パイプラインのアーキテクチャ)、または性能最適化の設定 (5 段パイプラインのアーキテクチャ) を選択できます。

命令とデータのキャッシュ

MicroBlaze プロセッサ コアは、オプションの命令キャッシュおよびデータ キャッシュと共に使用して、性能を向上させることができます。リソース使用量を削減するために小型のキャッシュを選択する必要がある場合でも、外部メモリの使用時にキャッシュをアクティブにすると性能が大幅に向上します。

高性能 AXI4 のインターフェイス

MicroBlaze プロセッサ コアは、業界標準の高性能バスである、AXI4/AXI Coherency Extension (ACE) (キャッシュへのアクセス用)、AXI4/AXI4-Lite (ペリフェラルへのアクセス用)、および Master/Slave AXI4-Stream をネイティブにサポートしています。

MMU のサポート

仮想メモリをサポートするオペレーティング システム (Linux など) の実行時に、MicroBlaze プロセッサでこのメモリを管理できます。仮想メモリの管理を通じて、メモリ保護をさらに細かく管理できます。

バス インターフェイスの選択

MicroBlaze プロセッサのバス インターフェイスは AXI または ACE に設定できます。AXI バスを選択すると、ペリフェラルとキャッシュの両方へのアクセスが有効になります。バス選択パラメーターを ACE に設定すると、ペリフェラルへのアクセスには AXI が選択され、キャッシュへのアクセスには ACE が選択されるため、キャッシュ コヒーレンシがサポートされます。

ストリーム リンクのインターフェイス

MicroBlaze プロセッサは、最大 16 個の AXI4-Stream インターフェイス (それぞれ入力ポート 1 個、出力ポート 1 個) で構成できます。チャネルは専用の一方向ポイント ツー ポイント、データ ストリーミングの 32 ビット幅のインターフェイスであり、MicroBlaze プロセッサと、ハードウェア アクセラレータまたはコプロセッサを接続します。各リンクは、プロセッサのパイプラインとの低レイテンシの専用インターフェイスであり、カスタム ハードウェア アクセラレータによるプロセッサの実行ユニットの拡張に最適です。

FPU 対応

ハードウェアとしての浮動小数点ユニット (FPU) は、ソフトウェアに浮動小数点を実装するよりも高い性能を示します。単精度 FPU は IEEE 規格 754 に準拠しており、アプリケーションの単精度浮動小数点の性能を大幅に向上させる一方、MicroBlaze プロセッサのインスタンシエーションのサイズも大幅に増大します。

低消費電力モード

このモードは、SLEEP 命令によりサポートされます。MicroBlaze プロセッサのインターフェイスで未処理のトランザクションがすべて完了した後、SLEEP により MicroBlaze プロセッサはその後の命令実行を停止し、スリープ状態になります。

ハードウェアの乗算器および除算器に対応

MicroBlaze プロセッサではハードウェアの整数乗算器/除算器機能を有効にして、命令により 32 ビットまたは 64 ビットのオペランドをハードウェアで乗算および除算できます。このインプリメンテーションは、ソフトウェアのみのアプローチよりもはるかに高速です。

ロックステップ インターフェイス

ロックステップ インターフェイスは MicroBlaze プロセッサに実装されている主な機能の 1 つで、フォールト トレラントなシステム デザインを実現するために使用されます。このプロセッサ コアは、2 つ以上の同一 MicroBlaze プロセッサ コアが同じプログラムを実行するロックステップ コンフィギュレーションで動作できます。コアの出力を比較することで、改ざん攻撃、過渡障害、または恒久的なハードウェア障害を検出できます。この機能の代表的なユース ケースには、改ざん防止があります (図 2 参照)。ロックステップ動作は、MicroBlaze プロセッサ コアを使用する TMR (Triple Modular Redundancy) の実装も担います。

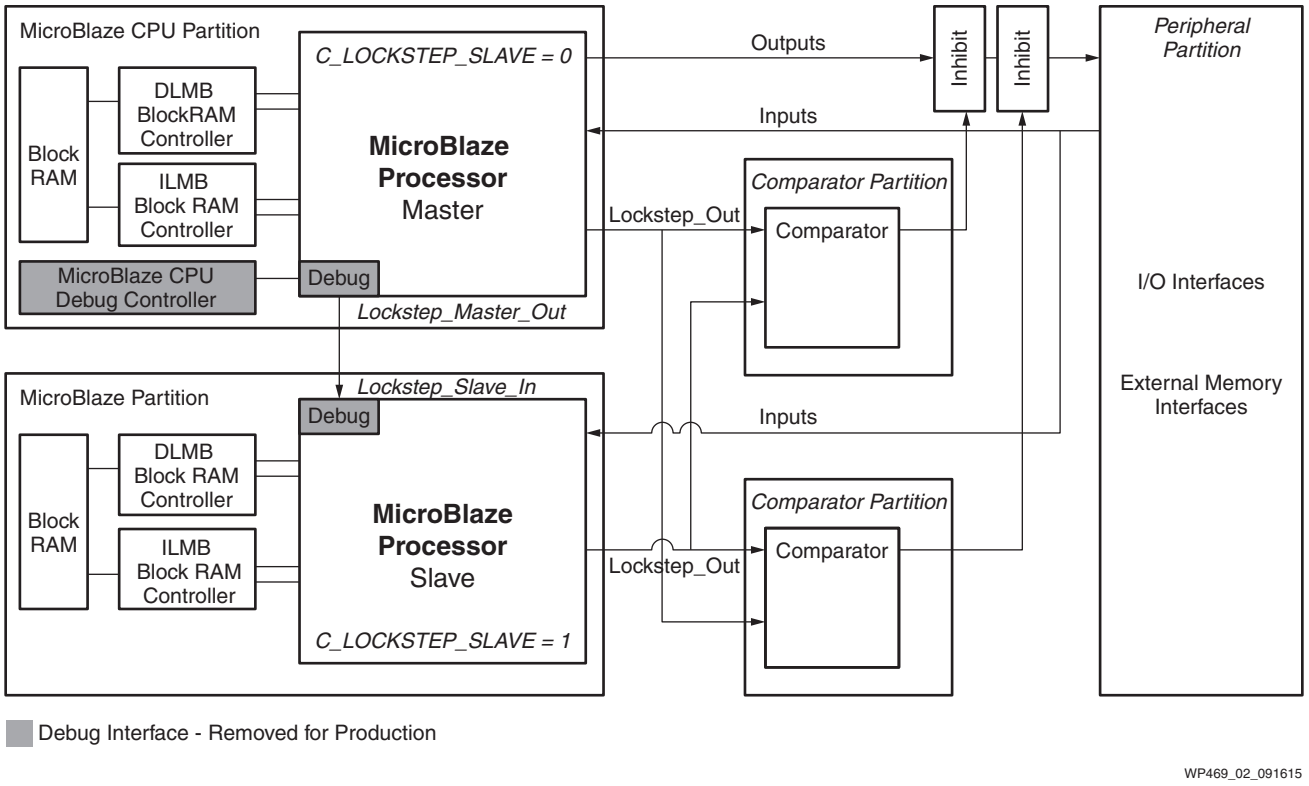

図 2 : フォールト トレラント動作を目的とするロックステップ モードの MicroBlaze プロセッサ

デバッグのサポート

このオプションを使用すると、Xilinx System Debugger (XSDB) でプログラムのダウンロードとデバッグができます。このオプションを設定した場合、XSDB を使用して、JTAG バウンダリ スキャン インターフェイス経由でプロセッサをデバッグできます。この機能は、開発期間のデバッグにのみ使用できます。MicroBlaze プロセッサのサイズ削減を目的としたプロダクション デザインでは無効です。

基本モードでは、デバッグの目的で MicroBlaze プロセッサとのインターフェイスをとるデバッグ モジュールが有効になります。MicroBlaze プロセッサの複数のインスタンスを単一のデバッグ モジュールと接続して、マルチプロセッサのデバッグを可能にします。拡張モードでは、クロス トリガー、トレース、プロファイルなど、MicroBlaze プロセッサの拡張デバッグ機能を使用できます。

性能のモニター

拡張デバッグでは、MicroBlaze プロセッサの性能モニター カウンターを使用して、プログラム実行中の各種イベントのカウント、およびレイテンシの計測ができます。

フォールト トレランス

MicroBlaze プロセッサのフォールト トレランス機能は、内部ブロック RAM のエラー検出、および LMB ブロック RAM のエラー検出および訂正 (ECC) を実行します。フォールト トレランスを有効にすると、ブロック RAM 内のすべてのソフト エラーが検出されて修正されるため、全体の故障強度が大幅に低下します。命令およびデータ キャッシュの保護、メモリ管理ユニットの保護、および例外処理機能もサポートされます。

MicroBlaze プロセッサの性能

最高の性能を実現するために、性能最適化を設定して MicroBlaze プロセッサを動作させることができます。表 2 は、Vivado Design Suite 2015.1 を使用する 7 シリーズおよび Zynq デバイスの性能が、ISE® Embedded Design Suite を使用する Spartan-6 デバイスの約 1.4 倍であることを示しています。表 2 のプロセッサの性能は、次の 3 とおりの設定に基づきます。

- 5 段パイプライン モデルでブランチ最適化を使用する最高性能
- 5 段パイプライン モデルでブランチ最適化を使用しない最高性能
- 3 段パイプライン モデルを使用する最小エリア

表 2 : MicroBlaze プロセッサの性能のベンチマーク

製品ファミリ (-3 スピード グレード)	性能最適化 ブランチ最適化あり		性能最適化 ブランチ最適化なし		エリア最適化	
	F_{MAX} (MHz)	DMIPS	F_{MAX} (MHz)	DMIPS	F_{MAX} (MHz)	DMIPS
Zynq-7000(1)	173	249	224	300	214	229
Virtex-7(2)	246	354	343	460	303	324
Kintex-7(2)	241	347	337	452	303	324
Artix-7(2)	173	249	224	300	214	229
Spartan-6(3)	130	174	150	195	135	145

注記 :

1. Z-7010、Z-7015、および Z-7020 デバイスの Artix-7 FPGA ファブリックに基づく Zynq-7000 デバイスです。
2. Vivado Design Suite 2015.1 に基づく 7 シリーズ デバイスです。
3. ISE Embedded Design Suite 14.7 に基づく Spartan-6 デバイスです。

ザイリンクスのローエンド デバイスで MICROBLAZE ソフト プロセッサを活用

高機能のソフト プロセッサから最高の性能を引き出すには、シリコンと適切に組み合わせる必要があります。ザイリンクスの All Programmable のローエンド ポートフォリオは、多様な要件に応えるコスト効果の高い広範なソリューションを備えています。各デバイス ファミリは、ターゲット アプリケーションに最適な価値を付加します。

- **Spartan-6 FPGA :** クラス最高の I/O 比とフォーム ファクターを持つ Spartan-6 ファミリは、インフォテインメント、民生機器、および産業オートメーションによく見られる、複雑度が低～中程度のブリッジ アプリケーションや付随するコプロセッシング チップに最適です。既存または推奨のホスト プロセッサを補完するように MicroBlaze プロセッサを最適化して、システム インターフェイス、ペリフェラル、または処理機能を最小の開発工数で迅速に拡張できます。
- **Artix-7 FPGA :** より高度な機能が要求される FPGA アプリケーションにおいて、28nm ベースの Artix-7 ファミリは、非常に高いワットあたりの性能を示します。Artix-7 ファミリは、ロジック ファブリック性能、メモリ ライン レート、信号処理帯域幅、トランシーバー ライン レートなど、ローエンド デバイスのあらゆる性能面で業界をリードしています。ファブリック、および PCIe® Gen2 や JESD204B などの高度なシリアル プロトコルのサポートにより、Spartan-6 FPGA よりも 30% 高いプロセッサ性能を持つ Artix-7 デバイスは、より高度なエンベデッド タスクに活用できます。
- **Zynq-7000 AP SoC :** デュアルコア ARM Cortex-A9 プロセッサの安定した処理能力を要求するアプリケーションに対応するため、ローエンドの Zynq-7000 AP SoC デバイス (Z-7010、Z-7015、および Z-7020) は、ARM APU サブシステムと Artix-7 デバイス ファブリックを結合し、3 つのファミリで最高なシステム統合を提供します。ファブリック内に複数の MicroBlaze プロセッサ コアを実装して Cortex-A9 と共存させることで、システム管理や入力のモニターなど、要求が高くないタスクの負荷を軽減できます。

図 3 に示す 3 つの製品ファミリにより、コスト重視のエンド アプリケーションに合わせて多様な機能や広範な集積度から選択できます。

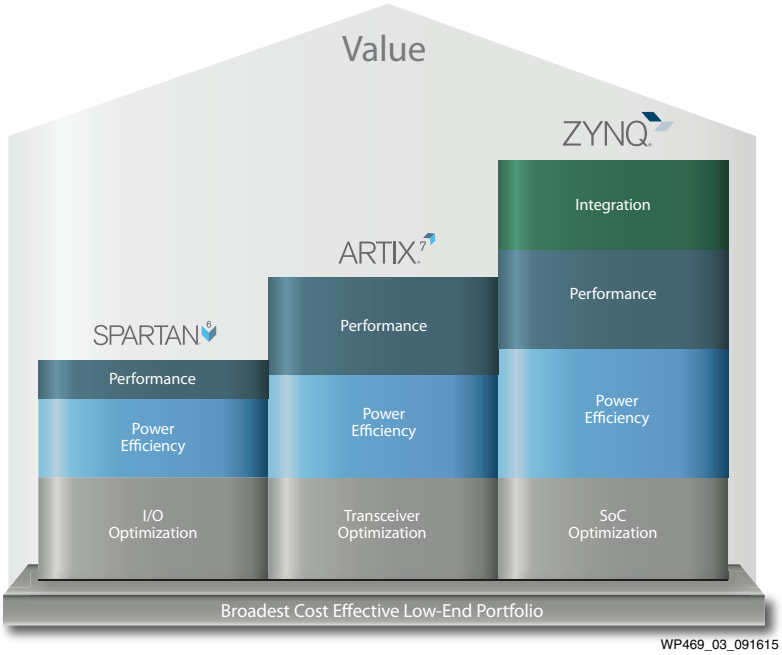

図 3 : ザイリンクスのローエンド ポートフォリオの価値

エンベデッド開発ツールとプラグアンドプレイ IP

タイム トゥ マーケットが最重要事項であり、コスト重視の量生アプリケーションでは、適切なプログラマブル デバイスとエンベデッド プロセッサの選択が重要です。設計者は、総合的なエンベデッド デザイン開発ソリューションに関して、サポート ツールおよび IP の効率と使いやすさを検討する必要があります。

Vivado Design Suite : 統合設計環境

Vivado Design Suite は、システムレベルの統合および実装における生産性のボトルネックを解決できるように、基礎から構築した SoC 対応の次世代開発環境を実装します。MicroBlaze プロセッサの開発を完全にサポートする Vivado Design Suite は、充実した統合ソフトウェア環境、シームレスなデザインおよび IP インテグレーター (IPI) との統合、さらに最適な性能とエリアが得られる迅速なデザイン作成を実現します。

Vivado IPI との高度な IP 統合

Vivado 統合設計環境 (IDE) を基礎として構築された IPI 機能は、デバイスおよびプラットフォームを認識する対話型環境を提供します。この環境は、主要 IP インターフェイスの高度な自動接続、ワンクリックでの IP サブシステム生成、リアルタイム DRC、およびインターフェイス変更の伝搬を強力なデバッグ機能でサポートします。MicroBlaze プロセッサ ベースのエンベデッド システムの場合、イーサネット、USB、PCIe などの各種ペリフェラル IP を使用して、複数のインターフェイスを DDR などのメモリ デバイスに接続する必要があります。複数のマスターと複数のスレーブを接続するときには、注意してアドレス、データ幅、および割り込み接続を確実に一致させる必要があります。

SDK : ソフトウェアの開発およびデバッグ

SDK は、MicroBlaze ソフト プロセッサおよび Zynq-7000 AP SoC のエンベデッド アプリケーションを作成するためのザイリンクスの統合設計環境 (IDE) です。これは、真の同種 (複数の MicroBlaze プロセッサ) および異種のマルチプロセッサ デザインと、デバッグ (ARM Cortex-A9 および MicroBlaze プロセッサ) を実現する初のアプリケーション IDE です。SDK は Vivado Design Suite に含まれていますが、エンベデッド ソフトウェア開発者向けに個別の無償ダウンロードとしても提供されています。SDK は Eclipse をベースにしており、Vivado エンベデッド ハードウェア設計環境と直接インターフェイスをとります。また、ソフトウェアの設計およびデバッグのフロー全体をサポートし、エディター、コンパイラー、ビルド ツール、フラッシュ メモリ管理、JTAG システム デバッガー /GDB デバッグ統合、および充実したライブラリとデバイス ドライバーを備えています。

プラグアンドプレイ IP カタログ

現在のデザインではますます多くの機能が統合されているため、設計者はデザイン サイクルを短縮するために、信頼性の高いソースから実証済みかつ最新で使いやすい IP を入手する必要があります。ザイリンクスおよびサードパーティの各種ソースから複数の IP コアを使用する際にカスタマーから求められるシステム レベルのデザイン サポートへの要望に対して、ザイリンクスはプラグアンドプレイ IP という形で対応しています。

ザイリンクスとそのアライアンス プログラム メンバーが提供するプラグアンドプレイ IP コアは、設計者の生産性を大幅に向上させる単純ながら強力な機能を提供することにより、この要望に応えています。プラグアンドプレイ環境を使用すると、設計チームは複雑なシステムを最小の工数で構築できます。また、MicroBlaze プロセッサに接続できる Vivado デザイン ツールの [Create and Package IP] を使用して、AXI インターフェイスを用いるカスタム IP も作成できます。

ザイリンクスとそのアライアンス プログラム メンバーが提供する IP 間の移植性と相互運用性を確保するために、ザイリンクスは規格に準拠したアプローチを用いて、実証済みで使用が簡単な IP コアを提供しています。プラグアンドプレイ IP の開発を可能にする 3 つの重要な規格は次のとおりです。

- AMBA® AXI™4 インターコネクト プロトコル。ARM 社と共同で開発。
- IEEE P1735、デザイン IP の暗号化および権限管理の規格
- Accellera の IP-XACT XML スキーマ。IP メタデータとインターコネクトを規定し、IEEE Std 1685-2009 に準拠。

ザイリンクスは、主要な業界規格を活用し、さらに Vivado Design Suite の高度な統合機能である IP インテグレーターにおいて使いやすさを改善して強化を図ったことにより、プラグアンドプレイ IP の生産性をさらに高いレベルに押し上げました。

エンベデッド システムの迅速な開発

エンベデッド システムは複雑です。エンベデッド システムのハードウェアとソフトウェアの各部分は、それ自体が大規模なプロジェクトです。2 つのデザイン コンポーネント 1 つのシステムとして機能するように統合するには、さらに課題が伴います。設定可能なロジックをこの組み合わせたものに追加すると、デザイン プロジェクトが複雑になります。このような複雑性によって、デザイン開発およびインプリメンテーションの進捗が停滞し、また、プロジェクトの後期になるまで設計上の基本的なエラーが検出されない可能性が大きくなることもあります。

デザイン プロセスを単純化するために、ザイリンクスは完全に統合されたハードウェア開発ツール、Vivado Design Suite を提供しています。このツールには、MicroBlaze プロセッサ コアとプラグアンドプレイ IP を使用してシステム開発の迅速化を可能にする Vivado IPI が含まれています。また、ザイリンクスは、ソフトウェアの開発およびデバッグ用の SDK も提供しています。このツール セットは、ベアメタルおよび Linux 開発用のエンベデッド システム開発を単純化し、迅速化するために必要なあらゆるものを備えています。このツール セットには、ハードウェアおよびソフトウェア アプリケーションの設計、デバッグ、コード実行、確認および検証用として実ボードへのデザイン転送といった各機能があります。

図 4 に、代表的なハードウェアおよびソフトウェアのデザイン フローとハンドオフを示します。

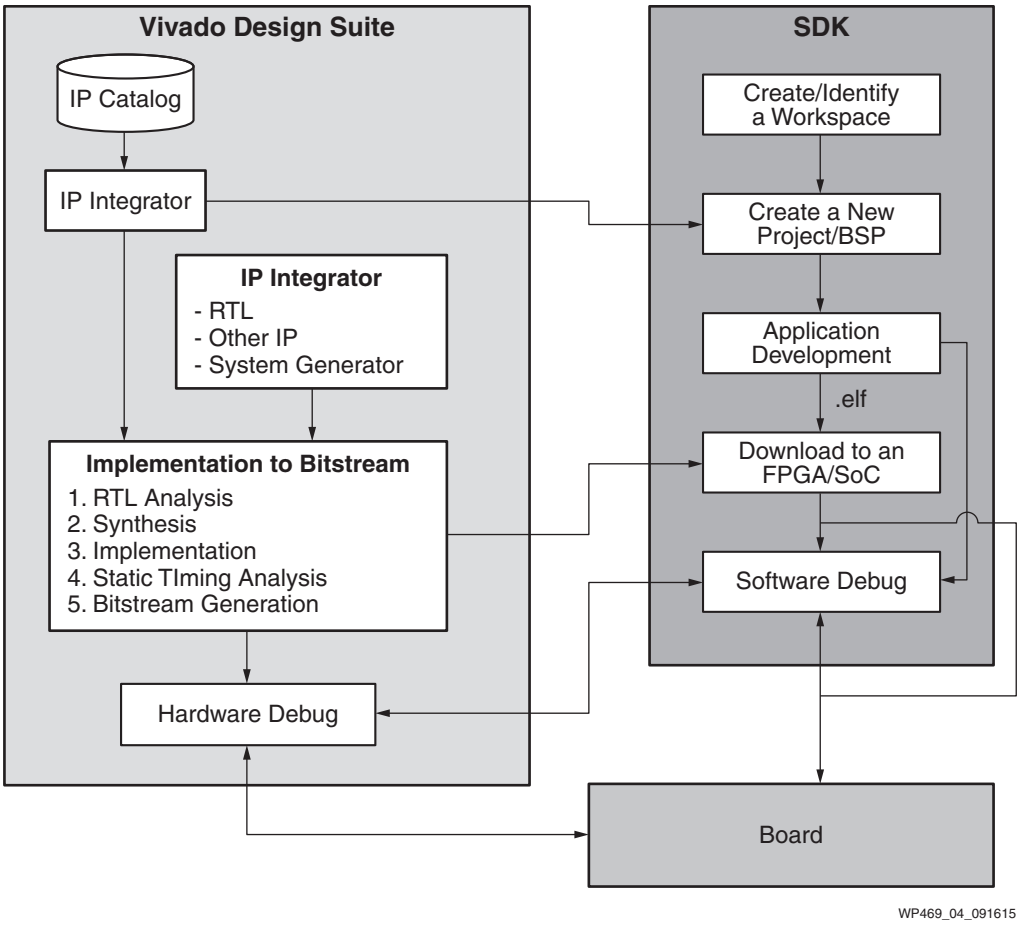

図 4 : エンベデッド システムの開発フローとハンドオフ

IP コネクティビティは、構築しながら修正されます。インターフェイス レベルでの作業で、設計チームは複雑なシステムを迅速に構築し、Vivado ツールを活用してデザインと IP を確実に正しく設定できます。組み込みの自動 IPI インターフェイス、デバイス ドライバー、およびアドレス マップの生成機能によりデザインを短期間で構築できます。

膨大な IP カタログを活用して、IPI は IP サブシステムを自動生成します。たとえば、MicroBlaze サブシステムを生成するには、MicroBlaze コアを選択し、ドラッグしてデザイン内にドロップします。次に、IPI の組み込みブロック生成機能とワンクリック IP カスタマイズを使用して、インターコネクト、ペリフェラル、メモリ マップ、およびデバイス ドライバーを迅速に設定できます。合理化されたユーザー インターフェイスでこれらすべてのタスクを実行すると設計者の生産性が向上します。

また、Vivado IPI は、ブロックおよびコネクションのオート メーション機能も備えています。これらのオプションを使用し、手作業をある程度反復すると、図 5 に示すハードウェア デザインを完成できます。

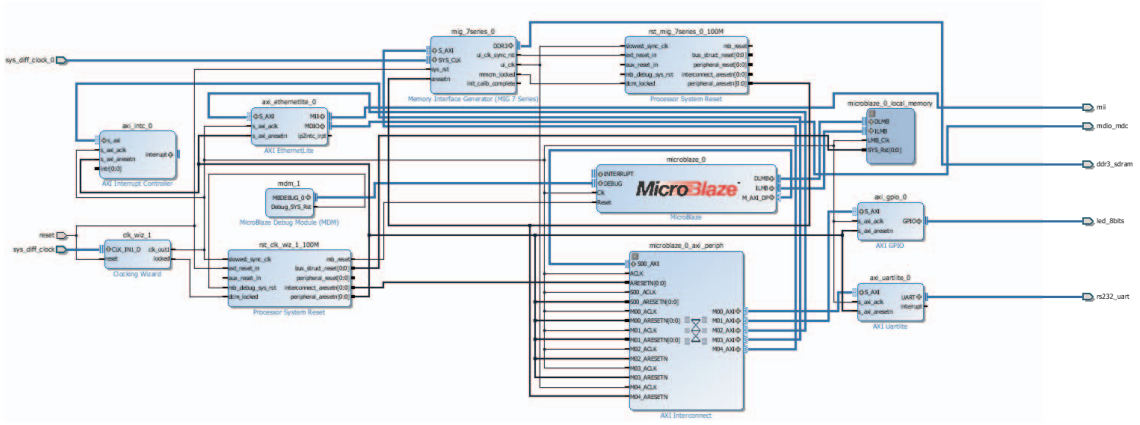

図 5 : Vivado IPI ベースのデザインのブロック図

ハードウェア デザインが完了した後、ビットストリームを生成してハードウェアを SDK にエクスポートし、ソフトウェアの開発およびデバッグを実行できます。図 6 の SDK のスクリーン ショットに、主な機能をいくつか示します。

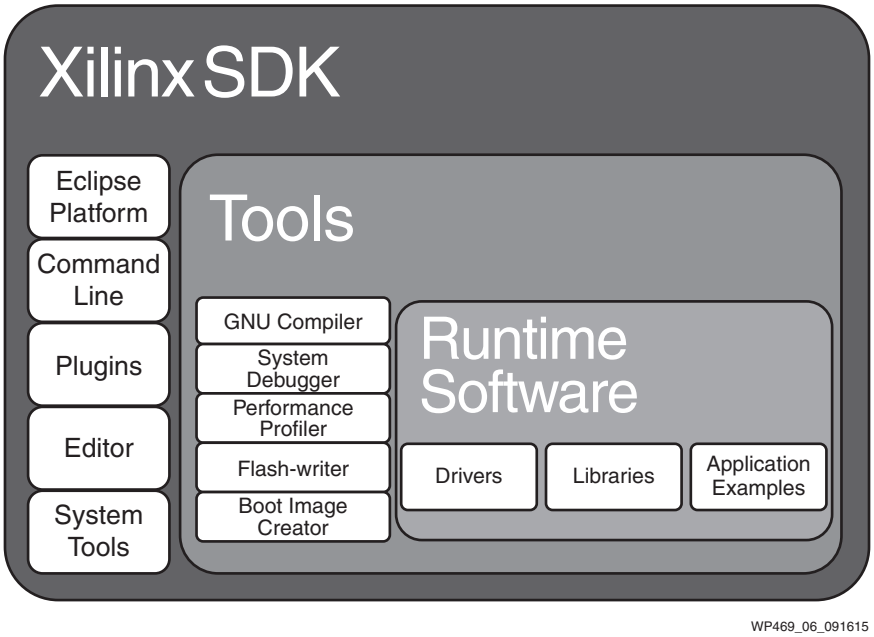

図 6 : SDK のスクリーン ショット

SDK は、Linux およびベアメタルのアプリケーション開発に使用します。ザイリンクスは、ボード サポート パッケージ、ブート ローダー、C/C++、メモリ、およびペリフェラル テスト用のプロジェクト テンプレートを提供しています。SDK は自動的にターゲットに展開され、デバッガーを接続してプログラムの実行を開始します。これは、Cortex A9 と MicroBlaze の両方のターゲットで機能します。

IP およびシステム重視の Vivado Design Suite および Eclipse ベースの SDK 統合設計環境を使用すると、エンベデッド システムを迅速に開発して、開発期間全体を短縮できます。

まとめ

ザイリンクスは、MicroBlaze エンベデッド プロセッサ、AXI4 ベースのプラグアンドプレイ IP、ベアメタルおよび Linux 用のデバイス ドライバー、および Vivado IPI と SDK のツールを備えた総合的なエンベデッド ソリューションを提供しており、エンベデッド アプリケーションの迅速な構築を支援しています。これにより、ハードウェア、ファームウェア、およびアプリケーション ソフトウェアの全体的な開発期間が短縮されます。Vivado Design Suite Edition をダウンロードして、MicroBlaze ベースのエンベデッド デザインの開発に着手できます。これらの開発環境は、デバイス ロック サポート付きの無償の WebPACK Edition でもサポートされています。

ザイリンクスの All Programmable ローエンド ポートフォリオ、および MicroBlaze ソフト プロセッサ コアの詳細は、ザイリンクスのウェブサイトを参照してください。「その他の情報」に、開発を始める際に役立つ参照先および参考資料を示します。

その他の情報

注記 : 日本語版のバージョンは、英語版より古い場合があります。

ザイリンクスの MicroBlaze ソフト プロセッサ コアのページ :
http://japan.xilinx.com/tools/microblaze.htm

ザイリンクスのエンベデッドコンピューティングのページ :
http://japan.xilinx.com/products/design-tools/software-zone/embedded-computing.html

Artix-7 35T Arty FPGA 評価キットのページ :
http://japan.xilinx.com/arty

ザイリンクスの Spartan-6 FPGA のページ :
http://japan.xilinx.com/products/silicon-devices/fpga/spartan-6.html

ザイリンクスの Artix-7 FPGA のページ :
http://japan.xilinx.com/products/silicon-devices/fpga/artix-7.html

ザイリンクスの Zynq-7000 AP SoC のページ :
http://japan.xilinx.com/products/silicon-devices/soc/zynq-7000.html

『Vivado Design Suite チュートリアル : エンベデッド プロセッサ ハードウェア デザイン』(UG940)

『ザイリンクスのローエンド ポートフォリオを使用してシステム BOM コストを削減』(WP460)

『Spartan-6 FPGA デュアル ロックステップ MicroBlaze プロセッサとアイソレーション デザイン フロー』(XAPP584)

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2015 年 9 月 28 日	1.0	初版

免責通知

本通知に基づいて貴殿または貴社 (本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ) に開示される情報 (以下「本情報」といいます) は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1) 本情報は「現状有姿」、およびすべて受領者の責任で (with all faults) という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず (商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない (否認する) ものとします。また、(2) ザイリンクスは、本情報 (貴殿または貴社による本情報の使用を含む) に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない (契約上、不法行為上 (過失の場合を含む)、その他のいかなる責任の法理によるかを問わない) ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害 (第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます) が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、http://japan.xilinx.com/legal.htm#tos で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うことになります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。http://japan.xilinx.com/legal.htm#tos で見られるザイリンクスの販売条件を参照してください。

自動車用のアプリケーションの免責条項

ザイリンクスの製品は、フェイルセーフとして設計されたり意図されてはおらず、また、フェイルセーフの動作を要求するアプリケーション (具体的には、(I) エアバッグの展開、(II) 車のコントロール (フェイルセーフまたは余剰性の機能 (余剰性を実行するためのザイリンクスの装置にソフトウェアを使用することは含まれません) および操作者がミスをした際の警告信号がある場合を除きます)、(III) 死亡や身体傷害を導く使用、に関するアプリケーション) を使用するために設計されたり意図されたりもしていません。顧客は、そのようなアプリケーションにザイリンクスの製品を使用する場合のリスクと責任を単独で負います。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。