



XAPP1307 (v1.0.1) 2017 年 6 月 23 日

# UltraScale アーキテクチャの 高速シリアル I/O ソリューションによる 1G と 10G イーサネットの動的切り替え

著者: Haris Akkool, Srin Gaddam

## 概要

このアプリケーション ノートでは、高速シリアル I/O リンクを使用して 1Gb/s と 10Gb/s を動的に切り替える必要のあるイーサネット デザインについて説明します。このデザインは、ザイリンクスのイーサネット ソリューションとザイリンクスの GTH/GTY トランシーバーを使用してイーサネット インターフェイスを構築しています。1G Ethernet PCS/PMA (物理コーディング サブレイヤ/物理媒体接続部) コアと 10G Ethernet PCS/PMA IP コアはどちらも同じ GT に接続します。レートは GT のダイナミック リコンフィギュレーション ポート (DRP) を介して切り替えます。

このデザインは、表 1 に示す評価ボードを対象にしています。

表 1: サポートされるデバイスとキット

製品ファミリ	デバイス	キット	デザイン サポート	
			シミュレーション	ボード
UltraScale™	Kintex® UltraScale	KCU105	あり	あり
	Virtex® UltraScale	VCU108	あり	あり
UltraScale+™	Virtex® UltraScale+	VCU118	あり	あり
	Zynq UltraScale+™ MPSoC	ZCU102-ES2	あり	あり

このアプリケーション ノートの [リファレンス デザイン ファイル](#) は、ザイリンクスのウェブサイトからダウンロードできます。デザイン ファイルの詳細は、「[リファレンス デザイン](#)」を参照してください。

## リファレンス デザイン

イーサネットは、IEEE 802.3 標準仕様で定義されているメディア アクセス コントローラー (MAC) の仕様であり、ネットワーク ソリューションスイートにおいて広く採用されている世界的な規格です。イーサネットは、世代を超えて拡張できるという理由からさまざまなアプリケーションに適用されています。イーサネットが初期の 10/100/1000Mb/s から 10Gb/s、さらには 100Gb/s の物理的媒体速度へ進化していくのに伴い、複数のネットワーク ステーションに既に配備されているネットワーク装置にアップグレードの必要が生じます。

従来のイーサネット デバイスとの互換性を維持するため、イーサネット インフラストラクチャはレガシイーサネット インターフェイスも備える必要があります。物理インターフェイスでターゲット速度がサポートされている限り、イーサネット インターフェイス (MAC) は物理的媒体に依存しません。たとえば、1G イーサネットと 10G イーサネットは、共通の光インターフェイスを使用してエンドポイントへイーサネットトラフィックを伝送できます。同じ物理インターフェイスを用いて、レガシイーサネットと 10G イーサネットの両方のインターフェイスをサポートするには、イーサネット PHY デバイスに動的切り替え機能が必要です。

ザイリンクスは、1G と 10G に対応した Ethernet MAC や Ethernet PCS/PMA など、複数のイーサネット IP コアを提供しています。Ethernet MAC には AXI4-Stream 準拠のユーザー インターフェイスがあり、MAC IP がユーザー ペイロードをイーサネット フレーム形式でカプセル化して PCS/PMA コアヘデータを転送します。PCS/PMA コアは、物理層エンコードを使用してイーサネット フレームを仕様で定義されているエンコード フレームへ変換し、データを GT ブロックへ送信します。PCS/PMA コアは、GT の初期化と PHY のハウスキーピング機能を実行します。

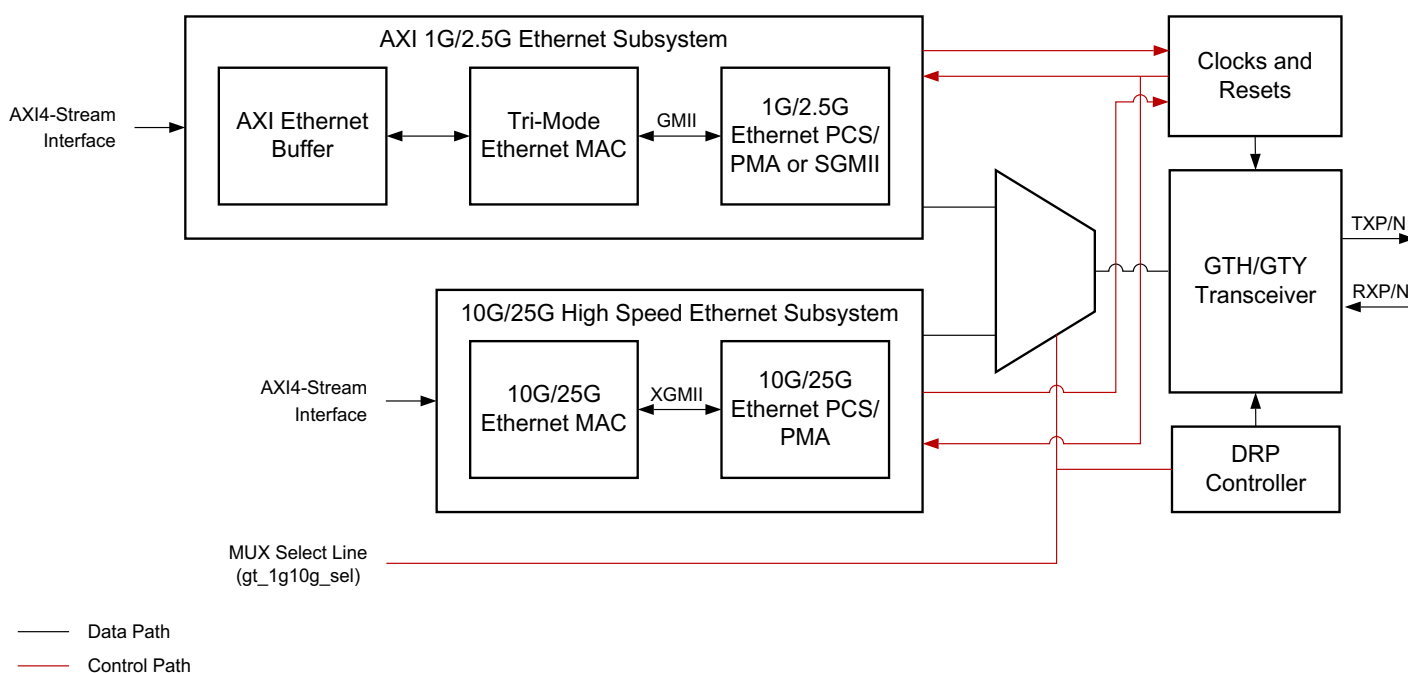
この資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

GT インターフェイスでは、シリアライズとデシリアライズ機能が実行されます。シリアライズされたデータのシリアルビット周期は、GT で使用する基準クロックおよび GT PLL のクロック分周値に依存します。ラインレート 1G から 10G への切り替えを可能にするには、PLL の通倍器と分周器を変更する必要があります。1G リンクと 10G リンクでは別々の物理符号化方式を実行する必要があります。これらは主に GT で実行されます。プロトコル固有の設定を指定するトランシーバー属性は、DRP インターフェイスを用いて動作中に変更可能です。DRP シーケンスの後には、トランシーバーを通常動作へ戻す GT のリセット シーケンスが続きます。

このアプリケーション ノートでは、ラインレートを 1G から 10G へ切り替える際に DRP インターフェイスを使用してデザインを制御するソリューションについて説明します。このアプリケーション ノートの [リファレンス デザイン](#) ファイルは、ザイリンクスのウェブサイトからダウンロードできます。

## ハードウェア

図 1 に、1G と 10G プロトコルに同じトランシーバーを再利用するブロック図を示します。GT チャンネル (ハード ブロック) は、PCS/PMA IP コアから分離されており、DRP コントローラーを使用して設定されます。



X19178-042617

図 1: ハードウェアブロック図

1G/10G イーサネット サブシステムのリファレンス デザインは、属性を変更することで最大 10Gbps までのスループットに対応します。DRP コントローラーは、GT チャンネルの正しいレジスタ位置に適切な値を書き込むよう設計されています。この機能によって、ユーザー入力 (2:1 MUX へのセレクト ライン) に基づいて、1G から 10G、または 10G から 1G の切り替えが可能になります。

イーサネット パケットは、1G MAC と 1G PCS/PMA を介して転送され、2:1 MUX の入力 1 に到達します。10G パケットは MUX の入力 0 に到達します。ユーザーが指定する MUX のセレクト ラインは、GT インターフェイスへのイーサネット パケットの経路を制御します。

DRP コントローラーも GT の構成を決定するための入力としてセレクト ラインを利用します。セレクト ラインの入力に基づいて、GT の DRP インターフェイスを介して対応するレジスタに適切な値が書き込まれます。GT レジスタに書き込まれるアドレスおよび値は固定されており、DRP コントローラーにハードコードされています。これによって、DRP コントローラーが GT を動的に再構成可能になります。

## AXI 1G/2.5G Ethernet Subsystem

AXI 1G/2.5G Ethernet Subsystem は複数のインフラストラクチャ コアを含む階層型デザインブロックで、システム デザイン セッション中にコンフィギュレーションおよび接続されます。このサブシステムで使用するインフラストラクチャ コアは、ザイリンクス Tri-Mode Ethernet MAC (TEMAC) コアと 1G/2.5G Ethernet PCS/PMA or SGMII (Serial Gigabit Media Independent Interface) コアです。

詳細は、『AXI 1G/2.5G Ethernet Subsystem 製品ガイド』(PG138) [参照 1] を参照してください。

### Tri-Mode Ethernet MAC

Tri-Mode Ethernet MAC は、IEEE 802.3-2012 の Clause 2、3、および 4 に準拠しています。MAC の役割は、イーサネット フレーム プロトコルを監視して、これらのフレームのエラーを検出することです。MAC は物理層に依存せず、あらゆる種類の物理層への接続が可能です。イーサネット スピードは 1Gbps にコンフィギュレーションされ、AXI バッファおよびドライバによって有効にされます。

詳細は、『Tri-Mode Ethernet MAC LogiCORE IP 製品ガイド』(PG051) [参照 2] を参照してください。

### 1G/2.5G Ethernet PCS/PMA or SGMII

1G/2.5G Ethernet PCS/PMA or SGMII コアは、Ethernet MAC やその他のカスタム ロジックへの接続をサポートする柔軟なソリューションです。IEEE 802.3-2012 規格に準拠し、1000 BASE-X PCS および PMA の動作をサポートします。物理インターフェイスは 1000 BASE-X 規格をサポートするようにコンフィギュレーションされます。共有ロジックと GT は、サンプル デザインに含まれるようにコンフィギュレーションされます。

詳細は、『1G/2.5G Ethernet PCS/PMA or SGMII LogiCORE IP 製品ガイド』(PG047) [参照 3] を参照してください。

## 10G/25G High Speed Ethernet Subsystem

10G/25G High Speed Ethernet Subsystem は複数のインフラストラクチャ コアを含む階層型デザインブロックで、システム デザイン セッション中にコンフィギュレーションおよび接続されます。このサブシステムで使用するインフラストラクチャ コアは、10G/25G Ethernet MAC コアと 10G/25G Ethernet PCS/PMA (10G/25G BASE-R) コアです。

詳細は、『10G/25G High Speed Ethernet Subsystem 製品ガイド』(PG210) [参照 4] を参照してください。

### 10G/25G Ethernet MAC

10G/25G Ethernet MAC コアは、外部の XGMII (10G Media Independent Interface) を介して PHY 層へ接続します。PHY 層は、オプションの MDIO (Management Data Input/Output) STA マスター インターフェイスで管理されます。コアの構成は、コンフィギュレーション ベクターで管理されます。この Ethernet MAC コアは、10G イーサネット規格のリンク機能を実行し、送信および受信方向において 802.3 に準拠します。イーサネット スピードは 10.3125G にコンフィギュレーションされ、データパス インターフェイスは AXI4-Stream です。

詳細は、『10G Ethernet MAC LogiCORE IP 製品ガイド』(PG072) [参照 5] を参照してください。

### 10G/25G Ethernet PCS/PMA (10G/25G BASE-R)

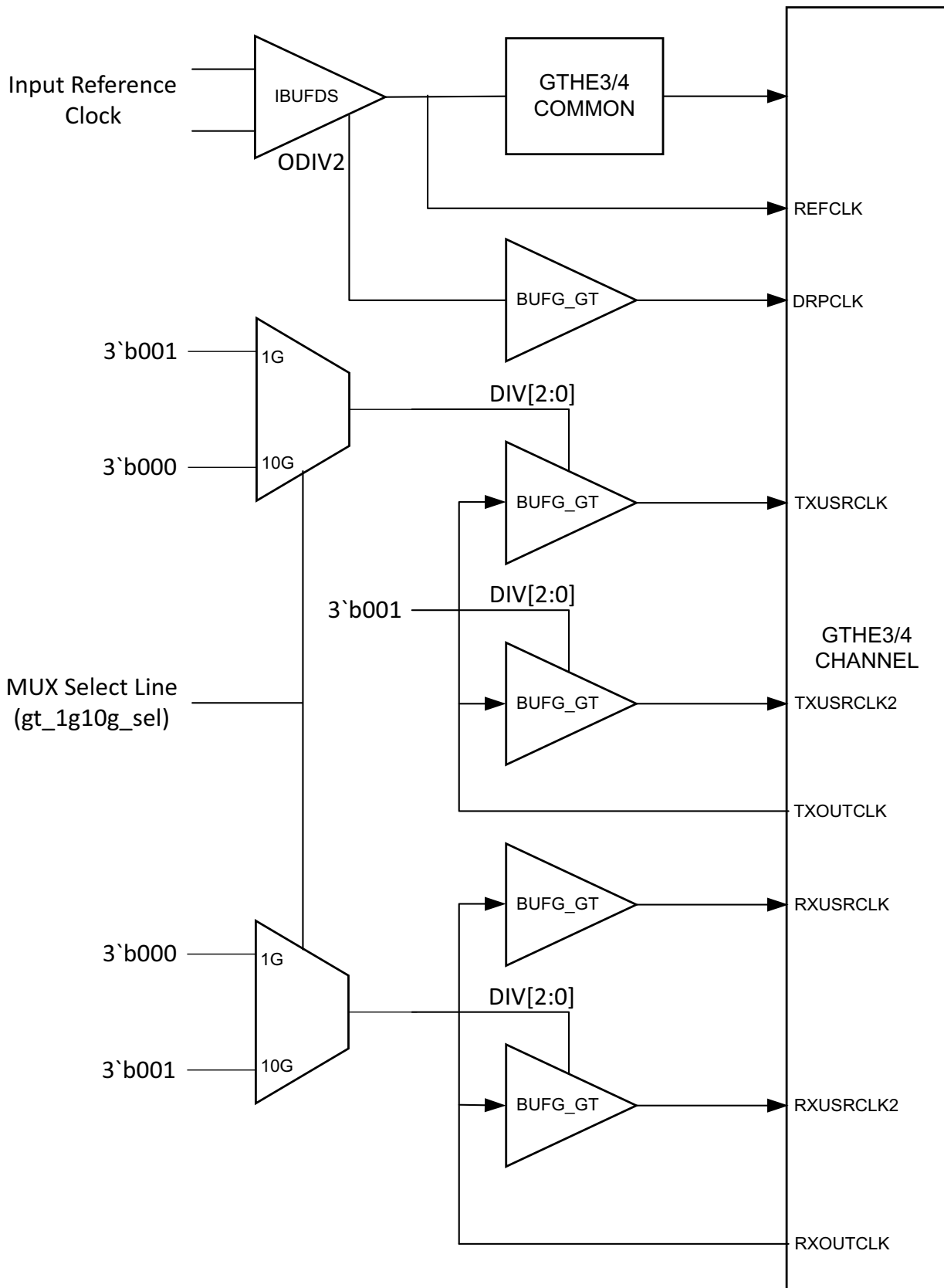
10GBASE-R/KR は 10Gbps シリアル インターフェイスです。このコアは、10G Ethernet MAC の XGMII インターフェイスと 10 ギガビット イーサネット ネットワーク PHY との間に PCS および PMA 機能を提供します。PCS/PMA は 64 ビット データパスの 10GBASE-R プロトコルをサポートするようにコンフィギュレーションされ、共有ロジックと GT サブ コアはサンプル デザインに含まれるようにコンフィギュレーションされます。

詳細は、『10G Ethernet PCS/PMA LogiCORE IP 製品ガイド』(PG068) [参照 6] を参照してください。

## クロックとリセット

リファレンス デザインでは、1G と 10G のライン レートに対して 1 つの基準クロック (156.25MHz) を使用します。ZCU102/KCU105 評価ボードでは Si570 からこの基準クロックを供給します。Virtex UltraScale デザイン (VCU108) は XM107 FMC ループバック ボード上の Si570 から 156.25MHz の基準クロックを供給します。Virtex UltraScale+ デザイン (VCU118) は FMC+ ループバック ボード上の Si570 から基準クロックを供給します。この基準クロックは、1G ライン レートの場合は GTH/GTY トランシーバー (GTHE3/4\_CHANNEL および GTYE4\_CHANNEL) ブロックのチャンネル PLL インスタンスの入力クロック ソースとして接続され、10G ライン レートの場合は Quad PLL インスタンスの入力クロック ソースとして接続されます。

PLL の通倍器および分周器によって、出力ポート (TXOUTCLK および RXOUTCLK) の周波数が (シリアル ライン レート/パラレル データバス幅) として設定されます。TXOUTCLK および RXOUTCLK を使用して FPGA 汎用インターコネクタの TXUSRCLK/TXUSRCLK2 および RXUSRCLK/RXUSRCLK2 が生成されます。図 2 に、Kintex® UltraScale™、Virtex® UltraScale™ および Zynq® UltraScale+™ MPSoC デザインの GTH トランシーバー (GTHE3/4\_CHANNEL) で使用するクロッキング ストラテジを示します。



X19179-042617

図 2: 1G および 10G ライン レートのクロッキングストラテジ

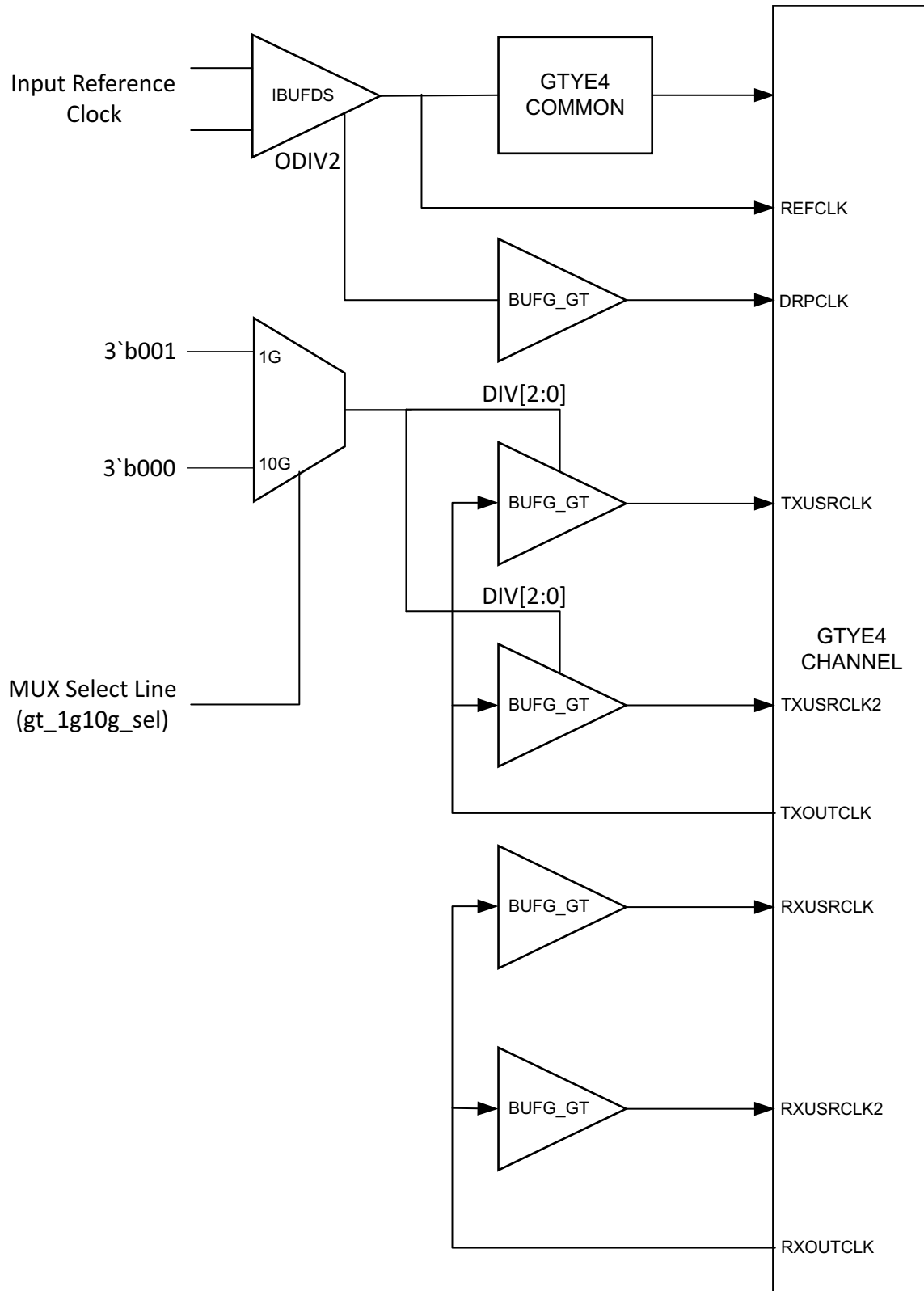
Kintex® UltraScale™、Virtex® UltraScale™、および Zynq® UltraScale+™ MPSoC デザインで使用するクロッキング ストラテジは次のとおりです。

- 1G トランシーバー ロジックは 20 ビット パラレル データパス幅で、TXUSRCLK/TXUSRCLK2 (62.5MHz クロック) の周波数で動作します。
- 1G Ethernet PCS/PMA コアは 10 ビット インターフェイスで、125MHz のユーザー クロック周波数で動作します。
- 10G イーサネット トランシーバー ロジックは 32 ビット パラレル データパス幅で、322.23MHz で動作します。
- 10G Ethernet PCS/PMA コアは 64 ビット パラレル データパス幅で、156.25MHz で動作します。

図 3 に、Virtex® UltraScale+™ デザインの GTY トランシーバー (GTYE4\_CHANNEL) で使用するクロッキング ストラテジを示します。

Virtex® UltraScale+™ デザインで使用するクロッキング ストラテジは次のとおりです。

- 1G トランシーバー ロジックは 20 ビット パラレル データパス幅で、TXUSRCLK/TXUSRCLK2 (62.5MHz クロック) の周波数で動作します。
- 1G Ethernet PCS/PMA コアは 10 ビット インターフェイスで、125MHz のユーザー クロック周波数で動作します。
- 10G イーサネット トランシーバー ロジックは 64 ビット パラレル データパス幅で、156.25MHz で動作します。
- 10G Ethernet PCS/PMA コアは 64 ビット パラレル データパス幅で、156.25MHz で動作します。



X19311-051917

図 3: Virtex UltraScale+ デザインのクロック ストラテジ

このデザインで使用される GTH/GTY トランシーバーのリセットは、1G/10G Ethernet PCS/PMA コアのリファレンス デザインで生成されるリセット シーケンスで制御されます。DRP コントローラーは、1G から 10G または 10G から 1G へのレート変更のための属性設定が完了すると、1G/10G Ethernet PCS/PMA リファレンス デザインに対してリセットを生成し、これによってデザインで使用される GTH/GTY トランシーバーのリセット シーケンスが実行されます。

## DRP コントローラー

DRP コントローラーは、対応する GT レジスタに属性値を書き込むために有限ステート マシン (FSM) を実装します。FSM は、安定したクロックで同期化され、MUX のセレクト ライン (ユーザー入力) のトリガーに基づいて動作します。両プロトコル (1G および 10G) の GT の属性値は、DRP コントローラーの ROM 内にハードコードされて格納されます。DRP コントローラーの出力は、GT DRP インターフェイスにマップされます。実装された FSM は、標準の手順に従って UltraScale GTH/GTY トランシーバーの DRP レジスタに対して読み出しまたは書き込みを実行します。詳細は、『UltraScale アーキテクチャ GTH トランシーバー ユーザー ガイド』(UG576) [参照 7] および『UltraScale アーキテクチャ GTY トランシーバー ユーザー ガイド』(UG578) [参照 8] を参照してください。図 4 に DRP コントローラーの FSM フロー図を示します。

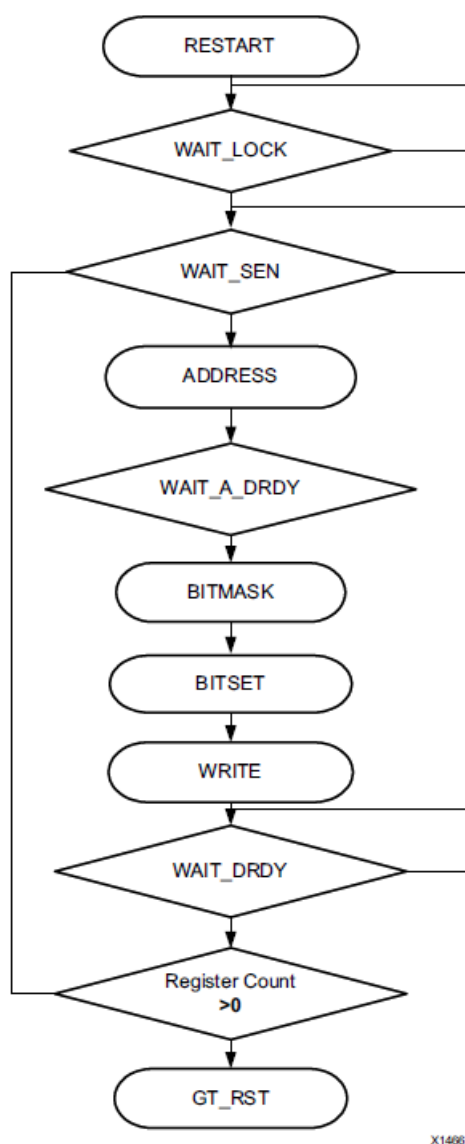


図 4: デザイン フロー

**RESTART:** ROM の開始アドレスと出力値が 0 に初期化されます。

**WAIT\_LOCK:** FSM は CPLL ロック (1G の場合) または QPLL ロック (10G の場合) をポーリングします。PLL がロックすると、FSM は次のステートへ遷移します。

**WAIT\_SEN:** FSM は、MUX セレクト ラインの値 (ユーザー入力) がトグルして、以前の 10G レートの設定から 1G レートの設定 (またはその逆) に変更されるまで、このステートで待機します。このトリガーに基づいて、ROM から属性値をフェッチするための開始アドレスが割り当てられます。

**ADDRESS:** このステートでは、GT レジスタの読み出し動作が有効になり、属性レジスタのアドレスがセットされます。

**WAIT\_A\_DRDY:** 書き込み動作を確認するために、ロジックが読み出しを実行します。つまり、属性値が読み出された後に変更されます。このステートでは、GT からの READY 信号のアサートをポーリングします。

**BITMASK:** このステートでは、変更されない属性レジスタのビット部分がマスクされます。

**BITSET:** このステートでは、属性レジスタのビットがセットされます。

**WRITE:** 対応するレジスタ属性の新しい値が、対応するレジスタの各ビットに書き込まれます。

**WAIT\_DRDY:** このステートでは、正常な書き込み動作に対する肯定応答として、GT からの READY 信号のアサートをポーリングします。

**Register Count:** このステートでは、変更される属性レジスタの合計数がモニタリングされます。FSM は、レジスタ カウントが 0 になるまで ADDRESS ステートに遷移し、すべてのレジスタに書き込みが実行されることを示します。

**GT\_RST:** 書き込まれた新しい属性値を適用するために、GT チャネルがリセットされます。FSM は WAIT\_LOCK ステートへ遷移後、SEN 立ち上がり信号を取得するまで、WAIT\_SEN ステートを維持します。

## リファレンス デザインのツール フローおよび検証

このアプリケーション ノートの [リファレンス デザイン ファイル](#) は、ザイリンクスのウェブサイトからダウンロードできます。表 2 に、リファレンス デザインの詳細を示します。

表 2: リファレンス デザインの詳細

パラメーター	説明
<b>全般</b>	
開発者	ザイリンクス
ターゲット デバイス	UltraScale アーキテクチャ (UltraScale、UltraScale+、および Zynq UltraScale+ MPSoC) (xczu9eg-ffvb1156-2-i-es2、xcku040-ffva1156-2-e、xcvu9p-flga2104-2L-e-es1、および xcvu095-ffva2104-2-e)
ソース コードの提供	あり
ソース コードの形式	Verilog
既存のザイリンクス アプリケーション ノート/リファレンス デザイン、またはサードパーティからデザインへのコード/IP の使用	1G/2.5G Ethernet PCS/PMA または SGMII (ザイリンクス)
	Tri-Mode Ethernet MAC (ザイリンクス)
	10G/25G Ethernet MAC (ザイリンクス)
	10G/25G Ethernet PCS/PMA (10G/25G BASE-R) (ザイリンクス)
<b>シミュレーション</b>	
論理シミュレーションの実施	あり
タイミングシミュレーションの実施	なし

表 2: リファレンス デザインの詳細 (続き)

パラメーター	説明
論理シミュレーションおよびタイミングシミュレーションでのテストベンチの利用	あり
テストベンチの形式	Verilog
使用したシミュレータ/バージョン	Vivado® シミュレータ 2017.1
SPICE/IBIS シミュレーションの実施	なし
<b>インプリメンテーション</b>	
使用した合成ツール/バージョン	Vivado 合成
使用したインプリメンテーション ツール/バージョン	Vivado インプリメンテーション
スタティック タイミング解析の実施	あり
<b>ハードウェア検証</b>	
ハードウェア検証の実施	あり
使用したハードウェアプラットフォーム	ZCU102 評価ボード
	KCU105 評価ボード
	VCU108 評価ボード
	VCU118 評価ボード

## 必要な環境

### ハードウェア

- Kintex UltraScale XCKU040-2FFVA1156E FPGA 搭載 KCU105 ボード
- Virtex UltraScale XCVU095-2FFVA2104E FPGA 搭載 VCU108 ボード
- Zynq UltraScale+ XCZU9EG-2FFVB1156I (ES2) MPSoC 搭載 ZCU102 ボード
- UltraScale+ XCVU9P-L2FLGA2104E FPGA 搭載 VCU118 ボード
- 2本の USB ケーブル (標準 A プラグ/micro-B プラグ)
- 電源: 100 VAC-240 VAC 入力、12 VDC 5.0A 出力
- Avago Technologies 社製 SFP+ 10GBASE-SR/SW トランシーバー モジュール (x1)
- SFP+ ループバック ケーブル (x1)
- XM107 FMC ループバック ボード (x1)
- FMC+ ループバック ボード (x1)
- Microsoft Windows 7/Linux OS が動作するノートブックまたはデスクトップ PC (Vivado Design Suite の実行および FPGA のコンフィギュレーションに使用)

### デザイン ツールおよびソフトウェア

- Vivado Design Suite 2017.1
- USB UART ドライバー (Silicon Laboratories 社製 CP210x VCP ドライバー)

## リファレンス デザイン ファイル

ディレクトリ構造はすべてのデザインで共通です。図 5 に、Kintex UltraScale (KCU105) デザイン ファイルのディレクトリ構造を示します。

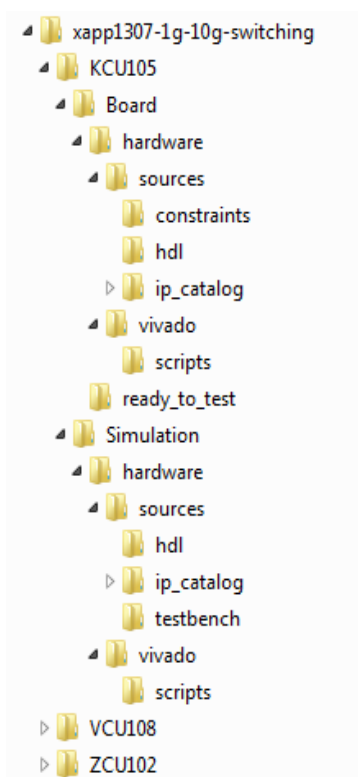


図 5: ディレクトリ構造

KCU105 フォルダには、ハードウェア デザインに関係した次のファイルが含まれます。

- Board フォルダには、ボード テストに必要なすべてのスクリプトとプログラミング ファイルが含まれます。
- Simulation フォルダには、シミュレーションに必要なすべてのスクリプトとテストベンチ ファイルが含まれます。
- sources/constraints フォルダには、I/O およびタイミング制約ファイルが含まれます。
- sources/hdl フォルダには、ソース コード ファイルが含まれます。
- sources/ip\_catalog フォルダには、このデザインに必要なザイリンクス IP コアが含まれます。
- sources/testbench フォルダには、シミュレーション用のテストベンチ ファイルが含まれます。
- vivado/scripts フォルダには、Windows および Linux オペレーティング システム向けデザインのインプリメンテーション スクリプトとシミュレーション スクリプト (コマンド ライン/Vivado Design Suite IDE モード) が含まれます。
- ready\_to\_test フォルダには、KCU105 評価ボードをコンフィギュレーションするためのプログラミング ファイルが含まれます。
- readme.txt ファイルにはフォルダ構造、ツールバージョン、およびリビジョンの詳細が記載されています。

## ライセンス

10G/25G Ethernet Subsystem および AXI 1G/2.5G Ethernet Subsystem のライセンスの詳細は、次の製品ページを参照してください。

- [10G/25G Ethernet Subsystem](#)
- [AXI 1G/2.5G Ethernet Subsystem](#)

## リファレンス デザインの実行手順

このセクションでは、1G/10 切り替えリファレンス デザインのセットアップ、実行、結果について説明します。

### KCU105 評価ボードのセットアップ

図 6 に、Kintex UltraScale デザインを使用する場合の KCU105 ボードの接続を示します。

1. KCU105 ボードを制御コンピューターと電源に接続します。
2. KCU105 ボードの SFP ケージ (SFP0) に SFP+ モジュールを挿入し、ループバック ケーブルを接続します。
3. KCU105 ボードのスイッチとジャンパーを図 6 のように設定します。
4. SW1 を ON にして KCU105 ボードに電源を投入します。

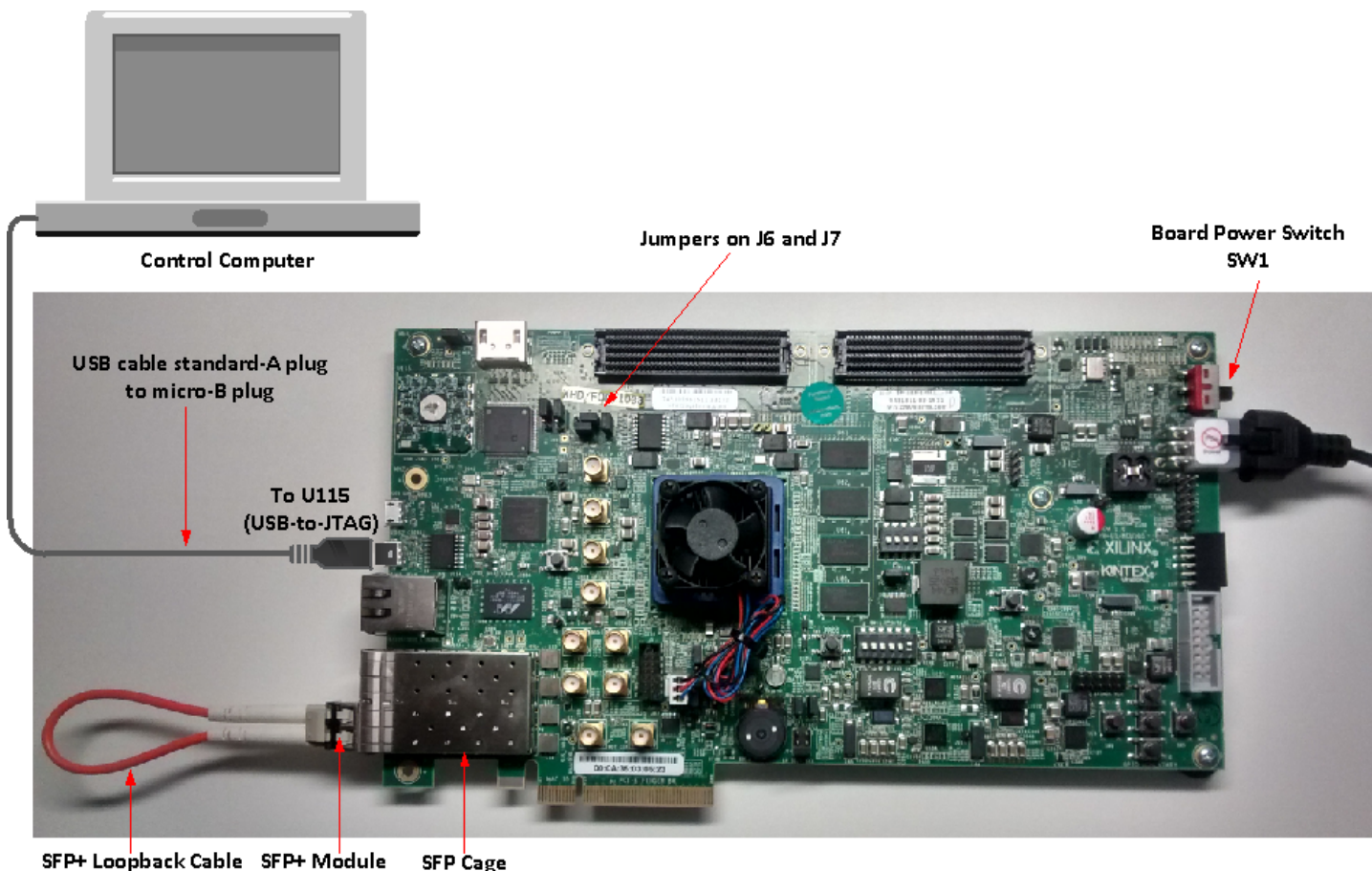


図 6: KCU105 ボードの場合のリファレンス デザインのセットアップ

### ZCU102 評価ボードのセットアップ

図 7 に、Zynq® UltraScale+ MPSoC デザインを使用する場合の ZCU102 ボードの接続を示します。

1. ZCU102 ボードを制御コンピューターと電源に接続します。
2. ZCU102 ボードの SFP ケージ (SFP0) に SFP+ モジュールを挿入し、ループバック ケーブルを接続します。
3. ZCU102 ボードのスイッチとジャンパーを図 7 のように設定します。
4. SW1 を ON にして ZCU102 ボードに電源を投入します。

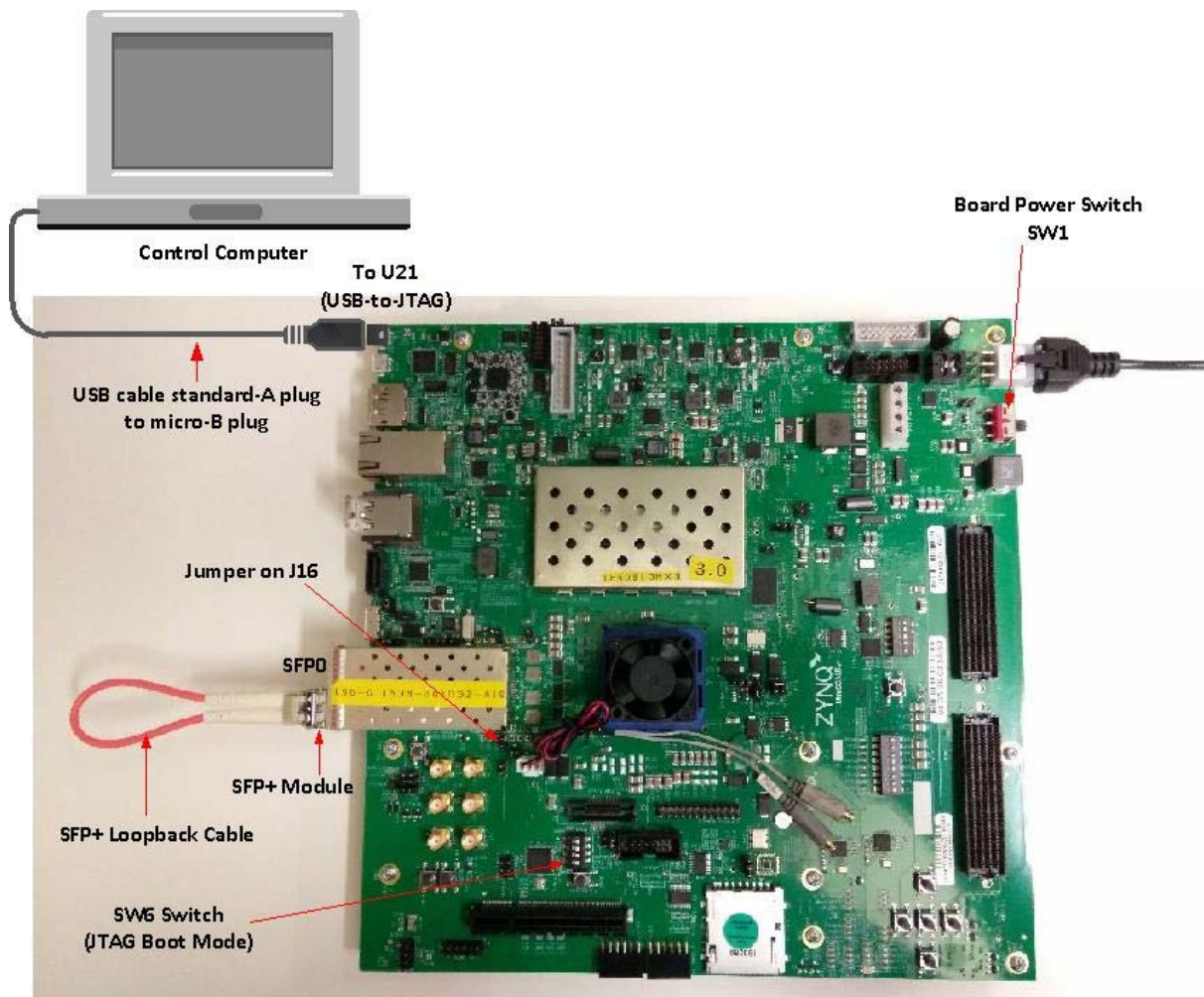


図 7: ZCU102 ボードの場合のリファレンス デザインのセットアップ

## VCU108 評価ボードのセットアップ

図 8 に、Virtex® UltraScale™ デザインを使用する場合の VCU108 ボードの接続を示します。

1. VCU108 ボードを制御コンピューターと電源に接続します。
2. VCU108 ボードの FMC HPC1 コネクタ (J2) に XM107 FMC ループバック ボードを挿入します。
3. SW1 を ON にして VCU108 ボードに電源を投入します。
4. UART ドライバーとターミナルプログラムをインストールします。USB-to-UART ドライバーおよび Tera Term のインストールおよび設定の詳細は、『VCU108 ソフトウェア インストールおよびボード セットアップ』(XTP368) [参照 11] を参照してください。

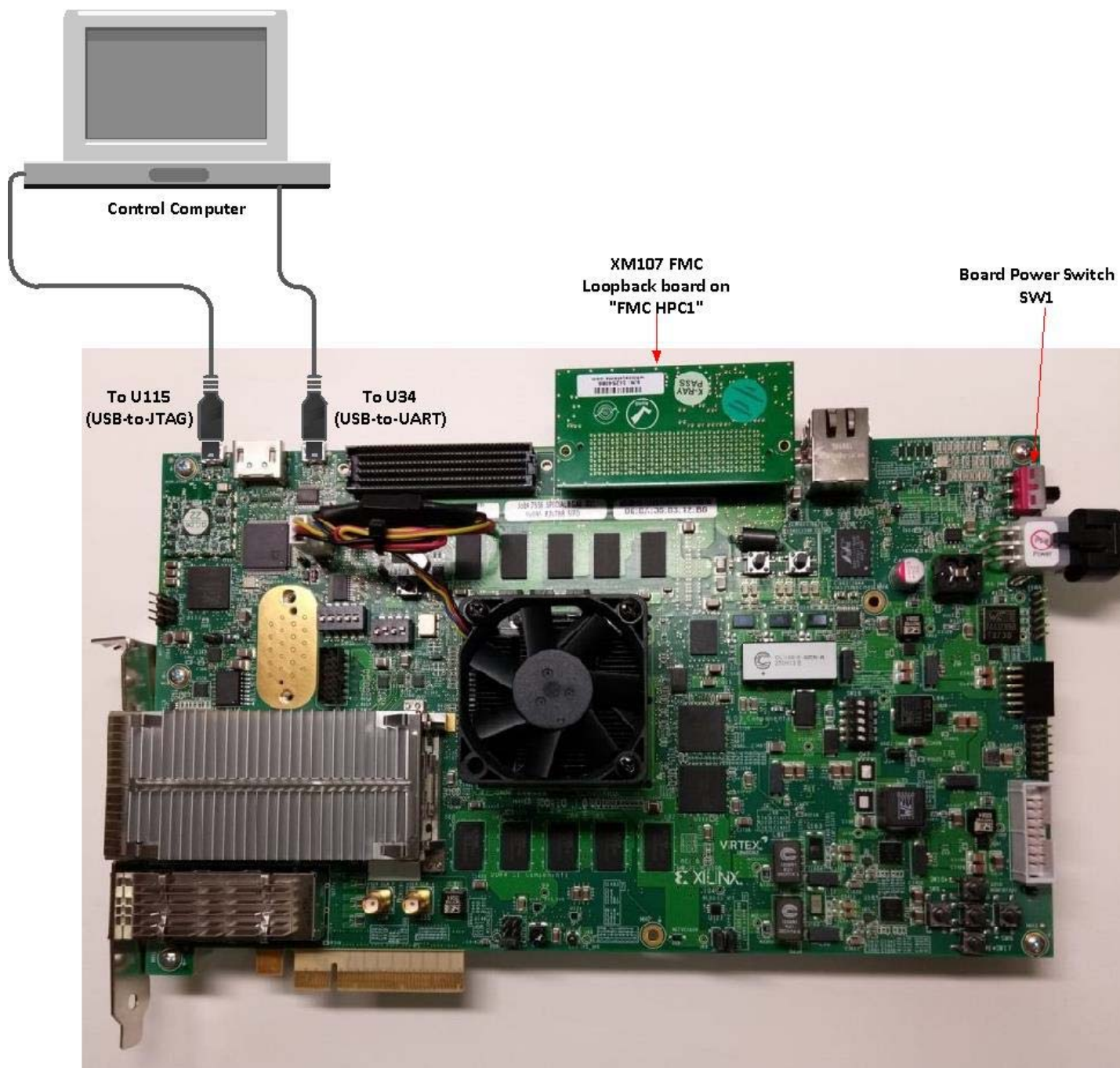


図 8: VCU108 ボードの場合のリファレンス デザインのセットアップ

## クロックのセットアップ

リファレンス デザインでは、1G と 10G のライン レートに対して 1 つの基準クロック (156.25MHz) を使用します。この基準クロックは XM107 FMC ループバック ボード上の Si570 から供給します。

1. 「Enhanced COM Port」(システム コントローラー COM ポート) に対してターミナル ウィンドウを開きます。
2. ボードに対してパワー サイクルを実行し、システム コントローラーの UART 出力を確認します (値を入力した後に Enter キーを押します)。
3. 4、1、4、2、156.25 の順に値を入力して、FMC HPC1 上の XM107 を 156.25MHz に設定します。図 9 に、ターミナルで FMC HPC1 のクロックをセットアップする方法を示します。

```

COM32 - Tera Term VT
File Edit Setup Control Window Help

UCU108 System Controller v1.0
- Main Menu -
-----
1. Set Programmable Clocks
2. Get Power System (PMBUS) Voltages
3. Get UltraScale FPGA System Monitor (SYSMON) Data
4. Adjust FPGA Mezzanine Card (FMC) Settings
5. Get GPIO Data
6. Get EEPROM Data
7. Configure UltraScale FPGA
Select an option
4

UCU108 System Controller v1.0
- FMC Menu -
-----
1. Set FMC XMxxx CLOCKS
2. Read FMC HPC0 IIC EEPROM
3. Read FMC HPC1 IIC EEPROM
4. Set FMC UADJ to 1.8U
5. Set FMC UADJ to 1.5U
6. Set FMC UADJ to 1.2U
7. Set FMC UADJ to 0.0U
0. Return to Main Menu
Select an option
1

UCU108 System Controller v1.0
- FMC Clock Menu -
-----
1. Set FMC XM101 Clocks
2. Set FMC XM104 Clocks
3. Set FMC XM105 Clocks
4. Set FMC XM107 Clocks
0. Return to FMC Menu
Select an option
4

UCU108 System Controller v1.0
- XM107 Menu -
-----
1. Set HPC0 Si570 Frequency
2. Set HPC1 Si570 Frequency
0. Return to FMC Clock Menu
Select an option
2
FMC HPC1 card present
board_area_offset = 008
board_area_format_version = 0x01
board_area_length = 056
board_mfg_hdr_offset = 014
board_mfg_length = 010
ReadBuffer index = 026
ReadBuffer[i1] = 58
ReadBuffer[i+1] = 4D
ReadBuffer[i+2] = 31
ReadBuffer[i+3] = 30
ReadBuffer[i+4] = 37

Enter the Si570 frequency (10-810MHz):
156.25

RFreq_Cal[0]=0x02, RFreq_Cal[1]=0xBC, RFreq_Cal[2]=0x01, RFreq_Cal[3]=0x90, RFreq_Cal[4]=0xA5

Freq:156.2500000000 HS_DIV=4 N1=8 DCO=5000.0 RFREQ=0x02BC0190A5

UCU108 System Controller v1.0
- XM107 Menu -
-----
1. Set HPC0 Si570 Frequency
2. Set HPC1 Si570 Frequency
0. Return to FMC Clock Menu
Select an option

```

図 9: XM107 FMC ループバック ボードの基準クロックのセットアップ

## VCU118 評価ボードのセットアップ

図 10 に、Virtex® UltraScale+™ FPGA デザインを使用する場合の VCU118 ボードの接続を示します。

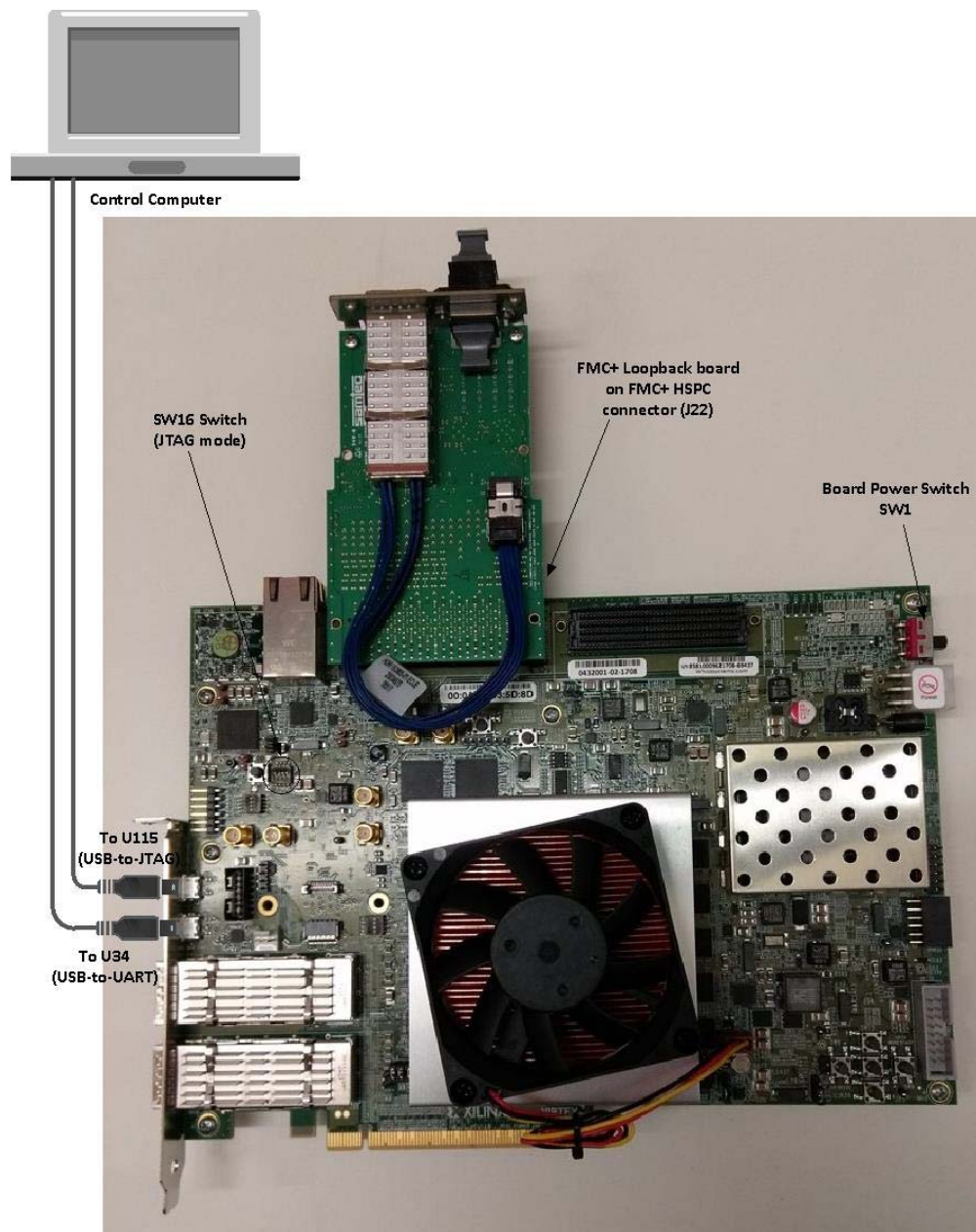


図 10: VCU118 ボードの場合のリファレンス デザインのセットアップ

1. VCU118 ボードを制御コンピューターと電源に接続します。
2. VCU118 ボードの FMC+ HSPC コネクタ (J22) に FMC+ ループバック ボードを挿入します。
3. SW16 を 0101 に設定します (1 = ON、ポジション 1 から 4 の順)。
4. SW1 を ON にして VCU118 ボードに電源を投入します。
5. UART ドライバーとターミナルプログラムをインストールします。USB-to-UART ドライバーおよび Tera Term のインストールおよび設定の詳細は、『VCU118 ソフトウェア インストールおよびボード セットアップ』(XTP449) [参照 12] を参照してください。

## クロックのセットアップ

リファレンス デザインでは、1G と 10G のライン レートに対して 1 つの基準クロック (156.25MHz) を使用します。156.25MHz の基準クロックは、FMC+ ループバック ボード上の Si570 から供給します。基準クロックのセットアップにはシステム コントローラー ユーザー インターフェイス (SCUI) を使用します。システム コントローラー GUI の使用方法の詳細は、『VCU118 システム コントローラー – GUI チュートリアル』(XTP447) [参照 10] を参照してください。

1. [FMC] タブ → [HPC0] タブ → [XM107] タブをクリックします。
2. 「156.25」と入力して [Set SI570] をクリックします (図 11)。

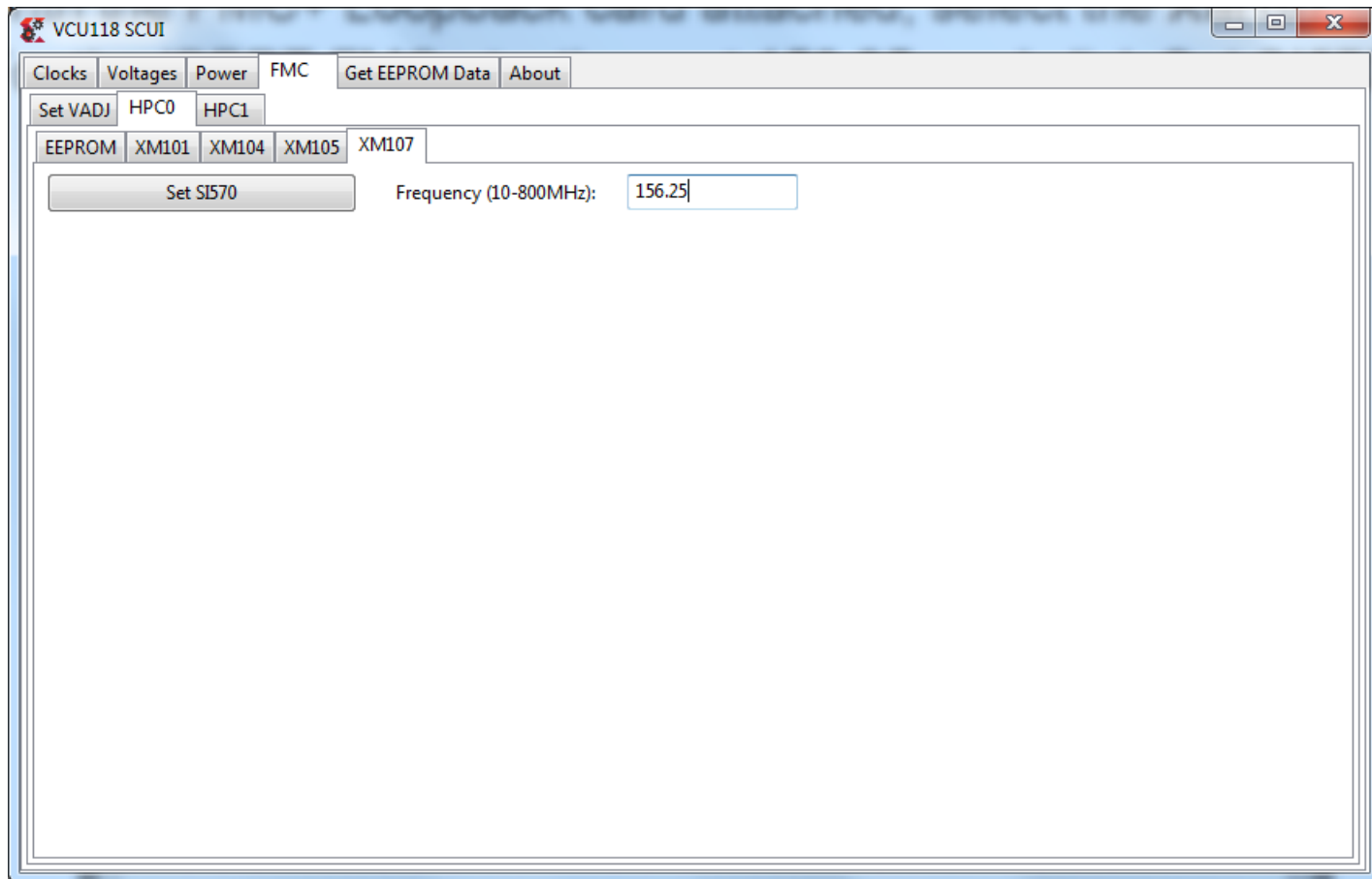


図 11: FMC+ ループバック ボードの基準クロックのセットアップ

## リファレンス デザインの実行

デザインのシミュレーション、BIT ファイルのプログラム、およびデザインのテストの手順はすべてのリファレンス デザインで共通です。それぞれ該当するファイルを使用してデザインを実行してください。以降のセクションでは、KCU105 評価ボード上の Kintex® UltraScale™ デザインをシミュレーション、プログラムおよびテストする手順について説明します。

## デザインのシミュレーション

1. Vivado 統合設計環境 (IDE) を起動します。

Windows 7 の場合:

- a. [スタート] → [すべてのプログラム] → [Xilinx Design Tools] → [Vivado 2017.1] → [Vivado 2017.1] をクリックします。
- b. Getting Started ページで [Tcl Console] をクリックします。
- c. Tcl コンソールに次のコマンドを入力します。

```
cd <working_dir>/KCU105/Simulation/hardware/vivado/scripts  
source kintex_ultrascale_1g_10g.tcl
```

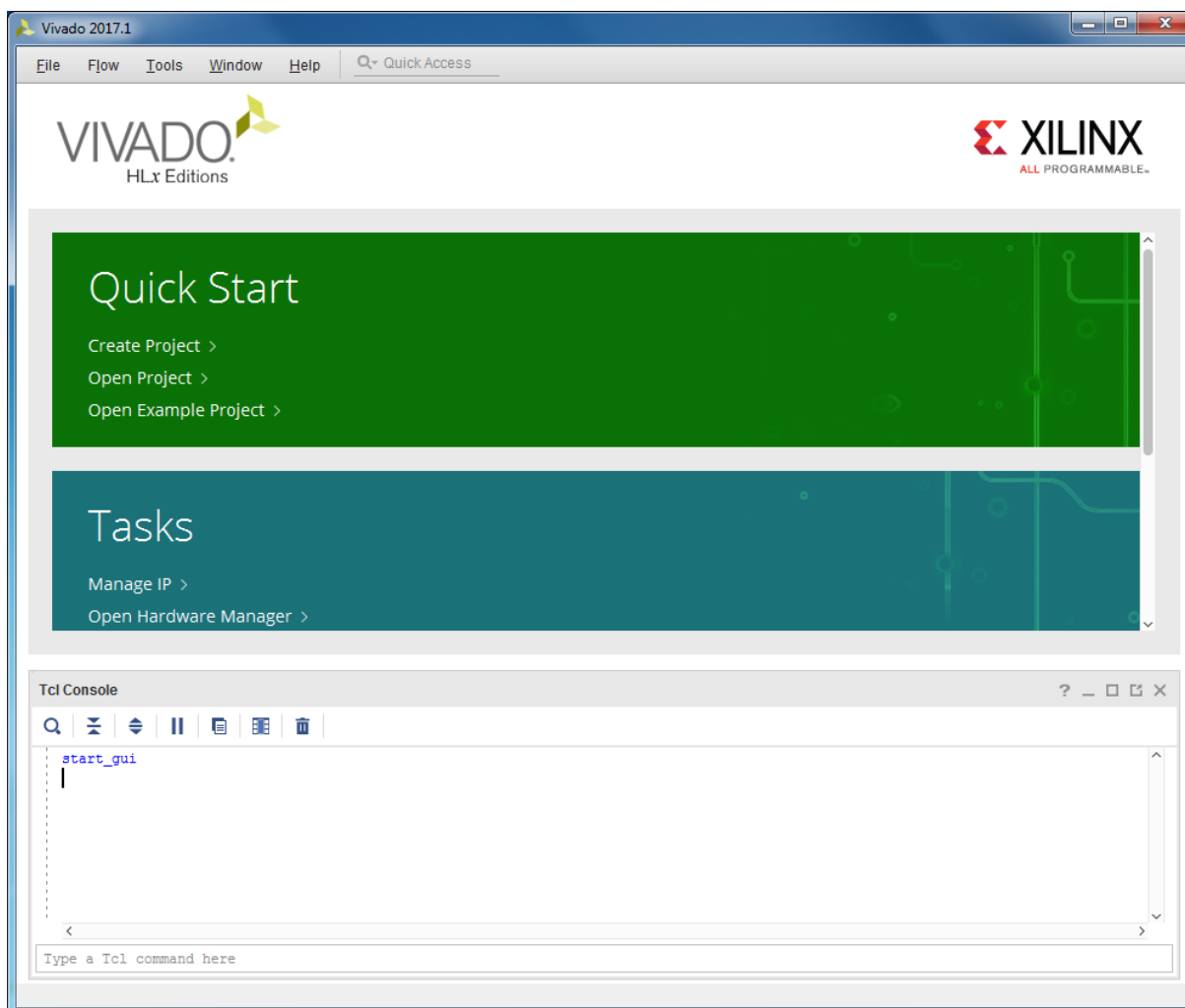


図 12: Vivado IDE と Tcl コンソール

Linux の場合:

- a. ターミナル ウィンドウで次のディレクトリに移動します。  
<working\_dir>/KCU105/Simulation/hardware/vivado/scripts
- b. コマンド プロンプトに次を入力します。  
vivado -source kintex\_ultrascale\_1g\_10g.tcl

## BIT ファイルのプログラム

1. Vivado 統合設計環境 (IDE) を起動します。
2. Getting Started ページで [Tcl Console] をクリックします。
3. Tcl コンソールに次のコマンドを入力します。  

```
cd <working_dir>/KCU105/Board/hardware/vivado/scripts
source kintex_ultrascale_1g_10g.tcl
```
4. Flow Navigator で [Program and Debug] → [Open Hardware Manager] をクリックします。
5. New Connection ウィザードを開いて、KCU105 ボードの接続を開始します。[Open Target] → [Open New Target] をクリックします (図 13)。

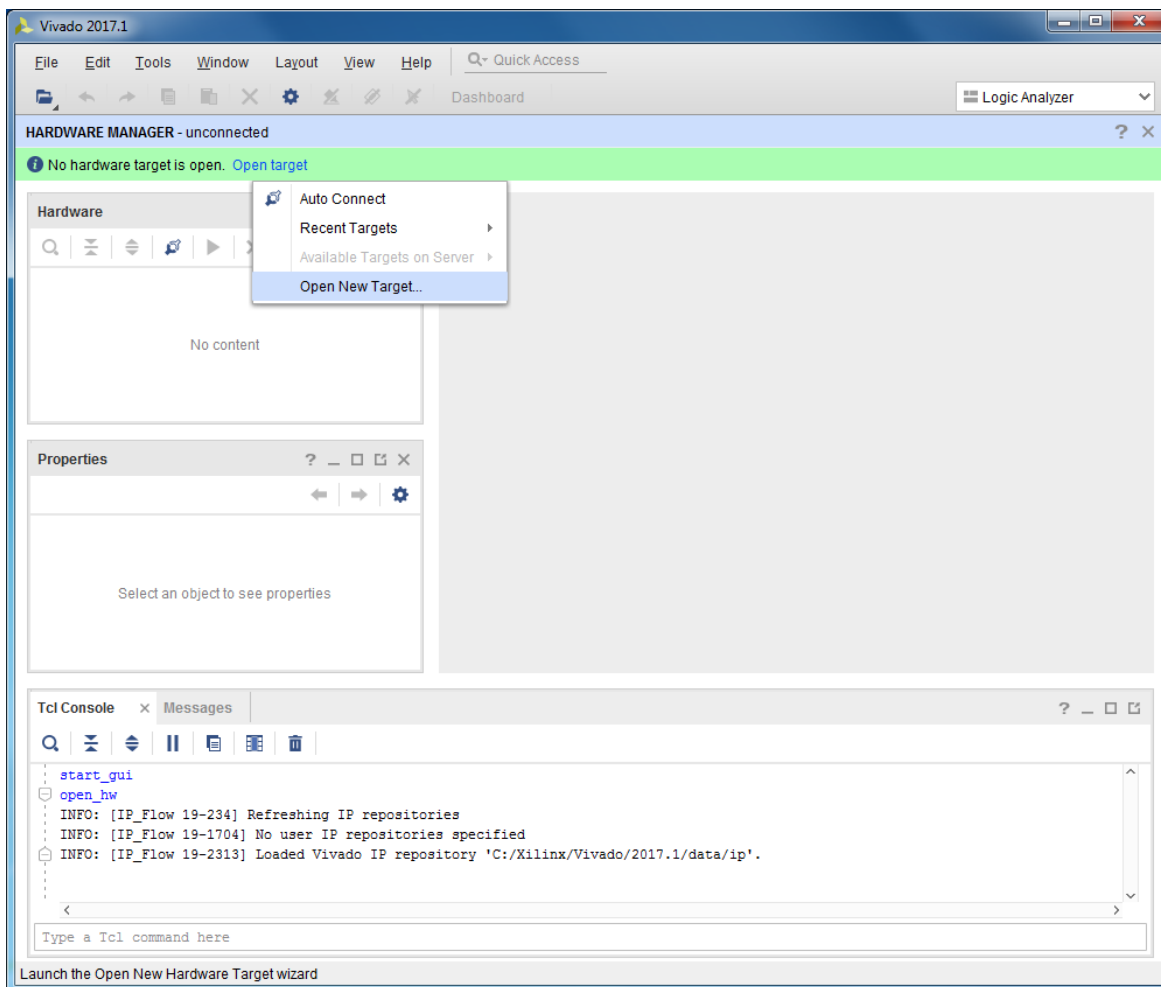


図 13: [Hardware Manager]

6. 各ウィザードのデフォルト値を使用して、KCU105 ボードを接続します。[Next] → [Next] → [Next] → [Finish] をクリックします。
7. [Hardware] ウィンドウで [xcku040] を右クリックし、[Program Device] をクリックします (図 14)。

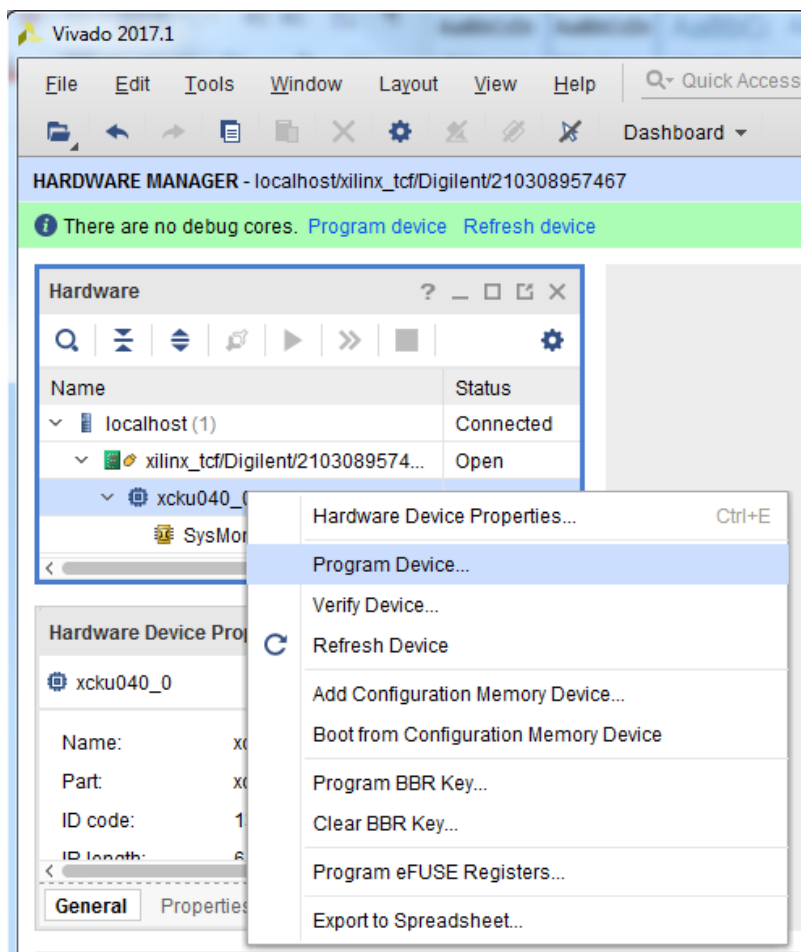


図 14: プログラムするデバイスを選択

8. top.bit と debug\_nets.ltx のパスを指定して、[Program] をクリックします (図 15)。

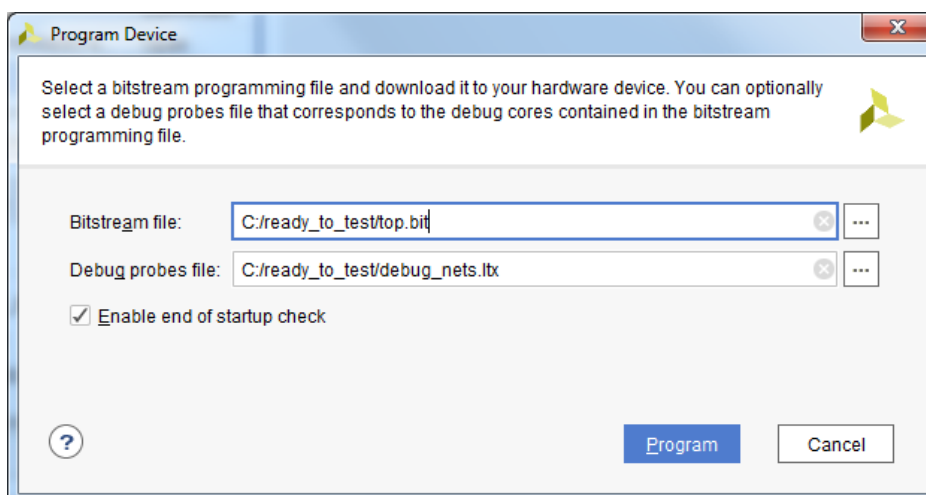


図 15: [Program Device] ダイアログ ボックス

このリファレンス デザインでは、ボード上でデザインをテストするために ILA および VIO デバッグ コアを使用します。プログラムが完了すると、[Hardware Manager] に ILA ウィンドウと VIO ウィンドウが追加されます (図 16)。

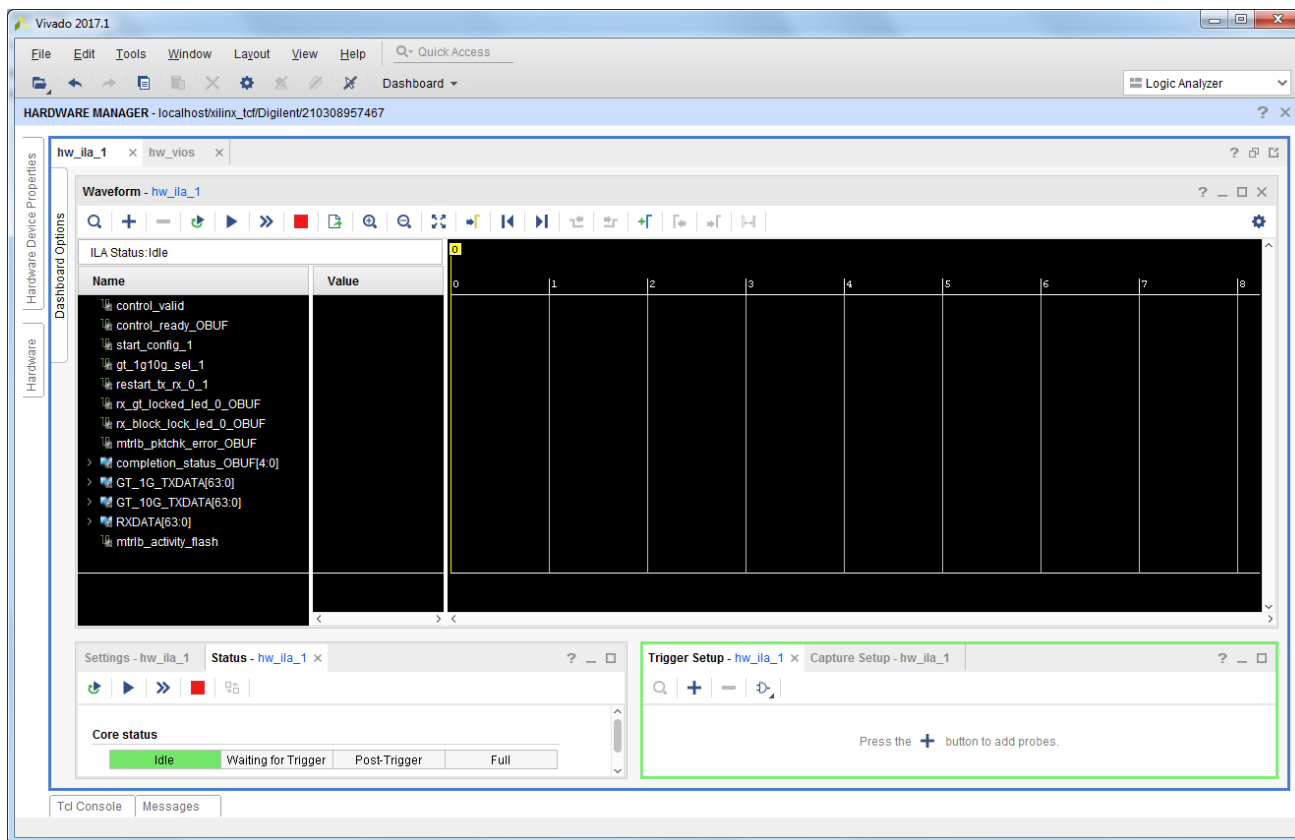


図 16: [Hardware Manager] に追加された ILA および VIO ウィンドウ

## 1G のテスト

1. VIO ウィンドウの [+] ボタンをクリックして利用可能なすべての信号を追加し、トグル ボタンとして設定します (図 17)。

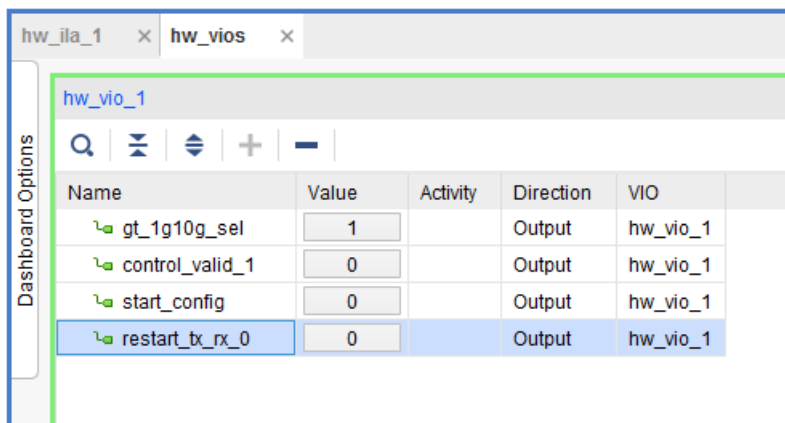


図 17: 1G - VIO ウィンドウ

2. VIO ウィンドウで gt\_1g10g\_sel 信号を 1 にします。
3. control\_valid\_1 信号をトグル (0 → 1 → 0) します。
4. start\_config 信号を 1 にします。
5. ILA ウィンドウでこの ILA コアに対する [Run Trigger] ボタンをクリックします。ILA の [Waveform] ウィンドウが表示されます (図 18)。

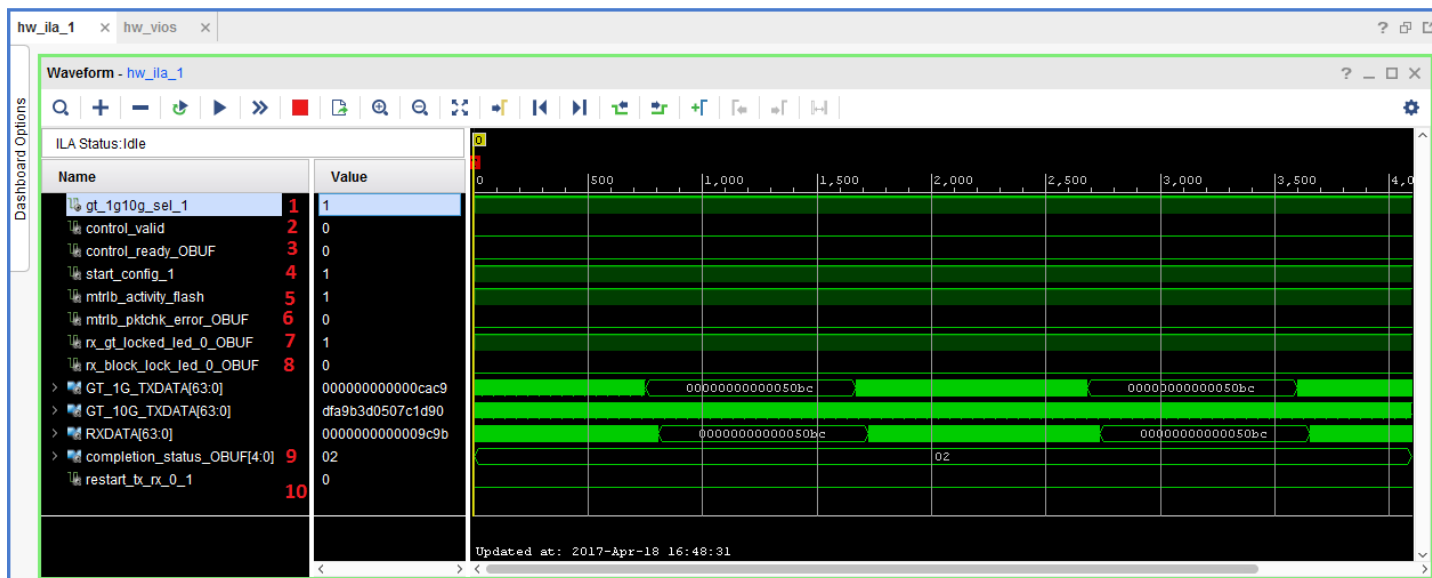


図 18: 1G - ILA ウィンドウ

6. ILA で `rx_gt_locked_led_0` を観察します (図 18 の #7)。値が 1 の場合、GT はロックしています。
7. ILA で `mtrib_activity_flash` を観察します (図 18 の #5)。この信号がトグルしている場合、パターンチェッカーがフレームを受信中であることを示します。
8. ILA で `mtrib_pktchk_error` を観察します (図 18 の #6)。値が 1 の場合、パターンチェッカーがエラーパケットを受信したことを示します。

## 10G のテスト

1. `[gt_1g10g_sel]` を 0 にします (図 19)。

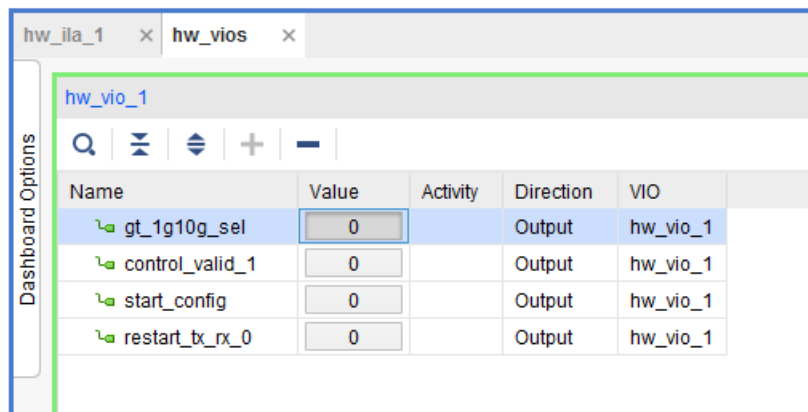


図 19: 10G - VIO ウィンドウ

2. ILA ウィンドウでこの ILA コアに対する [Run Trigger] ボタンをクリックします。ILA の [Waveform] ウィンドウが表示されます (図 20)。

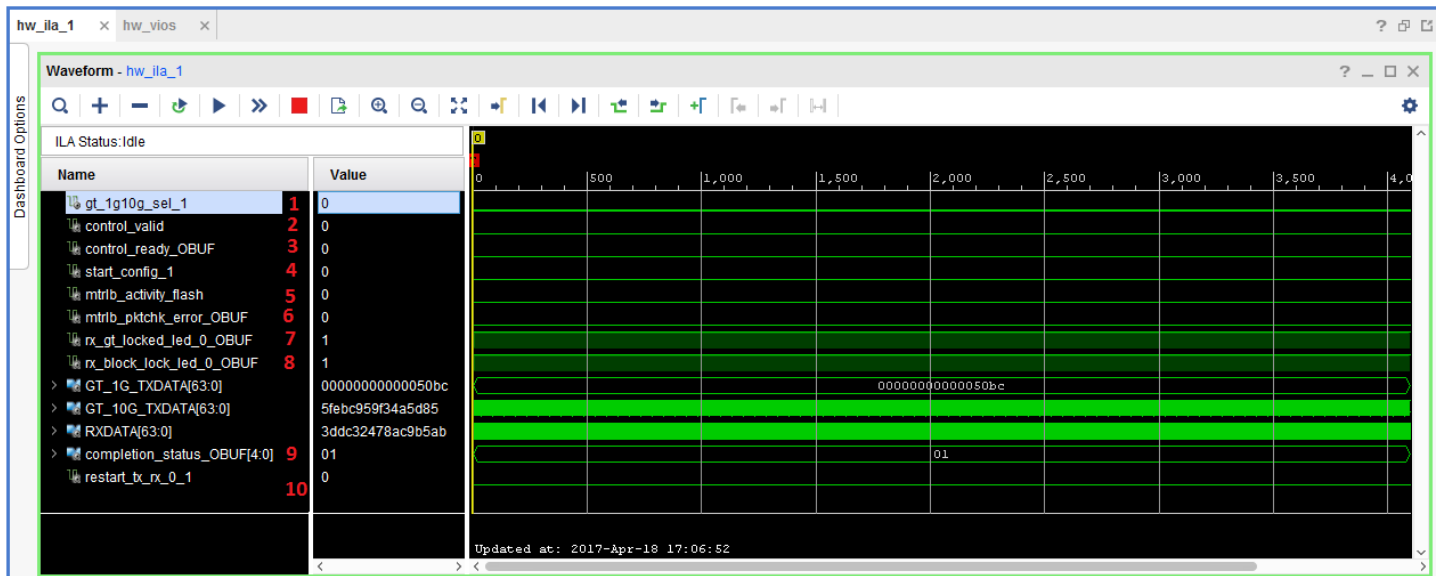


図 20: 10G - ILA ウィンドウ

- ILA で rx\_gt\_locked\_led\_0 を観察します (図 20 の #7)。値が 1 の場合、GT はロックしています。
- ILA で rx\_block\_lock\_led\_0 を観察します (図 20 の #8)。値が 1 の場合、RX ブロックはロックしています。
- ILA で completion\_status を観察します (図 20 の #9)。この信号はテスト ステータス/結果を示します。
- VIO で restart\_tx\_rx\_0 をトグル (0 → 1 → 0) するとテストが再開します。

注記: テスト フローおよび信号ステータスの詳細は、『AXI 1G/2.5G Ethernet Subsystem 製品ガイド』(PG138) [参照 1] および『10G/25G High Speed Ethernet Subsystem 製品ガイド』(PG210) [参照 4] の「サンプル デザイン」の章、およびデザイン フォルダ (Simulation\hardware\sources\testbench) のテストベンチを参照してください。

## Xilinx Documentation Navigator およびデザイン ハブ

Xilinx® Documentation Navigator では、ザイリンクスの資料、ビデオ、サポート リソースにアクセスでき、特定の情報を取得するためにフィルター機能や検索機能を利用できます。Xilinx Documentation Navigator (DocNav) を開くには、次のいずれかを実行します。

- Vivado® IDE で [Help] → [Documentation and Tutorials] をクリックします。
- Windows で [スタート] → [すべてのプログラム] → [Xilinx Design Tools] → [DocNav] をクリックします。
- Linux のコマンド プロンプトに「docnav」と入力します。

ザイリンクスのデザイン ハブでは、資料へのリンクがデザイン タスクおよびトピックごとにまとめられており、これらを参照することで重要なコンセプトに関する知識を得たり、よくある質問 (FAQ) を参考に問題を解決できます。デザイン ハブにアクセスするには、次のいずれかを実行します。

- Xilinx Documentation Navigator で [Design Hubs View] タブをクリックします。
- ザイリンクス ウェブサイトの [デザイン ハブ](#) ページを参照します。

注記: Documentation Navigator の詳細は、ザイリンクス ウェブサイトの [Documentation Navigator](#) ページを参照してください。

## 参考資料

注記: 日本語版のバージョンは、英語版より古い場合があります。

1. 『AXI 1G/2.5G Ethernet Subsystem 製品ガイド』([PG138](#))
2. 『Tri-Mode Ethernet MAC LogiCORE IP 製品ガイド』([PG051](#))
3. 『1G/2.5G Ethernet PCS/PMA or SGMII LogiCORE IP 製品ガイド』([PG047](#))
4. 『10G/25G 高速 Ethernet Subsystem 製品ガイド』(PG210: [英語版](#)、[日本語版](#))
5. 『10G Ethernet MAC LogiCORE IP 製品ガイド』([PG072](#))
6. 『10G Ethernet PCS/PMA LogiCORE IP 製品ガイド』([PG068](#))
7. 『UltraScale アーキテクチャ GTH トランシーバー ユーザー ガイド』(UG576: [英語版](#)、[日本語版](#))
8. 『UltraScale アーキテクチャ GTY トランシーバー ユーザー ガイド』(UG578: [英語版](#)、[日本語版](#))
9. 『AXI リファレンス ガイド』([UG761](#))
10. 『VCU118 システム コントローラー – GUI チュートリアル』([XTP447](#))
11. 『VCU108 ソフトウェア インストールおよびボード セットアップ』([XTP368](#))
12. 『VCU118 ソフトウェア インストールおよびボード セットアップ』([XTP449](#))
13. 『IEEE Standard 802.3-2005』([standards.ieee.org/getieee802/](http://standards.ieee.org/getieee802/))

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2017年6月23日	1.0.1	著者の詳細を更新
2017年5月30日	1.0	初版

## 法的通知

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で(with all faults)という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとします。また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<https://japan.xilinx.com/legal.htm#tos>で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<https://japan.xilinx.com/legal.htm#tos>で見られるザイリンクスの販売条件を参照してください。

### 自動車のアプリケーションの免責条項

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティアプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品の責任の制限を規定する適用法令および規則にのみ従うものとします。

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティアプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品の責任の制限を規定する適用法令および規則にのみ従うものとします。

© Copyright 2017 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の各国のザイリンクス社の商標です。すべてのその他の商標は、それぞれの所有者に帰属します。AMBA、AMBA Designer、ARM、ARM1176JZ-S、CoreSight、Cortex、PrimeCell、MPCore は EU およびその他の各国の ARM 社の登録商標です。

この資料に関するフィードバックおよびリンクなどの問題につきましては、[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。