WP433 (v1.0) 2013 年 6 月 24 日

AMD 7 シリーズ デバイスのシステム レベル ESD および EOS イベントの 理解と軽減

著者: James Karp、Michael Hart、Tc Chai

半導体業界で「ムーアの法則」として知られる微細化トレンドにより、IC のコンポーネント レベルでの静電気放電 (ESD) 耐性が低下し、その結果、ボード レベル/システム レベルの ESD および過電圧/過電流ストレス (EOS) イベントにさらされるようになっています。AMD 7 シリーズ デバイスも最先端の 28 nm テクノロジを採用しているため、例外ではありません。

このホワイト ペーパーでは、FPGA のコンポーネント レベル ESD とシステム レベル EOS の関係について説明した後、業界標準のロードマップと参考資料を紹介します。また、顧客側の責任の範囲を明確に定義し、EOS の回避と軽減に関して顧客側で推奨されるアプローチについても説明します。

はじめに

半導体業界で「ムーアの法則」として知られる微細化トレンドにより、IC のコンポーネント レベルでの ESD 耐性が低下します。従来のテクノロジ世代では IC コンポーネントの ESD 耐性が高かったため、低レベルのシステム ESD および EOS イベントから保護できることが一般的でした。基板に実装した AMD デバイスを損傷させる可能性があるのは高レベルのシステム ESD および EOS イベントのみでした。通常、これらのイベントは容易に検出して除去できますが、28 nm 以降の最先端テクノロジ ノードでは、コンポーネント レベルの ESD 耐性が以前の世代に比べて 50% 低下しています。

AMD デバイスの各パッケージ ピンにはオンチップの ESD 保護素子があります。ESD 保護が最も強いのは電源およびグランド ピンで、最も弱いのは TX および RX SerDes ピンです。これら最先端の高速 I/O は、使用するテクノロジ ノードにおいて最も小さいトランジスタで設計されています。これらピンの ESD 保護は、I/O 性能を考慮して慎重に最適化されています。このため、すべてのパッケージ/シリコンでコンポーネント レベル ESD 認証に合格するために必要なマージンしか確保されていません。

製造および電子産業における ESD 管理に関する ANSI 承認規格を策定している ESD Association は、次のように述べています。「電磁両立性 (EMC) を備え、ESD 保護された電子デバイスの設計、ハンドリング、および応用については、過去数十年間で大きく進歩した一方、これらデバイスの EOS 最小化は遅々として進んでいません。こうした遅れを認識し、Industry Council on ESD Target Levels は業界全体が EOS の根本要因を理解し、電子デバイスにおける EOS を最小化できるように EOS に関するホワイト ペーパーの作成を決定しました。」[参照 1]

こういった流れに沿って、このホワイト ペーパーは AMD ユーザーがシステムの ESD および EOS イベントへの感受性の高まりを見越し、それらを最小化できるように適切な対策を講じるのに必要な情報を提供することを目的としています。

EOS/ESD の定義

静電気放電 (ESD) とは、電位の異なる物体間での電荷の急激な移動をいいます。この電荷は、摩擦帯電や静電誘導によって発生します。デバイスに ESD イベントへの耐性があるかどうかは、2 つの異なるレベルで定義されます。

> **コンポーネント レベルの ESD 耐性**とは、IC パッケージがほかの物体と接触したときに発生する ESD イベントに対する IC の耐久性です。このようなイベントの発生要因としては、人体との接触、保管トレイからの出し入れ、ロボット アームによるハンドリング、テスター ソケットからの出し入れなどがあります。
>
> **システム レベルの ESD 耐性**とは、基板がほかの物体と接触したときに発生する ESD イベントに対する、基板実装された IC の耐久性です。このようなイベントの発生要因としては、ケーブル、人体との接触、金属表面への物理的な基板の設置などがあります。一般に、システム レベルの ESD イベントの方がコンポーネント レベルよりも桁違いに大きくなります。つまり、定義上、デバイスのシステム レベル ESD 耐性の最小値は、そのデバイスのコンポーネント レベル ESD 耐性と同じ値となります。

過電圧/過電流ストレス (EOS) は、絶対最大定格 (AMR) を超えたデバイスの動作と定義されます。[参照 2] EOS に起因する損傷、誤動作、短期間での経年劣化が、デバイスの早期故障を引き起こすことがあります。

このホワイト ペーパーでは、最新の 28 nm 世代 AMD デバイスに関連する ESD と EOS のみを取り上げます。ただし、ここに示した情報は FPGA や SoC 以外の先端 IC にも当てはまります。システム内のすべてのデバイスに対し、コンポーネント レベル ESD とシステム レベル EOS に関する対策をとる必要があります。

EOS/ESD の責任の範囲

AMD の責任は、AMD のコンポーネント レベル ESD 仕様に適合したデバイス (FPGA および SoC) を出荷することにあります。

顧客の責任は、AMD のコンポーネント レベル ESD 仕様に従ってこれらデバイスを安全に取り扱うことにあります。

AMD デバイスをシステム基板に実装した後は、顧客がシステム レベル ESD について独自の仕様を作成し、この仕様に適合するために必要な措置を講じる必要があります。

AMD デバイスのデータシートに記載された絶対最大定格を超えないように、顧客は EOS に関して十分な基板設計と保護を行う必要があります。

コンポーネント レベル ESD のロードマップ

従来、コンポーネント レベル ESD は人体モデル (HBM) [参照 3] とデバイス帯電モデル (CDM) [参照 4] に従って評価されます。FPGA および SoC はピン間隔が狭く、しかも一般的な製造フローでは人手によるハンドリングの機会が大幅に減少していることから、HBM イベントが現実的に大きな問題となることはほとんどありません。一方の CDM は、自動ハンドリング、製造、およびアセンブリにおける FPGA の静電気帯電と急激な放電を説明するもので、実世界での主要な ESD イベントとなっています、

CDM には多くの具体例がありますが、輸送チューブとの摩擦で帯電したデバイスが金属表面に当たって放電するというのもその 1 つです。放電される電流量は、デバイスの寄生インピーダンスおよびキャパシタンスによってのみ制限されます。

図 1 に、HBM および CDM イベントを示します。

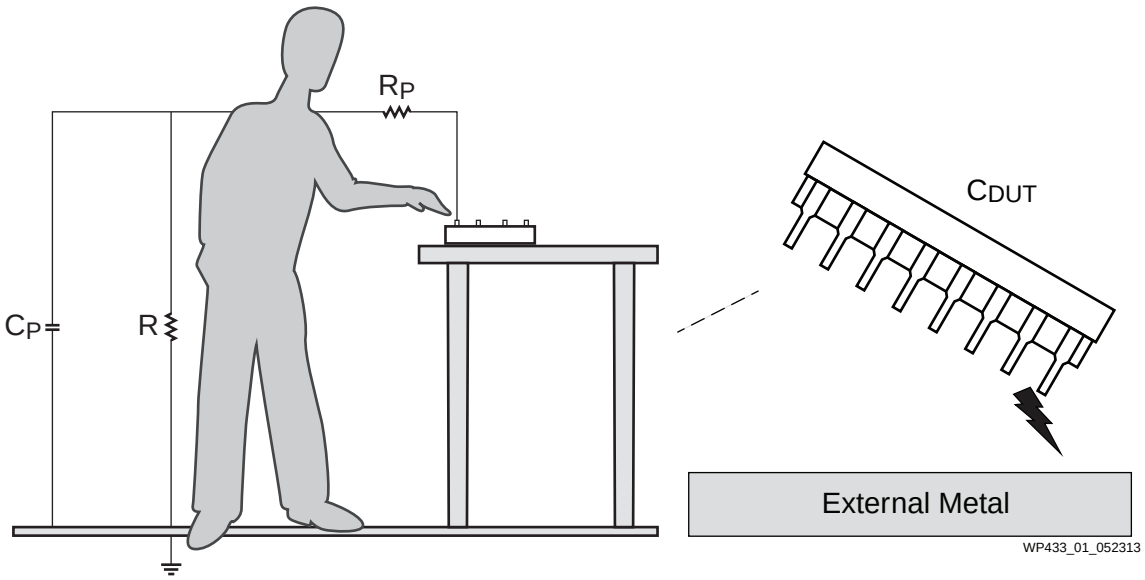


図 1: HBM および CDM ESD イベント

ITRS (International Technology Roadmap for Semiconductors) に関連する ESD のロードマップでは、達成可能な HBM および CDM の ESD レベルが厳しく制限されることが示されています。[参照 5] [参照 6] 回路設計の要件 (SerDes および RF デバイスで使用する周波数の向上など) による制約のため、最終的には実際の ESD HBM 設計レベルが 500V レンジにまで低下することが考えられます。同様に、CDM レベルも 100V レンジまで低下する可能性があります。

> **注記**: マシン モデル (MM) については、ごく一部のアプリケーションを除き、もはや有効ではないという見方が業界内で大勢を占めており、事実、メインストリームの IC 製造における ESD 仕様からこの要件を削除しようという動きが強まっています。このため、このホワイト ペーパーでも MM のスケーリングについては取り上げていません。

ユーザーにとって、コンポーネント レベルの ESD 耐性が低下に向かうトレンドは、製造フローにおける ESD 管理が絶対的に必要であり、工場での CDM ESD 管理を徹底的に改善する必要があることを意味します。

図 2 は、1980 年頃からムーアの法則に従って IC のプロセス寸法が着実に縮小するのに伴い、CDM の目標電圧レベルがどのように変化してきたかを示す CDM のロードマップです。

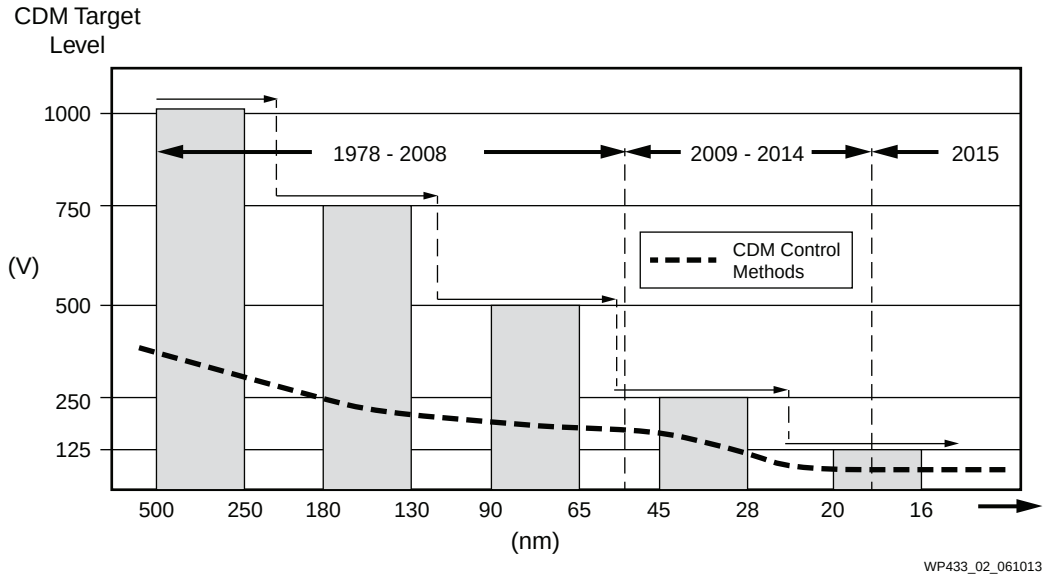


図 2: CDM のロードマップ

システム レベル ESD

FPGA や SoC を基板に実装後も、オンチップの ESD 素子がシステム内に存在しますが、その ESD 保護能力は基板上でデバイスがさらされる ESD イベントの保護能力をはるかに下回ります。基板レベルでも HBM および CDM モデルを適用できますが、これらは HBM と同じ「2 点」放電または CDM と同じ「1 点」放電の指標と見なす必要があります。特に有害なシステム レベル ESD イベントの例として、「帯電ボード イベント (CBE)」、「ケーブル放電イベント (CDE)」、「イオナイザー関連放電イベント」などがあります。これらについては、各セクションで説明します。

帯電ボード イベント (CBE)

プリント回路基板 (PCB) と CBE の関係は、IC と CDM の関係に相当します。CBE とは、ボード組み立てまたは製造時に PCB が金属表面に接触したときに、PCB に蓄積した静電電荷が放出されることをいいます。組み立てプロセスにおいて、PCB をコンベヤ ベルトなどで搬送すると、PCB (および PCB に実装された IC) に静電電荷が蓄積することがあります。その状態で PCB が金属表面と接触すると静電気放電が起こり、基板上の IC が損傷を受けます。

ケーブル放電イベント (CDE)

ケーブルを袋から出したり、ほかの材料の上で引きずったりすると、ケーブルが摩擦帯電を起こすことがあります。このように帯電したケーブルを挿入すると、低電圧の ESD が発生して CDE が起こることがあります。帯電したケーブルをシステム コネクタに接続したときに発生する電気信号は、データ破損やソフト エラー、または IC の外部ピン損傷の原因となることがあります。

イオナイザー関連放電イベント

イオナイザーは、ESD 管理された作業エリアにおいて微粒子や有害な静電電位を減らす目的で主に使用されます。ただし、イオナイザーには欠点もあり、電圧タイプの装置とのイオン極性の不均衡や、空間電荷と呼ばれる極性の不均衡によって実際に電荷を誘導することがあります。

CBE や CDE など、一部の ESD イベントは電力によって誘導される「過電圧/過電流ストレス (EOS)」と誤って診断されることがあります。

過電圧/過電流ストレス (EOS)

基板上の FPGA や SoC は、過電圧/過電流ストレス (EOS) にさらされることがあります。[参照 2] EOS イベントの代表的な特性は次のとおりです。

- 持続時間が ESD イベントよりも長い (1 µs 以上)
- 一般的に EOS 信号レベルは ESD イベントよりもはるかに低い
- EOS 信号には AC、DC、EMI、トランジェントなどさまざまなタイプがある。ESD とは異なり、EOS 信号は多くの場合周期的または継続的 (あるいはその両方) に発生する。

EOS 信号によってデバイスに大量のエネルギーが流入すると、その損傷は大規模な溶融として現れます。PCB 組み立てプロセスでは、はんだ付けやボード テストによってデバイスに EOS が発生することがあります。ESDA スタンダードに最近設立された EOS グループが、EOS について説明した文書の作成を進めています。[参照 1]

誤った取り扱いによる EOS は、内部素子の破壊やチップ内の金属層溶融という形で FPGA や SoC を破壊することがあります。これら問題のほとんどは電圧の深刻なオーバー /アンダーシュートによるもので、その要因には次のものがあります。

- リレーのホット スイッチ (電源をオンにして目的の電圧にプログラムした状態で、リレー経由で電源をピンに接続した場合など)
- 不適切な電源シーケンス
- 不適切なフォース/センス接続
- 高 dI/dt イベントに対する不適切なボード設計
- コンティニュイティ テストにおけるバイアス レベルの不適切な選択 (テスト中に数 mA の電流を強制的に流すなど)
- テスト ケーブルのホットプラグ挿入

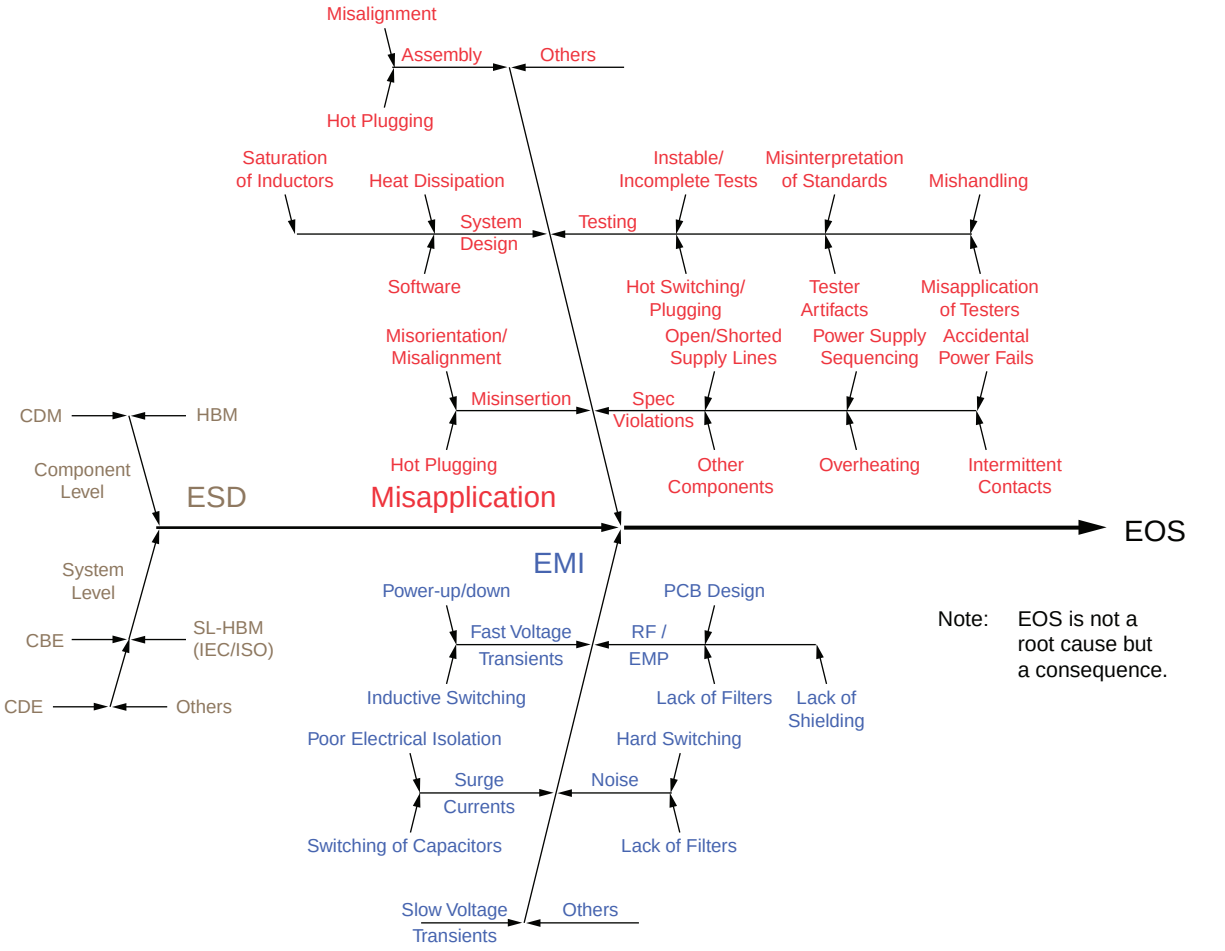
グランド ラインへの電磁干渉 (EMI) による EOS は、主に低電圧 DC モーターなど、起動時に大電流が流れる回路で発生します。EMI の影響を最小にするには、フィルターなど堅牢なグランド接続の概念が欠かせません。グランド ラインの EMI は過渡的なラッチアップを引き起こし、デバイスを破壊する可能性があります。

システム レベル ESD および EOS の軽減

AMD の顧客はほぼ例外なく、コンポーネント レベルでの ESD プログラムを実施しています。ただし、システム基板に実装後の FPGA や SoC は、必ずしもコンポーネント レベルの ESD 軽減策で保護できるわけではありません。このホワイト ペーパーは、システム レベルの ESD および EOS イベントに対する認識を高めることを目的としています。

業界のトレンドとして、28 nm 世代以降の先端テクノロジでは (性能仕様の向上を主な要因として) コンポーネント レベル ESD 耐性が低下する方向に向かっていますが、AMD は電源ピンの ESD 耐性を維持するだけでなく、むしろ高めることに成功しています。通常、電源ピンの HBM レベルは現在も 3 kV で、CDM は約 400 ～ 500V かそれ以上です。これと同時に、I/O ピンへの対処も必要です。これらピンの ESD 保護レベルは低く、HBM 仕様が 1 kV で、CDM が 200V 以下です。

図 3 に、電気的障害を引き起こす条件やイベントの例を、コンポーネントおよびシステム ESD/EOS のフィッシュボーン図 (特性要因図) として示します。



Source: Kaschani and Gaertner, 2011 EOS/ESD Symposium and ESDA EOS TR

WP433_03_060313

図 3: コンポーネントおよびシステム ESD/EOS のフィッシュボーン図

まとめ

EOS およびシステム レベル ESD イベントは、工場とフィールドの両方で電気的故障の主な原因となっています。業界のトレンドとして、28 nm 世代以降は ESD/EOS 耐性がさらに低下していきます。ESD/EOS による損傷は回復不能な損傷であるため、予防こそが唯一の解決策となります。この取り組みの第一歩は、ESD/EOS イベントに対する認識を高めることであり、その後に軽減策を講じる必要があります。AMD のサポート チームは、顧客に対してベスト プラクティスおよび予防策に関する助言とコンサルティングを提供しています。

その他のリソース

AMD デバイスの信頼性テストのデータおよび結果についてのまとめは、『デバイス信頼性レポート』(UG116) を参照してください。このレポートは年 4 回更新されます。

参考資料

1. Threshold: Electrostatic Discharge Association (ESDA) ニュースレター Vol.29 No.2 (2013 年 3/4 月)、ダウンロード: http://esda.org/threshold_archives.cfm
2. 7 シリーズ FPGA の絶対最大定格 (AMR)。各 7 シリーズ FPGA デバイスのデータシートで表 1 「絶対最大定格」を参照してください。

   『Artix 7 FPGA データシート: DC 特性および AC スイッチ特性』(DS181)

   『Kintex 7 FPGA データシート: DC 特性および AC スイッチ特性』(DS182)

   『Virtex 7 T/XT FPGA データシート: DC 特性および AC スイッチ特性』(DS183)
3. XC デバイス: 人体モデル (HBM): **ANSI/ESDA/JEDEC JS-001**
   XA デバイス: 人体モデル (HBM): **AEC-Q100-002**
4. XC デバイス: デバイス帯電モデル (CDM): **JESD22-C101**
   XA デバイス: デバイス帯電モデル (CDM): **AEC-Q100-011**
5. HBM/MM 認証に推奨される ESD 目標レベル: JEDEC、JEP155 参照。ダウンロード (要登録): http://www.jedec.org/standards-documents/docs/jep-155
6. CDM ESD 仕様および要件: Industry Council on ESD Target Levels のウェブサイト http://www.esdindustrycouncil.org/ic/en/

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2013 年 6 月 24 日	1.0	初版

免責事項

本資料に掲載されている情報は情報提供のみを目的としており、技術的に不正確な情報、省略、誤植を含む可能性があります。ここに記載の情報は、製品およびロードマップの変更、コンポーネントとマザーボードのバージョン変更、新しいモデルや製品のリリース、製造業者の違いによる製品の差異、ソフトウェア変更、BIOS のフラッシュ、ファームウェア アップグレードなどを含む (ただしこれに限定されない) 多くの理由によって変更される場合があり、不正確となる可能性があります。いかなるコンピューター システムにも完全に防止または軽減できないセキュリティの脆弱性のリスクが存在します。AMD は、情報の更新、または修正や改訂について一切の義務を負わないものとします。ただし AMD は本情報を改訂してその内容を随時変更する権利を有し、その改訂または変更に関して通知する義務は負いません。本情報は「現状有姿」で提供されます。AMD は本書の内容について一切の表明も保証も行わないものとし、本情報の不正確さ、誤り、省略について一切の責任を負いません。また、AMD は非侵害性、商品性、または特定目的適合性に関する黙示的保証を行わないものとします。AMD は本資料に含まれる情報の使用に起因する依存、直接、間接、特別、または結果的な損害に対して、AMD が当該の損害の可能性を知らされていた場合であっても、責任を負うことはありません。

この資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@amd.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。フィードバックは日本語で入力可能です。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。