



XAPP1083 (v1.0.1) 2013 年 6 月 17 日

# XG-PON アプリケーション向けフラクショナルバースト クロック データ リカバリ (BCDR)

著者 : Paolo Novellini, Massimo Chirico

## 概要

このアプリケーション ノートでは、10 ギガビット パッシブ光ネットワーク (XG-PON) 環境で動作する光回線終端装置 (OLT) 向けの、ITU.T G987 に準拠するフラクショナルバースト クロック データ リカバリ (BCDR) 回路について説明します。

## はじめに

XG-PON は、ITU-T の次世代光アクセス技術です。XG-PON 環境で最も難しいコンポーネントの 1 つは、2.488 Gb/s のバースト信号に対して実行する BCDR です。

このアプリケーション ノートで説明する完全同期のオーバーサンプリング技術をベースとした BCDR 回路は、オーバーサンプリング レート要件が最小で、高度にパイプライン化されたオーバーサンプリング技術であることから、Kintex®-7 および Virtex®-7 FPGA に最適です。スピード グレード要件は、12.44Gb/s で動作する GTX トランシーバーのみを対象としています。

## 機能

このアプリケーション ノートで説明する BCDR 回路には、次のような特長があります。

- 完全同期デザイン：フラクショナルな特性を持つ BCDR コアは TX パスと RX パスに異なる基準クロックを選択できますが、送信パスにクロック周波数を再利用することも可能です。
  - 80 ビット データパス
  - 155.52MHz で駆動するシングル クロック
- 完全にフラクショナルなデザイン：オーバーサンプリング レートとデータ レートの比率は整数または分数が可能です。つまり、このコアはあらゆるレート、そして基準クロックで動作できます。推奨される動作条件は、この比率が 5 です。デザインのその他の特長は次のとおりです。
  - フラクショナル レベルを動作中にプログラム可能
  - フラクショナルなバースト データの取得
  - 1.244Gb/s および 2.488Gb/s のバースト動作
- プリアンブル長をプログラム可能 (最大 32 ビット)：プリアンブル長は、連続する 01 ビットの最小数を認識してプリアンブルをフラグします。プリアンブル長が長い場合は、複数の連続するプリアンブルが BCDR によってフラグされます。推奨値は 32 です。
- トラッキング中に無瞬断でプログラム可能な帯域幅：このコアは、ペイロード中にジッターをトラッキングできます (バースト エリア外など)。堅牢性を向上させるために、ランタイム時にユーザーが帯域幅を調整できます。
- バースト データの取得中に平均化レベルをプログラム可能 (16、32、64、128 ビット)：連続する 32 ビットのプリアンブルに含まれる統計情報を使用して、バースト中の位相予測の精度を上げることができます。この値は、OLT で指定されたプリアンブル長よりも少ないビット数になることを推奨しています。

## XG-PON ネットワークの概要

このセクションでは、設計経験が豊富なユーザーを対象としたオプションについて説明します。主にトポロジーの観点から XG-PON アクセス ネットワークの動作原則について解説します。

図 1 に、ダウンストリーム伝送用の XG-PON アーキテクチャを示します。OLT が 9.95Gb/s でパッシブスプリッターへ 1 つの光データ ストリームを送信します。スプリッターは、そのデータ ストリームを複製して各光ネットワーク終端 (ONT) へ伝送します。このダウンストリーム データ伝送は連続的な動作であるため、ONT はバースト動作しません。すべての ONT で受信されるデータは同じですが、スロットとして既知の一部のみ各 ONT でデコードされます。

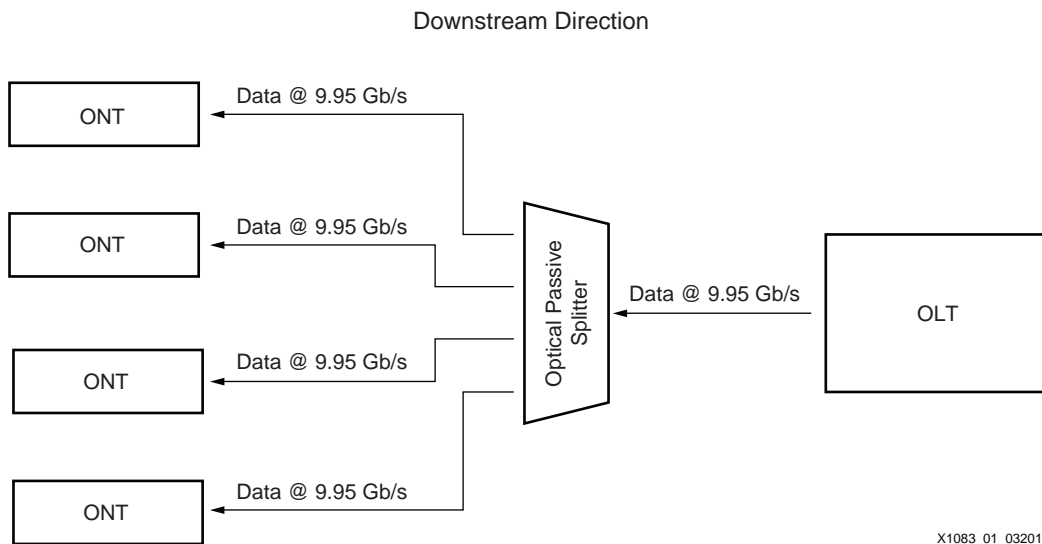


図 1 : ダウンストリーム伝送用の XG-PON アーキテクチャ

図 2 では、各 ONT が受信データに重畳されたクロックを再生してクリーンアップし、アップストリーム伝送用に再利用するフローを示しています。アップストリームの実効速度は 2.488 Gb/s です。各 ONT は同じ周波数でデータを伝送します。しかし、異なる ONT から伝送されるデータは、まったく制御されていない位相で OLT に到達し、時間の経過や温度によって大きくばらつきます。データの衝突を回避するために、各 ONT は許可されたタイム スロット期間中のみデータを送信する必要があります。ONT 間での時分割は、OLT 媒体アクセス制御 (MAC) 層で制御されます。

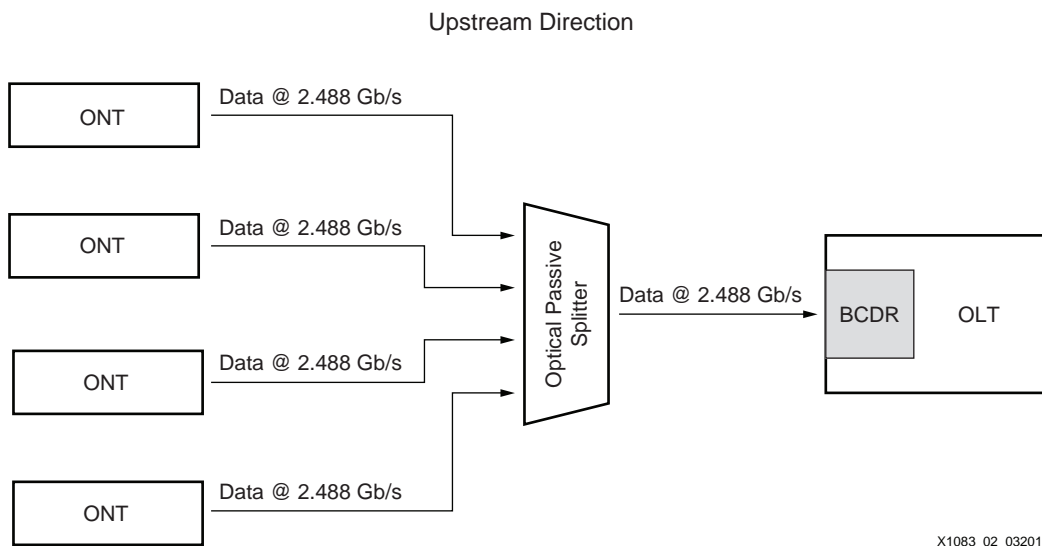


図 2 : アップストリー伝送用の XG-PON アーキテクチャ

新しい ONT が OLT へのデータ送信を許可されると、BCDR がその位相を取得して各バーストの未処理データを抽出します。各バーストでは、BCDR が次の動作を実行するために十分な時間が割り当てられています。

- サンプル位相を取得する。
- パケットの開始/パケットの終了を認識し、パケット境界を判断する。
- ONT にガード タイムを与え、レーザー光源のオン/オフを切り換える。
- OLT の自動ゲイン イコライザーを有効にして周波数を補正する。

これらの動作によってアップストリーム伝送の効率が向上します。ダウンストリーム伝送は、連続動作するため、アップストリーム伝送よりかなり効率性に優れています。一般に、アップストリームよりもダウンストリームで高帯域幅が必要とされるため、この構造的な性能制限は、アプリケーション要件に適合しています。図 3 に、ダウンストリームとアップストリームのデータフローを示し、アップストリーム伝送でのみ必要なプリアンブル部分も示します。プリアンブルは、10 ビット パターンの繰り返しです。このパターンによって、プリアンブルに最大限の統計情報が反映され、全体的なアップストリームの効率が高められます。パターンの長さは、BCDR がバースト位相を取得できる十分な値に OLT で設定されます。図 3 の下部に、位相の構成例を示します。

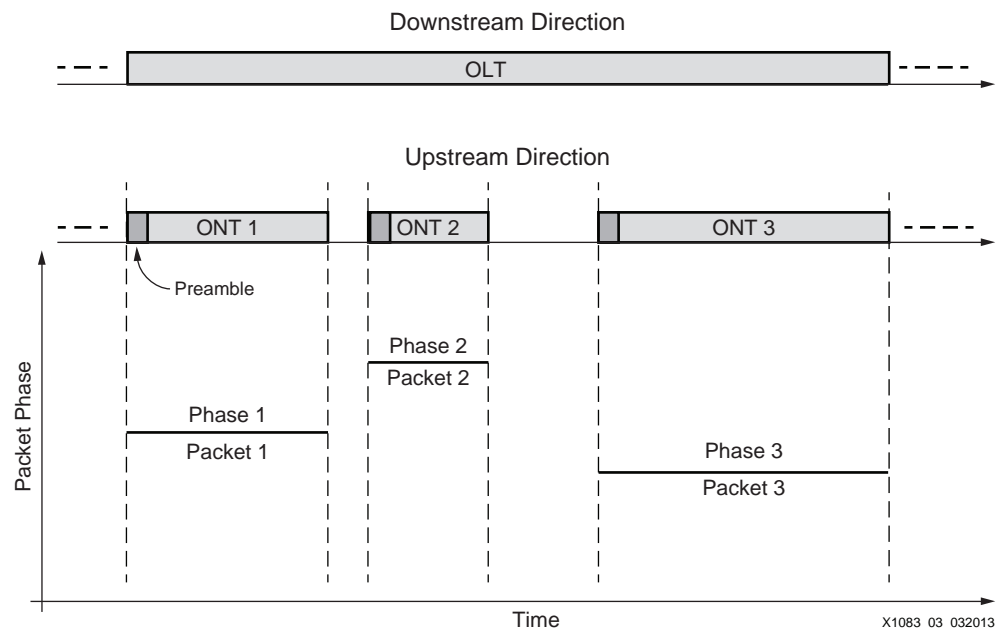


図 3：アップストリームおよびダウンストリーム伝送用の XG-PON アーキテクチャ

注記：このアプリケーション ノートの BCDR は、いかなるプリアンブル長にも対応できますが、バースト位相の取得中に適切な位相情報を提供するには、プリアンブル長を 32 ビット以上に設定することを推奨します。

## 回路の説明

図 4 に、BCDR のアーキテクチャおよび関連する入力と出力を示します。80 ビット幅のデシリアライズされたデータが上下に分岐しています。

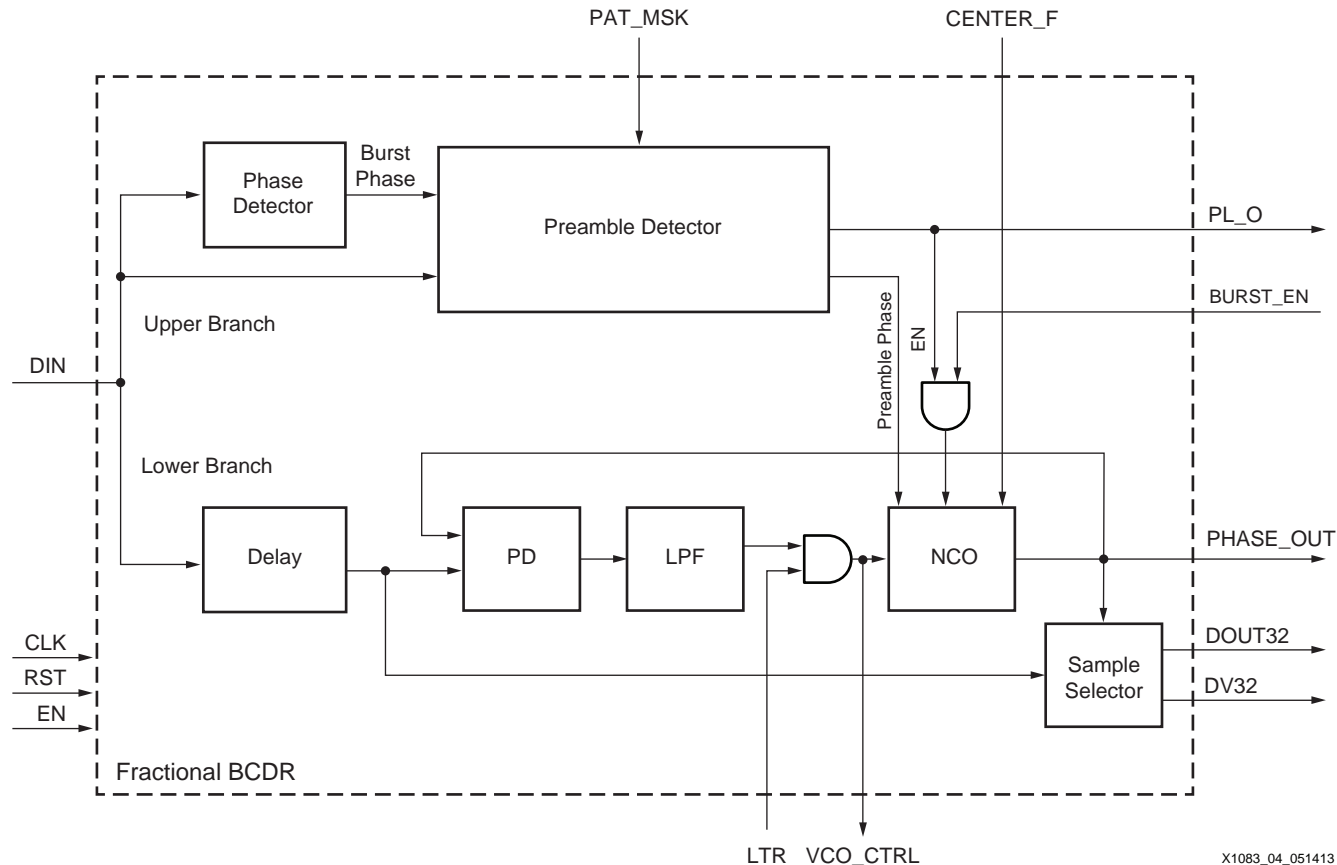


図 4：フラクショナル BCDR アーキテクチャの簡略図

下方の分岐部分 (ブランチ) は遅延データに対応し、数値制御型オシレーター (NCO) を継続的に調節して、入力されるデータ エッジをトラッキングします。各未処理サンプルは、 $-180$ 度  $\sim$   $+180$ 度の位相に関連付けられます。0 度に最も近い位相 (アイ ダイアグラムの中心に最も近い位置) にある未処理サンプルがサンプル セクタ ブロックで抽出されます。このブランチでは、標準的な時定数 (プリアンブル時間よりもかなり長い) を使用して位相の変化をトラッキングします。このように下方ブランチのループは位相変化やジッターをトラッキングしますが、バーストはトラッキングされません。

この遅延エレメントによって、上方のブランチではプリアンブルを認識でき、多数の連続するエッジの位相情報を平均化して位相を予測できます。連続するエッジを 1 つのプリアンブルとして認識するとすぐに、下方ブランチの NCO が 1 サイクル間制御されて、新しいパケットに揃えられます。下方ブランチの位相検出器にバーストが入力される直前に NCO が調整されるため、下方ブランチがバースト位相に対応する必要はありません。

デバッグ時には、BURST\_EN を 0 に設定してバースト挿入機能を無効にできます。これは、BCDR の特性を示す設定です。詳細は、7 ページの「BCDR シミュレーション テストベンチ」を参照してください。NCO の位相はデバッグ用に PHASE\_OUT (15  $\sim$  0) 信号を介して、シミュレーションとハードウェアの両方で継続的にモニタリングできます。

BCDR コア  
ポート

表 1 では、BCDR コアのポートについて説明します。

表 1 : BCDR コアのポート説明

ポート	種類	デフォルト	説明	コメント
CLK	IN std_logic	N/A	クロック	一般的に SerDes から 155.52MHz の refclk が必要です。
RST	IN std_logic	1	リセット	アクティブ Low で動作します。
EN	IN std_logic	1	イネーブルピン	BCDR のすべての内部プロセスへ接続されます。1 に設定します。
DIN	IN std_logic_vector(79 ~ 0)	N/A	データ入力	一般的に、Msb が最後に入力されます。7 シリーズ SerDes と同じ規則です。
DOUT32	std_logic_vector(31 ~ 0)	N/A	データ出力	一般的に、Msb が最後に入力されます。データは、32 ビットでグループ化されます。
DV32	OUT std_logic	N/A	出力データが有効	High のとき、DOUT32 が有効になります。
CENTER_F	IN std_logic_vector(36 ~ 0)	10000000 00000000 00000000 00000000 00000000	中心周波数	オーバーサンプリング データ レートと入力されるデータ レートの割合 (分数) を設定します。CENTER_F はデフォルトで h1000000000 に設定されている必要があります。
PAT_MSK	IN std_logic_vector(5 ~ 0)	100000	パターン マスク	符号なしの 10 進数で、デフォルト値は 32 です。プリアンブルで検出するビット数を BCDR に指定します。
BURST_EN	IN std_logic	1	プリアンブル検出を駆動	デフォルト値が 1 のデバッグ信号です。0 に設定されている場合、バーストは検出されませんが、NCO の位相は調整されません。
BDW	IN std_logic_vector(4 ~ 0)	1010	トラッキング帯域幅	01010 に設定します。1 つ下げることにより、トラッキング時の CDR 帯域幅が 2 倍になります。
PL_O	OUT std_logic	N/A	バースト検出	プリアンブルが検出されたことを示すデバッグ信号です。
AVE_SEL	IN std_logic_vector(1 ~ 0)	0	平均化レベル	パケットの開始位相を予測するために使用するプリアンブル ビット数を示す符号なし整数です。 0 : 16 1 : 32 2 : 64 3 : 128 デフォルト値は 0 です。
PHE_BST_DRU	OUT std_logic_vector(15 ~ 0)	N/A		BCDR の下位ブランチが示す位相検出器エラーです。
PHE_BST_BURST	OUT std_logic_vector(15 ~ 0)	N/A		デバッグ信号。BCDR で確認された、入力されるパケットの位相プロファイルを示します。
PHE_BST_BURST_AVE	OUT std_logic_vector(15 ~ 0)	N/A		デバッグ信号。PHE_BST_DRU と PHE_BST_BURST の平均を示します。



## BCDR シミュレーション テストベンチ

### シミュレーション環境のセットアップ

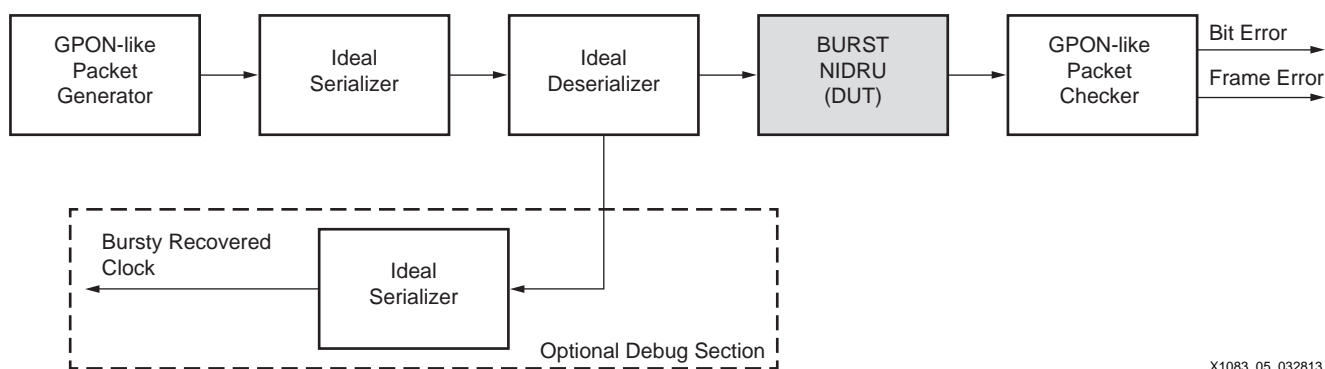
BCDR シミュレーション テストベンチを実行します。

1. ModelSim の作業ディレクトリを simulation フォルダへ変更します。
2. ModelSim から runsim.do スクリプトを実行します。
3. vmap コマンドを使用してスクリプトに work ライブラリをマップします。
4. リフレッシュします (リフレッシュ コマンド)。

シミュレーション スクリプトは、すべてのテストベンチ ファイルをコンパイルし、シミュレーションを実行して、シミュレーション信号を表す波形を構成します。

### シミュレーション テスト結果

図 5 に、BCDR NIDRU (Non-Integer Data Recovery Unit) テストベンチ アーキテクチャを示します。



X1083\_05\_032813

図 5 : BURST NIDRU テストベンチ アーキテクチャのブロック図

シミュレーション テストベンチのブロック図には、次のコンポーネントが含まれます。

- G-PON 相当のパターン ジェネレーター
- ONT で SerDes トランスミッターをエミュレートする理想的なシリアライザー
- Lock-to-Reference モードで SerDes レシーバーをエミュレートする理想的なデシリアライザー
- G-PON 相当のパターン チェッカー
- デバッグ用にバーストのリカバリ クロックを再生成するオプション部分

実際の SerDes モデルの代わりに理想的なシリアライザー/デシリアライザーを使用することで、シミュレーション プラットフォームに独自性を持たせシミュレーション時間を短縮します。

図 6 に、G-PON 相当のフレームの構造を示します。

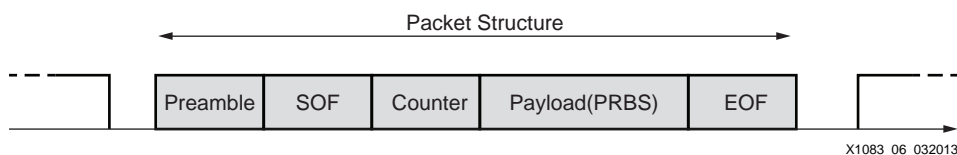


図 6 : バースト NIDRU をテストするための G-PON 相当のフレーム

G-PON 相当のパターン ジェネレーターは、プリアンブルと SOF (フレームの開始) を先頭に持つフレームを生成します。SOF の後には、1 フレームごとに増加して一周して初期値に戻る 16 ビットのカウンターがあります。ペイロードは、断続的 PRBS23 パターンです。

プリアンブルには 1 と 0 が交互に配置された 48 ビットがあります。パターンの開始は F628F628 に固定されており、長さは 32 ビットです。3 ビットが常に 0 にセットされ、その後の 16 ビットがカウンターになります。カウンターがパターンの開始をエミュレートしないように、0 がインプリメントされています。

注記：パターンの開始値 F628F628 は、同期デジタル階層 (SDH) 環境において一般的に選択されている値です。

すべてのビット エラーは、断続的 PRBS23 エラー チェッカーで検出されます。テストベンチの dt\_burst\_check 出力が 0 でない場合は、少なくとも 1 ビットのエラーが検出されたことになります。G-PON 相当のパケット チェッカーはフレーム カウンターを使用して、1 つまたは複数パケットがスキップされたことを認識します。この状態は、FRAME\_ERR が 1 にパルスされることで示されます。FRAME\_ALIGN は、常に NOT (FRAME\_ERR) を示すため重複信号となります。

### BCDR シミュレーション信号の説明

表 3 では、シミュレーション ウィンドウに表示される信号について説明します。

表 3 : BCDR シミュレーション信号

信号名	タイプ	説明
FRAME_ALIGN	ビット	シーケンス外のパケットが検出されると、G-PON 相当のパターンチェッカーによって 1 にセットされます。
PRBES_ERR	ビット	すべて 0 の場合は、各パケットのペイロードにエラーがないことを意味します。
BURST_EN	ビット	0 の場合は、BCDR のバースト検出機能が無効になります。これはデバッグ時の状態です。この信号は、BCDR コアの BURST_EN 入力へ直接接続されます。
FR_START	ビット	G-PON 相当のパケット レシーバーからの信号です。G-PON 相当のパケット レシーバーで確認されたフレームの開始を示します。
FR_END	ビット	G-PON 相当のパケット レシーバーからの信号です。G-PON 相当のパケット レシーバーで確認されたフレームの終わりを示します。
FR_NM	ビット	G-PON 相当のパケット チェッカーで確認されたフレーム数を示します。スキップされたパケットは、常にビット エラーを生成し FRAME_ALIGN を一時的に 0 にします。
FR_LOSS	ビット	常に NOT (fr_align) を示します。したがって重複信号になります。
DT_IN	ビット	シリアル データ入力です。
RIT_INT	時間	DT_IN に適用された伝搬遅延です。
/INST_G-PON_PSEUDO_GEN/CNT	16 ビットベクター	G-PON 相当のパケット ジェネレーターで挿入された、符号なしのパケット数を示します。
/INST_G-PON_PSEUDO_CHECKER/CNT	16 ビットベクター	G-PON 相当のパケット チェッカーで確認された、符号なしパケット数を示します。
EN_HAMMER	ビット	1 に設定された場合、連続して送信されるパケットには 0.5UI の位相差が生じます。
AVE_SEL	2 ビットベクター	詳細は、5 ページの表 1 を参照してください。
PHE_BST_DRU	16 ビットベクター	符号付きの出力です。BCDR で確認された、入力されるデータの位相プロファイルを示します。
PHE_BURST_AVE	16 ビットベクター	PHE_BST_DRU の平均を示します。
DLY_INC	時間	シリアル入力データへ適用された追加の伝搬遅延を示します。

## BCDR のシミュレーション シーケンス

シミュレーションは次の 2 つ段階で実行されます。

1. 最大約 1.5ms 間、デバッグ信号 BURST\_EN を 0 にセットします (デバッグ状態)。
2. その後、1 にセットします (デフォルト)。

図 7 に、バースト挿入機能が無効に設定された場合の BCDR のビヘイビアーを示します。BURST\_EN が 0 から 1 へ変更するシミュレーションを拡大表示しています。

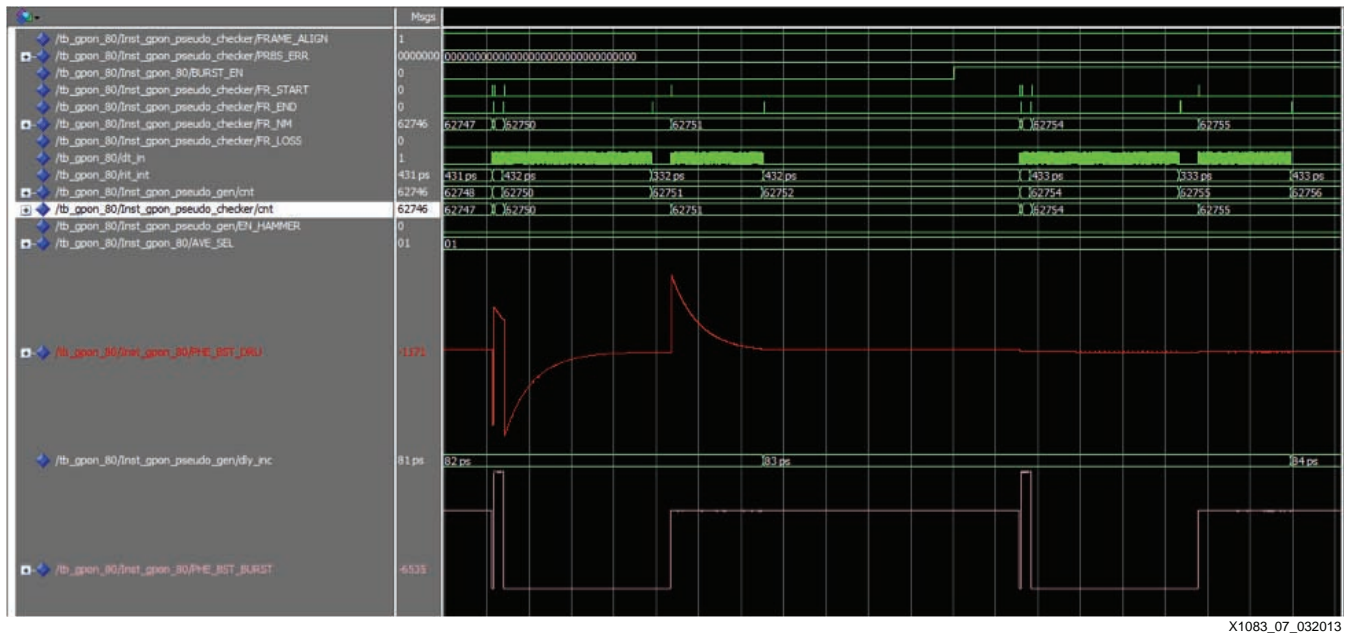


図 7 : バースト検出機能の結果

左半分のシミュレーションでは、バースト検出機能が無効になっています (デバッグ状態)。シミュレーション画面に赤色表示された位相エラーは、下方ブランチのトラッキング ループによって、即座に補正されてエラーが軽減されています。ピンク色のトレースは、BCDR で確認された入力データの位相プロファイルです。右半分はプリアンプル検出器が有効になった状態を示し、各パケットの開始時に、入力されるデータの位相に対して NCO が調整されます。位相エラーは、トラッキング ループによって常時 0 付近に維持されます。このビヘイビアーは、動作を継続する CDR では容認できますが、BCDR では各パケットの始めにあるビットが不正にデコードされる可能性があるため容認されません。

右半分のシミュレーションは、BURST\_EN = 1 (動作状態) の結果を示しています。トラッキング ループがパケットの開始で実行されているため、開始時の位相エラーは最小限に抑えられています。BCDR の役割は、プリアンプルビットのみを犠牲にして、パケットの全ビットを正確にデコードすることです。

BURST\_EN が 1 に設定されている場合のみ、G-PON 相当のパターンチェッカーからの 2 つの信号によってビット エラーの検出やフレームの損失の判断が可能になります。

- **prbs\_err** : 1 つ以上のビット エラーが検出された場合に 1 にセットされるため、このビットは常に 0 となっているべきものです。
- **Packet number** : この値は、時間の経過と共に増加します。フレームにペイロード (断続的 PRBS) が含まれているため、1 ビット エラーや単純なパケット スキップは、PRBS エラーで認識されます。

カウンターが徐々に増加し、さらに prbs\_err が 0 の場合は、システムが正常動作しています。prbs\_err が 0 であるだけではパケットが検出されていない可能性があるため、システムが正常動作しているとは断定できません。したがって、パケット数が徐々に増加することは重要なポイントです。

シミュレーションでは、長さの異なる 4 つのパケットが 125 $\mu$ s ごとに周期的に生成されます。この情報はレシーバーで使用されないため、シミュレーションではテストベンチの周期的な性質をそのまま使用します。

シミュレーションでは、遅延が与えられて 4 パケットの各グループの始めに 1ps ステップが追加されます。この遅延増加の目的は、ローカル クロックに対して有効な入力位相すべてをスキャンし、位相検出器が  $2\pi$  に渡って偏ることなく動作するようにすることです。1ps は 0.9 度または 2.5mUI に相当します。入力されるパケットの位相プロファイルは、時間経過に伴ってゆっくりと変化します。

最初のパケットの位相が各サイクルで 1ps 増加する一方、2 番目のパケットの位相は最初のパケットに対して 0.5UI 後方へシフトされます。このテストは、パケット間において最大の位相変化条件として 0.5UI をレシーバーに与えても、各フレームがビット エラーなしでキャプチャできるかを検証することを目的としています。これは、シミュレーションおよびハードウェア テスト中に実施される最も意義深いテストです。したがって、このアプリケーション ノートではハンマー テストと呼びます。

## KC724 ボード上のハードウェアテストベンチ


### ハードウェア テストベンチのセットアップ

implement ディレクトリ内に Windows 用の `implement.bat` と Linux 用の `implement.sh` スクリプトがあります。これらのスクリプトは、KC724 特性評価ボードに搭載された Kintex-7 XC7K325T-3FPGG900 デバイス ベースの BCDR レシーバー サンプル デザインをインプリメントするために必要となります。

FPGA コンフィギュレーション ファイル (`tb_hw.bit`) はすでに生成されているため、すぐに使用できます。ファイルを FPGA ヘダウンロードした後、`tb_hw.cpj` ファイルを使用して VIO (Virtual Input/Output) モジュールおよび ILA (Integrated Logic Analyzer) コアを使用するよう ChipScope™ Pro Analyzer を設定できます。

### 基準クロックのセットアップ

このインプリメンテーションでは、KC724 特性評価ボードのプログラマブル クロック ジェネレーターで 155.52MHz のクロックを生成します。ChipScope Pro Analyzer を使用してクロック ジェネレーターをプログラムする手順は次のとおりです。

1. `/superclock2/` の下にあるビット ファイルおよびコンフィギュレーション ファイルを使用して FPGA をプログラムします。
2. VIO コンソールを開きます。
3.  8 のようにモジュールをコンフィギュレーションします。
4. このウィンドウで、すべてのクロック ジェネレーター モジュールの出力が 155.52MHz に設定されていることを確認します。
5. トランスミッター用に生成された基準クロックは Quad 115 の `refclk1` へ接続します。
6. レシーバー用に生成された基準クロックは Quad 118 の `refclk1` へ接続します。

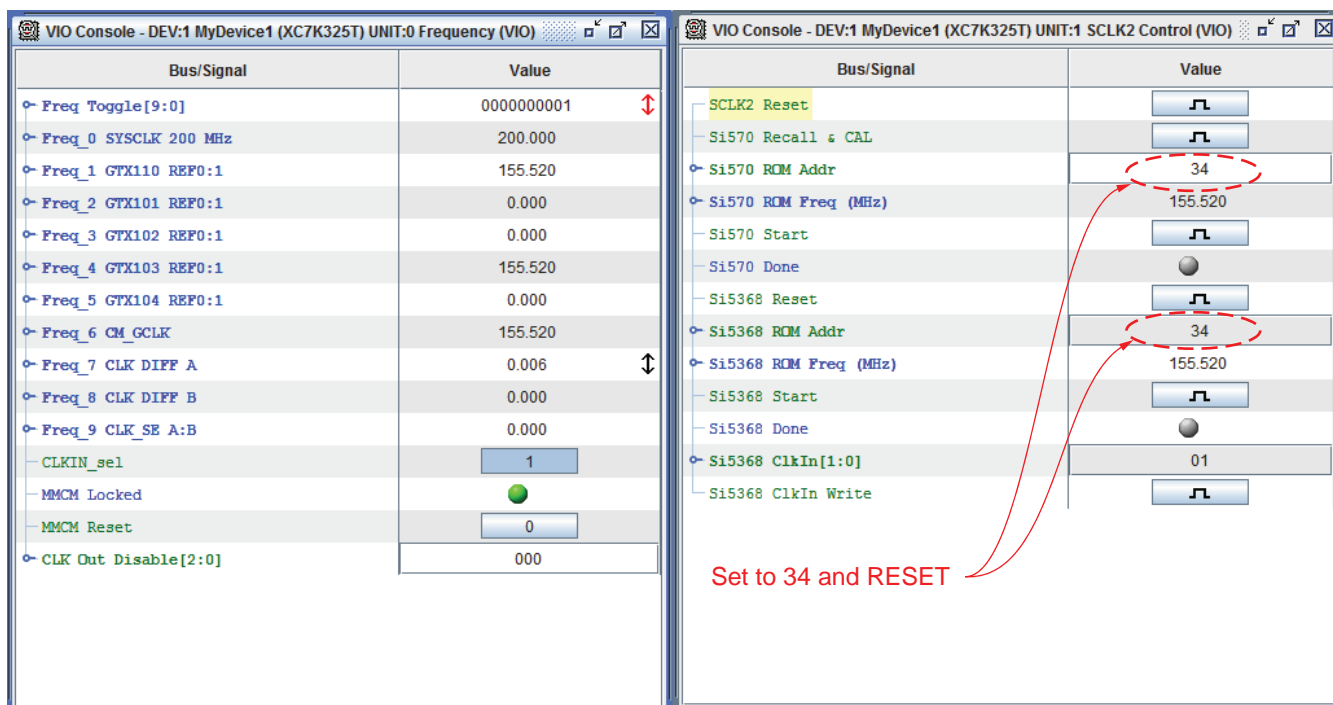


図 8 : Superclock 2 モジュールの設定

注記：トランスミッターとレシーバーは共に DC カップルしてバースト パケット伝送の信頼性を高める必要があります。

#### その他のリソース

これらのプローブ信号はコアのデバッグに有効です。

- AH29 の RXUSERCLK2
- AH29 の TXUSERCLK2
- D18 の ASYNC 信号

注記：SYNC 信号は、リアルタイム スコープをトリガーするために 125 $\mu$ s ごとに有効になるパルスです。これらの情報は最上位の UCF ファイルにすべて抽出し、クロスチェックできます。

特性評価ボードのパラメーター変更には追加の外部クロックは必要ないため、UCF ファイルを変更するのみです。

サンプル デザイン ファイル (tb\_hw.bit) と専用の ChipScope Pro プロジェクト ファイル (tb\_hw.cpj) は、implement ディレクトリからロード可能です。図 9 に、参照用として VIO コンソールを示します。



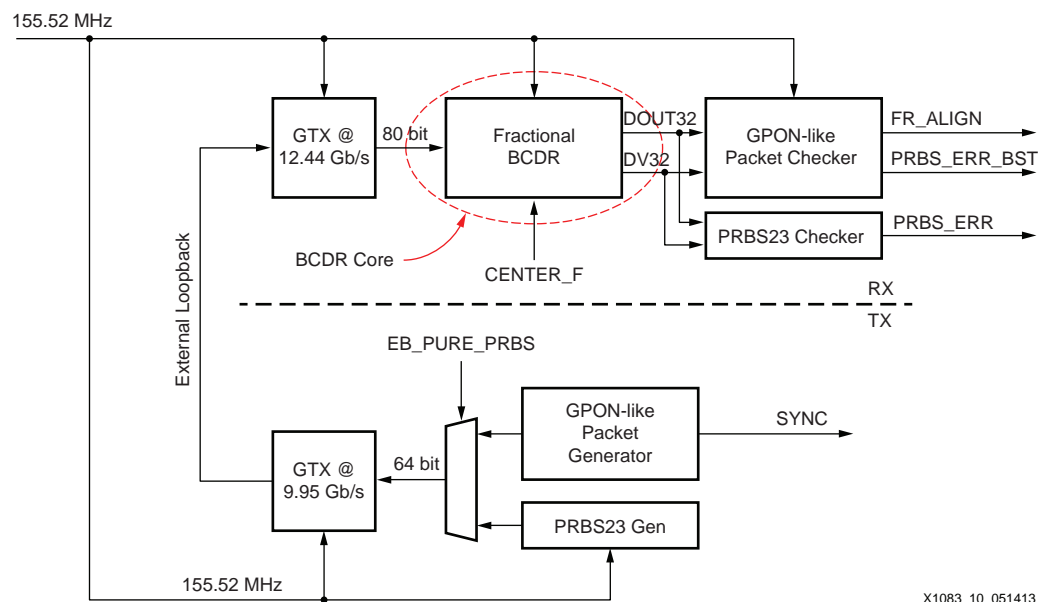


図 10 : BCDR ハードウェア テストベンチのブロック図

ハードウェアのセットアップには、G-PON 相当のパターンジェネレーターおよびチェッカーが含まれ、180度のパケット間位相ジャンプを生成できます (EN\_HAMMER が 1 に設定されている場合)。

トランスミッターは、G-PON 相当のパターンまたは PRBS のいずれかを生成できます。レーザーは両方を照合できます。これらすべては、ChipScope Pro モジュールで制御されます。チェッカーのエラー出力は、デザインにすでに組み込まれている ILA モジュールのトリガー信号として使用可能です。

**注記：**理論的および実用的な PRBS の使用事例については、『属性が変更可能な PRBS ジェネレーターおよびチェッカー』(XAPP884) を参照してください。

G-PON 相当のパケットジェネレーターは 125 $\mu$ s ごとに SYNC 信号も生成するため、これによってリアルタイム スコープがトリガーされ、伝送された各パケットを簡単に確認できるようになります。これは FPGA の K39 ピンで可能です。このサンプル デザインでは、BCDR レシーバーが Quad 118 の SerDes を使用し、G-PON-like トランスミッターが Quad 115 の SerDes を使用しています。これらの QPLL は異なる周波数で動作するため、2つのクワッドが必要です。

### ハンマー テストの実行

BCDR 回路のハンマー テスト実行手順を次に示します。

1. トランスミッターをリセット : トランスミッターの QPLL リセット信号をパルスし、次に TX REST をパルスします。その後、TXRESETDONE が High に遷移します。TX RESET 信号の制御および TXRESETDONE 信号のモニタリングは、ChipScope Pro Analyzer で行われます。
2. レシーバーをリセット : レシーバーの QPLL リセット信号をパルスし、次に RX RESET をパルスします。その後、RXRESETDONE が High に遷移します。RX RESET 信号の制御および RXRESETDONE 信号のモニタリングは、ChipScope Pro Analyzer で行われます。
3. PRBS を送信 : RES\_N をパルスします。これですべてのテストベンチがリセットされます。GT トランシーバーは、このリセット信号の影響を受けません。
4. EN\_PURE\_PRBS を 1 に設定 : スコープで PRBS 信号が 2.488Gb/s で送信されていることを確認します。
5. LPM イコライザーを有効に設定し、自動適応機能を無効に設定 :
  - a. VIO コンソールで LPM\_EN を 1 に設定します。ChipScope Pro Analyzer で永久的に 1 に設定することも可能です。

- b. LPM\_LF\_OVDR\_EN = LPM\_HF\_OVDR\_EN = 1 に設定し、レシーバー イコライザーが確実に一定のレベルになるようにします。
  - c. ILA で PRBS\_CHECK 信号をモニタリングし、PRBS が正常に受信されているかを確認します。このとき、エラーがないことを確認します。
  - d. PRBS ループバック テストを実行して、ボードが BCDR 回路テストを開始できるように準備します。  
注記：BCDR はすでに動作していますが、上位ブランチではデータ ストリームのプリアンブルを検出しません。
  - e. EN\_PURE\_PRBS を 0 に設定し、バースト パターンをオンにします。  
注記：9 ページの「BCDR のシミュレーション シーケンス」で説明したとおり、PACKET\_NUMBER が徐々に増加し、BURST\_ERROR\_COUNTER がカウントしなければ、このデモンストレーションは正常に動作していることとなります。BURST\_ERROR\_COUNTER を 0 にリセットする場合は、ChipScope Pro Analyzer VIO の RESET\_BURST\_COUNT をパルスしてください。
6. ハンマー テストを有効/無効に設定：トランスミッターが可変長バーストを送信します。各パケットには断続的 PRBS が含まれているため、ビット エラーが生じたり、パケットの開始が検出されない場合は即座にバースト チェッカーがエラーを示します。長期テスト用には、エラー カウンターが提供されています。
- a. EN\_HAMMER を使用してハンマー テストを有効または無効に設定します。BURST\_EN で BCDR のバーストをトラッキングする機能を有効にします。BURST\_EN を 1 に設定し、ハンマー テスト中にエラーが生じないようにします。
  - b. ChipScope Pro Analyzer の plot ウィンドウで、入力されるパケットの位相プロファイルや BCDR の予想された位相をトラッキングします。ハンマー テストが無効の場合、バーストデータの取得機能のオン/オフに関係なく、BCDR がエラーなしで実行されます。

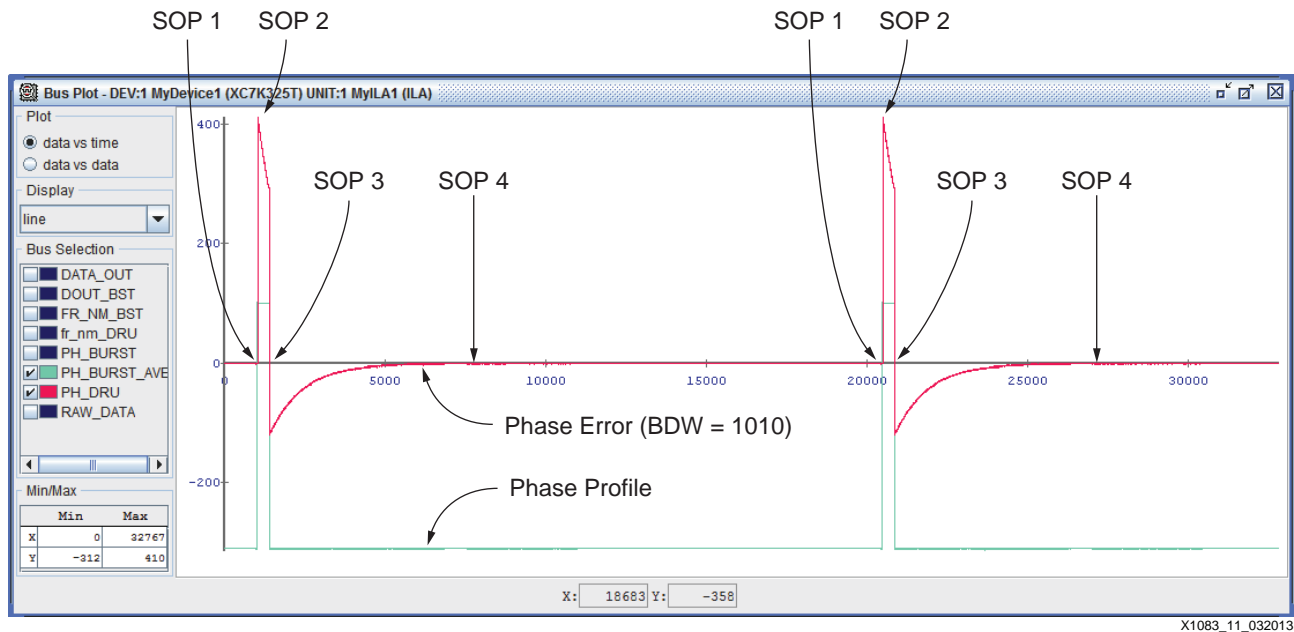
## BCDR テスト結果の解析

ここでは、表示された測定結果のスクリーン ショットを用いて、BCDR 動作およびテスト結果についてわかりやすく説明します。

注記：このセクションでは、トレースおよびラインを赤色や青色で表示するスクリーン技術を用いて説明しています。わかりやすいように、このアプリケーション ノートをカラー表示またはカラー印刷で参照してください。

### BURST\_EN を 0 に設定した場合

図 11 に、BURST\_EN が 0、帯域幅が 1010 に設定された場合に測定されたパケット位相および BCDR 位相エラーを示します。青色のラインは、BCDR で測定された入力されるパケットの位相プロファイルです。縦軸上では、1,024 ステップが 360 度に相当します。5 倍オーバーサンプラーの場合、分解能は 72 度に制限されます。



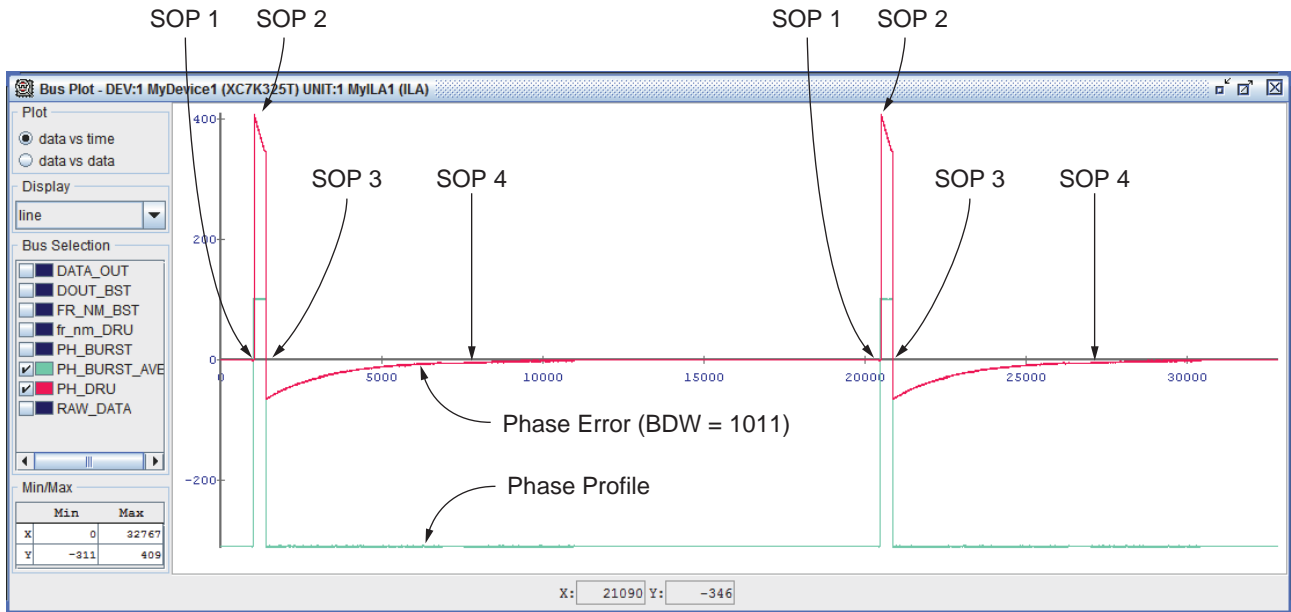
X1083\_11\_032013

図 11 : 位相パケット (青色) および BCDR 位相エラー (赤色) — BURST\_EN は 0、帯域幅は 1010

4つのパケットが測定されています。各パケットの SOP (パケットの開始) が示されています。パケット 1 とパケット 2 の間、およびパケット 2 とパケット 3 の間には 180 度の位相ジャンプがあります。これは、位相プロファイルで確認できます。EN\_HAMMER が 0 に設定される場合は、位相ジャンプがなくなり、青色のラインがフラットになることが予想されます。

BURST\_EN が 0 に設定された場合、BCDR はバーストを検出 (各パケットの開始点で PL\_O が 1 になる) しますが、NCO をプリセットしません。このため、赤色で表示された位相エラーがパケット開始時点で大きく現れ、BCDR によって徐々に修正されています。この急激な変化は赤色のラインで確認でき、これは下方ブランチにある位相検出器出力の位相エラーです。時定数は、BDW ポートで数値制御されます。

たとえば、図 12 は図 11 と同じ測定法を表していますが、帯域幅が 1011 に設定されているため、CDR 帯域幅が半分に減少しています。

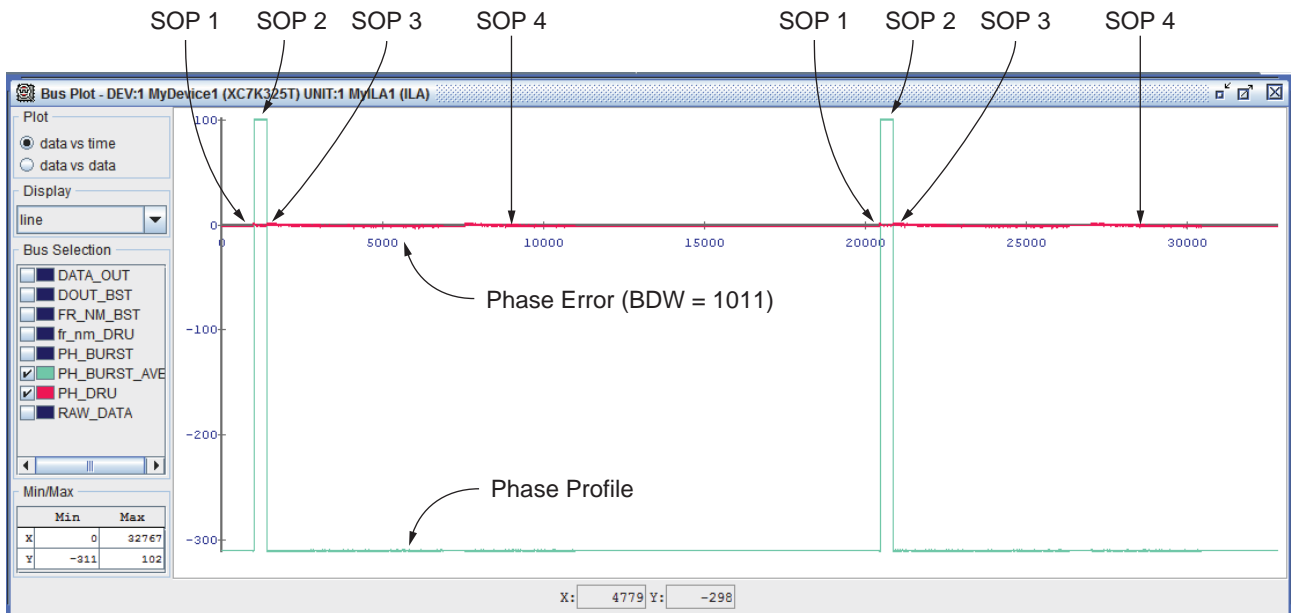


X1083\_12\_032013

図 12 : パケット位相 (青色) および BCDR 位相エラー (赤色) — BURST\_EN は 0、帯域幅は 1011

### BURST\_EN を 1 に設定した場合

図 13 は、ハンマーテストを実施した場合に、BCDR で位相エラーが確認されない状況を示しています。これは、プリアンプルが検出されるとすぐに、内部 NCO がクロックの 1 サイクル以内に予測されたパケット位相の開始点へ調整されるためです。したがって、連続するパケットには BCDR の下方ブランチで補正される位相ジャンプがありません。

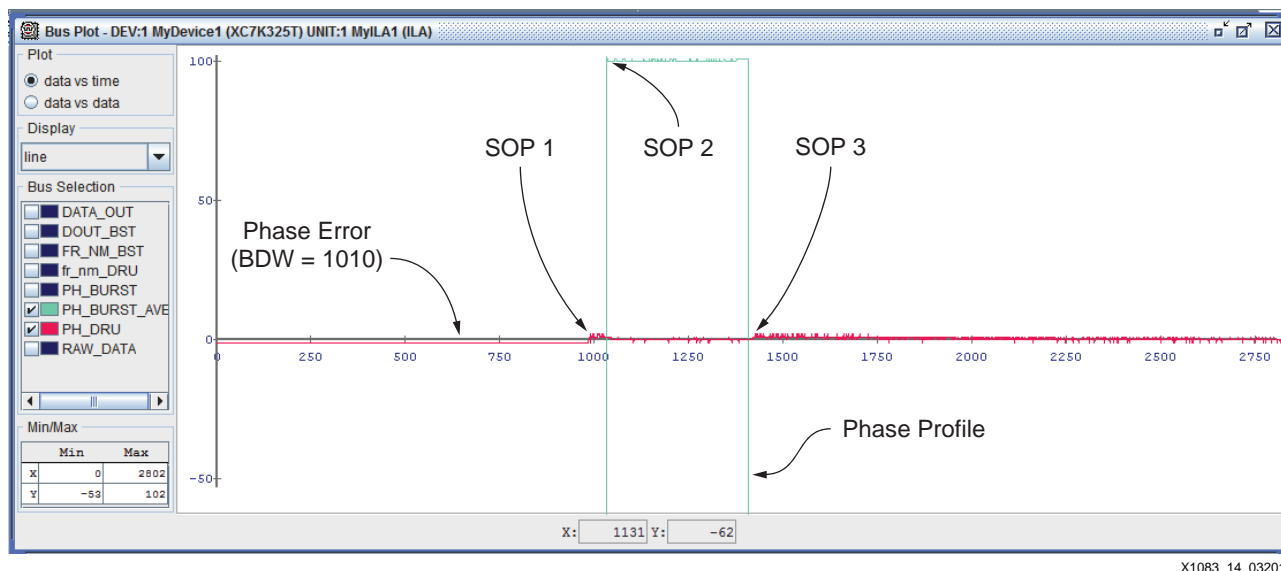


X1083\_13\_032013

図 13 : パケット位相 (青色) および BCDR 位相エラー (赤色) — BURST\_EN および HAMMER\_TEST は 1

図 11 および図 12 はシステム エラーが生じやすい状態です。一方、図 13 の場合、エラーが生じることはありません。

図 14 は図 13 を拡大表示して 3 つのパケットのみを示しています。青色と赤色の測定ラインは、図で示すよりもノイズが大きくなる場合があります。このサンプリング ノイズは、フリー ランニング オーバーサンプラーとデータ エッジの相対位相に依存し、必然的に生じるものです。サンプリング ノイズは、オーバーサンプリングの分解能よりも小さい限り、望ましくない動作として判断しません (5 倍の場合、分解能は 0.2UI)。



X1083\_14\_032013

図 14 : 図 13 の拡大表示 (SOP 4 は非表示)

## リファレンス デザイン

このアプリケーション ノートのリファレンス デザイン ファイルは、次のサイトからダウンロードできます。

<https://secure.xilinx.com/webreg/clickthrough.do?cid=343154>

表 4 に、リファレンス デザインの詳細を示します。

表 4 : リファレンス デザインの詳細

パラメーター	説明
<b>全般</b>	
開発者	Paolo Novellini, Massimo Chirico
ターゲット デバイス (ステッピング レベル、ES、プロダクション、スピード グレード)	Kintex-7 および Virtex-7 デバイス
ソース コードの提供	あり (NGC 部分的)
ソース コードの形式	VHDL
既存のザイリンクス アプリケーション ノート/リファレンス デザイン、CORE Generator™ ツール、サードパーティからデザインへのコード/IP の使用	あり
<b>シミュレーション</b>	
論理シミュレーションの実施	あり
タイミングシミュレーションの実施	なし
論理およびタイミングシミュレーションでのテストベンチの利用	あり
テストベンチの形式	VHDL
使用したシミュレータ/バージョン	ModelSim SE 10.0C またはそれ以降

表 4：リファレンス デザインの詳細

パラメーター	説明
SPICE/IBIS シミュレーションの実施	なし
<b>インプリメンテーション</b>	
使用した合成 ツール/バージョン	XST 14.4
使用したインプリメンテーション ツール/バージョン	ISE® Design Suite 14.4 またはそれ以降
スタティック タイミング解析の実施	あり
<b>ハードウェア検証</b>	
ハードウェア検証の実施	あり
使用したハードウェア プラットフォーム	KC724 特性評価ボード

表 5 に、デバイス使用率の詳細を示します。

表 5：デバイス使用率の詳細

パラメーター	仕様/値	
デバイス使用率 (テストベンチなし)	スライス レジスタ	10,990
	スライス LUT	13,418
	DSP48	11
	RAMB36E1	0
	BUFG	0
	MMCM	0
	GTXE2_CHANNEL	0
デバイス使用率 (テストベンチあり)	スライス レジスタ	14,028
	スライス LUT	16,339
	DSP48	11
	RAMB36E1	257
	BUFG	9
	MMCM	2
	GTXE2_CHANNEL	2
テストベンチ用の特性評価ボード	KC724 特性評価ボード、rev. A またはそれ以降	
ターゲット シリコン	Kintex-7 デバイス、-3 スピード グレード	
	Virtex-7 デバイス、-2 または -3 スピード グレード	

## まとめ

BCDR 回路は、オーバーサンプリング レート要件が最小で、高度にパイプライン化されたオーバーサンプリング技術であることから、Kintex-7 および Virtex-7 FPGA に最適です。スピード グレード要件は、12.44Gb/s で動作する GTX トランシーバーのみを対象としています。

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2013年6月14日	1.0	初版
2013年6月17日	1.0.1	リファレンス デザインのダウンロード URL を修正。

## Notice of Disclaimer

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

## Automotive Applications Disclaimer

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。